



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0013400  
(43) 공개일자 2016년02월04일

(51) 국제특허분류(Int. Cl.)  
G02F 1/133 (2006.01) G09G 3/36 (2006.01)  
(21) 출원번호 10-2014-0094666  
(22) 출원일자 2014년07월25일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
안정진  
경북 칠곡군 석적읍 동중리9길 13, B동 117호 (L  
G디스플레이나래원기숙사)  
김창훈  
대구 중구 동덕로8길 34-8, 301호 (대봉동)  
(74) 대리인  
김기문

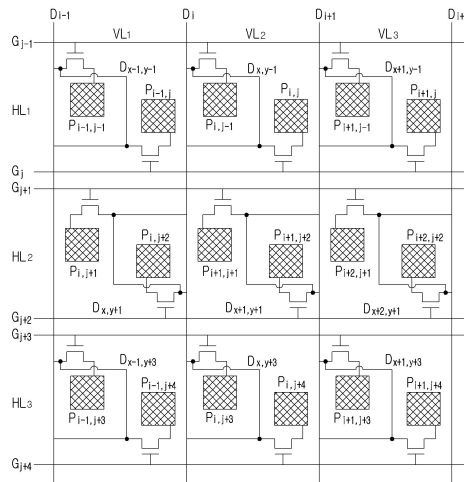
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치와 이의 구동방법

(57) 요약

본 발명의 실시예에 따른 액정표시장치는 제1 및 제2 게이트라인 각각이 할당되고 하나의 데이터라인을 공유하는 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 박막트랜지스터 각각에 연결된 제1 및 제2 화소전극 그리고 상기 데이터라인과 상기 제1 및 제2 박막트랜지스터 각각의 연결 지점을 서로 연결하는 보조데이터라인을 포함하는 액정셀을 구비한 액정표시패널을 포함하는 액정표시장치.

대표도 - 도4



## 명세서

### 청구범위

#### 청구항 1

제1 및 제2 게이트라인 각각이 할당되고 하나의 데이터라인을 공유하는 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 박막트랜지스터 각각에 연결된 제1 및 제2 화소전극 그리고 상기 데이터라인과 상기 제1 및 제2 박막트랜지스터 각각의 연결 지점을 서로 연결하는 보조데이터라인을 포함하는 액정셀을 구비한 액정표시패널;을 포함하는 액정표시장치.

#### 청구항 2

제1 항에 있어서,

상기 제1 박막트랜지스터는 상기 데이터라인과 연결된 제1 소스전극과 상기 제1 화소전극과 연결된 제1 드레인전극을 포함하고,

상기 제2 박막트랜지스터는 상기 데이터라인과 연결된 제2 소스전극과 상기 제2 화소전극과 연결된 제2 드레인전극을 포함하며,

상기 보조데이터라인은 상기 제1 및 제2 소스전극을 서로 연결하는 액정표시장치.

#### 청구항 3

제2 항에 있어서,

상기 액정표시패널은 상기 게이트라인과 상기 데이터라인 그리고 상기 제1 및 제2 박막트랜지스터가 형성된 하부기판; 및 컬러필터 및 블랙매트릭스가 형성된 상부기판을 포함하고,

상기 보조데이터라인은 상기 블랙매트릭스와 대응하는 상기 하부기판의 블랙매트릭스 대응영역에 형성되는 액정표시장치.

#### 청구항 4

$d/2$ ( $d$ 는 짝수)개의 데이터라인들;

상기 데이터라인들과 서로 교차하는  $2n$ ( $n$ 은 자연수) 개의 게이트라인들; 및

상기 데이터라인들과 상기 게이트라인들의 교차 영역에 형성된 액정셀;을 포함하고,

상기 액정셀은 상기 데이터라인들 중 어느 하나를 공유하는 제1 및 제2 서브액정셀을 포함하고,

상기 데이터라인들 중 인접한 두 개의 데이터라인에 의해 정의된 수직라인들과 상기 게이트라인들 중 인접한 두 개의 게이트라인에 의해 정의된 수평라인들에서,

상기 수직라인들 중  $m$ ( $m$ 은 자연수)번째 수직라인과 상기 수평라인들 중  $n-1$ ( $n$ 은 자연수)번째 수평라인의 교차 영역의 액정셀과 상기 수직라인들 중  $m-1$ 번째 수직라인과 상기 수평라인들 중  $n$ 번째 수평라인의 교차 영역의 액정셀은 데이터라인을 공유하는 액정표시장치.

#### 청구항 5

제4 항에 있어서,

상기 제1 및 제2 서브액정셀이 공유하는 데이터라인과 상기 제1 및 제2 서브액정셀의 연결 지점을 서로 연결하는 보조데이터라인을 더 포함하는 액정표시장치.

#### 청구항 6

제4 항에 있어서,

상기 데이터라인들 중 어느 하나의 데이터라인에 인가되는 데이터 전압의 극성은 유지되는 액정표시장치.

**청구항 7**

제6 항에 있어서,

상기 데이터라인들 중 인접한 제1 및 제2 데이터라인 각각에 인가되는 데이터 전압의 극성은 반대되는 액정표시장치.

**청구항 8**

제5 항에 있어서,

상기 제1 서브액정셀은 제1 박막트랜지스터와 제1 화소전극을 포함하고,

상기 제2 서브액정셀은 제2 박막트랜지스터와 제2 화소전극을 포함하고,

상기 제1 및 제2 서브액정셀이 공유하는 데이터라인은 상기 제1 박막트랜지스터와 연결된 제1 노드 및 상기 제2 박막트랜지스터와 연결된 제2 노드를 포함하고,

상기 보조데이터라인은 상기 제1 및 제2 노드 사이에 연결된 액정표시장치.

**발명의 설명**

**기술분야**

[0001] 본 발명은 액정표시장치와 이의 구동방법에 관한 것이다.

**배경기술**

[0002] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광 투과율을 제어함으로써 화상을 표시한다.

[0003] 이러한 액정표시장치는 소형 및 박형화와 저 소비전력의 장점을 가지는 평판 표시장치로서, 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다.

[0004] 특히, 액정 셀마다 스위칭 소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭 소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다.

[0005] 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭 소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

[0006] 도 1은 일반적인 액정표시장치의 단위 셀 구성도이고, 도 2는 종래의 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치의 구성도이다.

[0007] 액티브 매트릭스 타입의 액정표시장치는, 도 1에 도시한 바와 같이, 디지털 비디오 데이터를 감마기준전압을 기준으로 아날로그 데이터전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여, 데이터전압을 액정셀(C1c)에 충전시킨다.

[0008] 이를 위해, TFT의 게이트 전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인 전극은 액정셀(C1c)의 화소 전극과 스토리지 캐패시터(Cst1)의 일 측 전극에 접속된다.

[0009] 액정셀(C1c)의 공통전극에는 공통전압(Vcom)이 공급된다. 스토리지 캐패시터(Cst1)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(C1c)의 전압을 일정하게 유지하는 역할을 한다.

[0010] 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스 전극과 드레인 전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(C1c)의 화소 전극에 공급한다.

[0011] 이때 액정셀(C1c)의 액정분자들은 화소 전극과 공통 전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 가변하게 된다.

[0012] 이러한 액정표시장치는, 게이트라인(GL)들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터라인(DL)들을 구동하기 위한 데이터 드라이브 IC를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요

구되는 드라이브 IC들의 갯수는 증가하고 있다. 그런데, 데이터 드라이브 IC는 타 소자에 비해 상대적으로 매우 고가이므로, 최근 데이터 드라이브 IC의 갯수를 줄이기 위한 여러 방안들이 제안되고 있다.

- [0013] 상기 방안들 중 하나로써, 도 2에 도시한 바와 같이, 기존 대비 게이트 라인들의 갯수는 2배로 늘리는 대신 데이터라인들의 갯수를 1/2배로 줄여 필요로 하는 데이터 드라이브 IC의 개수를 반으로 줄여 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 구동방식이 제안되었다.
- [0014] DRD 방식으로 구동되는 종래 액정표시장치는, 도 2에 도시한 바와 같이, 하나의 수평라인에 배치된 d(d는 양의 짝수)개의 액정셀들을 두 개의 게이트라인들과 d/2개의 데이터라인들을 이용하여 구동시킨다.
- [0015] 이 DRD 방식의 종래 액정표시장치는 플리커를 최소화함과 아울러 소비전력을 줄이기 위해 데이터 드라이브 IC를 수직2 도트 인버전 방식으로 구동시킨다.
- [0016] 이에 따라, 데이터라인을 사이에 두고 서로 인접한 두 개의 액정셀들은 두 개의 게이트라인들에 각각 접속되어 데이터라인을 통해 공급되는 동일 극성의 데이터전압을 충전한다.
- [0017] 이러한 종래의 액정표시장치는 특정 데이터라인(DL)에 공급되는 데이터전압의 극성이 수시로 변환되기 때문에, 상기 데이터전압의 극성을 변화시키기 위한 전력 손실이 큰 문제가 있다.
- [0018] 또한 데이터라인(DL)의 수를 줄임으로써 하나의 데이터라인에 두 개의 액정셀들이 연결되고, 그에 따라 데이터라인(DL)들 각각의 라인 저항이 큰 문제가 있다.
- [0019] 이러한 라인 저항의 증가는 저항 및 커패시터 딜레이(RC Delay)를 증가시켜 데이터신호의 딜레이 현상을 가져와 휘도 저하 및 색감차가 발생하는 문제가 있다.
- [0020] 또한 공정 진행 중 이물이나 테이지(damage)에 의해 데이터라인(DL)의 오픈(open)되는 경우 데이터오픈(data open; D.O.) 불량률이 발생하고, 그에 따라 불량률이 된 데이터라인(DL)과 연결된 액정셀이 동작하지 못하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0021] 본 발명의 실시예에 따른 액정표시장치와 이의 구동방법은 Z 인버전 방식을 이용하여 소비 전력을 줄일 수 있는 액정표시장치 및 이의 구동방법을 제공할 수 있다.
- [0022] 또한 본 발명의 실시예에 따른 액정표시장치와 이의 구동방법은 공정 진행 중 이물이나 테이지에 따른 데이터라인(DL)의 불량에 따른 액정셀 미 구동 문제를 해결할 수 있는 액정표시장치 및 이의 구동방법을 제공할 수도 있다.
- [0023] 또한 본 발명의 실시예에 따른 액정표시장치와 이의 구동방법은 데이터라인의 저항의 증가 문제에 따른 휘도 저하 및 색감차 발생을 해결할 수 있는 액정표시장치 및 이의 구동방법을 제공할 수도 있다.

**과제의 해결 수단**

- [0024] 본 발명의 실시예에 따른 액정표시장치는 제1 및 제2 게이트라인 각각이 할당되고 하나의 데이터라인을 공유하는 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 박막트랜지스터 각각에 연결된 제1 및 제2 화소전극 그리고 상기 데이터라인과 상기 제1 및 제2 박막트랜지스터 각각의 연결 지점을 서로 연결하는 보조데이터라인을 포함하는 액정셀을 구비한 액정표시패널을 포함하는 액정표시장치.
- [0025] 본 발명의 실시예에 따른 액정표시장치는 d/2(d는 짝수)개의 데이터라인들 상기 데이터라인들과 서로 교차하는 2n(n은 자연수) 개의 게이트라인들; 및 상기 데이터라인들과 상기 게이트라인들의 교차 영역에 형성된 액정셀을 포함하고, 상기 액정셀은 상기 데이터라인들 중 어느 하나를 공유하는 제1 및 제2 서브액정셀을 포함하고, 상기 데이터라인들 중 인접한 두 개의 데이터라인에 의해 정의된 수직라인들과 상기 게이트라인들 중 인접한 두 개의 게이트라인에 의해 정의된 수평라인들에서, 상기 수직라인들 중 m(m은 자연수)번째 수직라인과 상기 수평라인들 중 n-1(n은 자연수)번째 수평라인의 교차 영역의 액정셀과 상기 수직라인들 중 m-1번째 수직라인과 상기 수평라인들 중 n번째 수평라인의 교차 영역의 액정셀은 데이터라인을 공유하는 액정표시장치.

**발명의 효과**

[0026] 본 발명의 실시예에 따른 액정표시장치와 이의 구동방법은 Z 인버전 방식을 이용하여 소비 전력을 줄일 수 있고, 공정 진행 중 이물이나 데이지에 따른 데이터라인(DL)의 불량에 따른 액정셀 미 구동 문제를 해결할 수 있으며, 데이터라인의 저항의 증가 문제에 따른 휘도 저하 및 색감차 발생을 해결할 수 있는 액정표시장치 및 이의 구동방법을 제공할 수 있다.

**도면의 간단한 설명**

[0027] 도 1은 일반적인 액정표시장치의 단위 셀 구성도.  
 도 2는 종래의 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치의 구성도 및 RGB 액정셀들과 각 액정셀들의 충전 정도를 나타낸 도면.  
 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블럭도이다.  
 도 4는 본 발명의 실시예에 따른 액정표시패널을 이루는 화소 구조를 나타낸 도면이다.  
 도 5는 제1 수평라인과 제1 수직라인에 대응하는 액정셀의 구조를 나타낸 도면이다.  
 도 6은 데이터라인과 보조데이터라인의 연결 관계의 모식도를 나타낸 도면이다.  
 도 7은 보조데이터라인이 연결되지 않은 데이터라인을 나타낸 도면이다.  
 도 8은 보조데이터라인이 연결된 데이터라인을 나타낸 도면이다.  
 도 9는 본 발명의 실시예에 따른 액정셀들에 인가되는 데이터신호의 극성을 나타낸 도면이다.  
 도 10은 본 발명의 실시예에 따른 액정셀들에 인가되는 데이터신호의 극성에 따라서 Z인버전(inversion) 구동 방식을 설명하는 도면이다.  
 도 11은 본 발명의 실시예에 따른 액정셀의 전극 구조를 나타낸 도면으로써 보조데이터라인이 형성된 액정셀을 나타낸 도면이다.  
 도 12는 보조데이터라인이 형성되지 않은 액정셀을 나타낸 도면이다.  
 도 13 및 도 14는 본 발명의 실시예에 따른 액정셀의 동작을 나타낸 도면이다.  
 도 15는 데이터오픈 불량이 발생하는 경우 액정셀의 동작을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0028] 이하, 본 발명의 실시예에 의한 액정표시장치 및 이의 구동 방법의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

[0029] 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블럭도이다.

[0030] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(200), 타이밍 콘트롤러(300), 데이터 구동회로(400) 및 게이트 구동회로(500)를 구비할 수 있다.

[0031] 액정표시패널(200)은 두 장의 유리기판 사이에 형성된 액정층을 갖는다.

[0032] 이 액정표시패널(200)은  $d/2$ ( $d$ 는 짝수) 개의 데이터라인들(D1 내지  $D_{m/2}$ ;  $D_{m/2}$ 에서의  $m$ 은  $d/2$ 에서의  $d$ 과 같은 수)과  $2n$ ( $n$ 은 자연수) 개의 게이트라인들( $G1$  내지  $G_{2n}$ )의 교차 구조에 의해 매트릭스 형태로 배치된  $m \times n$  개의 액정셀(C1c)들을 포함하여 DRD 방식으로 구동된다.

[0033] 액정표시패널(200)의 하부 유리기판에는 데이터라인들(D1 내지  $D_{m/2}$ ), 게이트라인들( $G1$  내지  $G_{2n}$ ), TFT들, 및 스토리지 커패시터(Cst)가 형성된다.

[0034] 액정셀들(C1c)은 TFT에 접속되어 화소 전극들(220)과 공통전극(210) 사이의 전계에 의해 구동된다.

[0035] 액정표시패널(200)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(21

0)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 상부 유리기판 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(210)과 함께 하부 유리기판 상에 형성된다.

- [0036] 액정표시패널(200)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0037] 상기 타이밍 콘트롤러(300)는 시스템(미도시)으로부터 공급되는 수평 동기신호(Hsync), 수직 동기신호(Vsync), 데이터 인에이블신호(DE) 및 도트 클럭(DCLK) 등의 타이밍신호들을 이용하여 데이터 구동회로(400)의 동작 타이밍을 제어하기 위한 데이터 제어신호와, 게이트 구동회로(500)의 동작 타이밍을 제어하기 위한 게이트 제어신호를 발생한다.
- [0038] 데이터 제어신호는 데이터 구동회로(400) 내에서 디지털 비디오 데이터(RGB)의 샘플링 시작점을 지시하는 소스 스타트 펄스(SSP), 라이징 에지(Rising Edge) 또는 폴링 에지(Falling Edge)에 기준하여 데이터 구동회로(400) 내에서 디지털 비디오 데이터(RGB)의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 구동회로(400)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 액정표시패널(200)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL)등을 포함한다.
- [0039] 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 구동회로(500) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(GSC), 게이트 구동회로(500)의 출력을 지시하는 게이트 출력 인에이블신호(GOE)등을 포함한다.
- [0040] 또한, 타이밍 콘트롤러(300)는 시스템으로부터 공급되는 디지털 비디오 데이터(RGB)를 액정표시패널(200)의 해상도에 맞게 재정렬하여 데이터 구동회로(400)에 공급한다.
- [0041] 데이터 구동회로(400)는 타이밍 콘트롤러(300)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(400)는 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm/2)에 공급한다.
- [0042] 이를 위해, 데이터 구동회로(400)는 다수의 데이터 드라이브 IC들을 포함할 수 있다.
- [0043] 상기 게이트 구동회로(500)는 타이밍 콘트롤러(300)의 제어 하에 아날로그 데이터전압이 공급될 액정표시패널(200)의 수평라인을 선택하는 스캔펄스를 발생하고, 이 스캔펄스를 게이트라인들(G1 내지 G2n)에 순차적으로 공급한다.
- [0044] 이를 위해, 게이트 구동회로(500)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(C1c)의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인 사이에 접속되는 출력 회로를 각각 포함하는 다수의 게이트 드라이브 IC들로 포함할 수 있다.
- [0045] 도 4는 본 발명의 실시예에 따른 액정표시패널을 이루는 화소 구조를 나타낸 도면이다.
- [0046] 도 4를 참조하면, 액정표시패널(200)의 액정셀들(C1c)은 레드(Red), 그린(Green), 블루(Blue) 및 화이트(White) 액정셀을 포함할 수 있다.
- [0047] 상기 액정셀은 제1 및 제2 게이트라인 각각이 할당되고 하나의 데이터라인을 공유하는 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 박막트랜지스터 각각에 연결된 제1 및 제2 화소전극 그리고 상기 데이터라인과 상기 제1 및 제2 박막트랜지스터 각각의 연결 지점을 서로 연결하는 보조데이터라인을 포함할 수 있다.
- [0048] 구체적으로 액정표시패널(200)에는 d/2(d는 짝수)개의 데이터라인들(Dm/2)과 상기 데이터라인들(Dm/2)과 서로 교차하는 2n(n은 자연수) 개의 게이트라인들(G2n) 그리고 상기 데이터라인들(Dm/2)과 상기 게이트라인들(G2n)의 교차 영역에 형성된 액정셀이 형성될 수 있다.
- [0049] 상기 액정셀은 상기 데이터라인들(Dm/2) 중 어느 하나를 공유하는 제1 및 제2 서브액정셀을 포함할 수 있다.
- [0050] 상기 데이터라인들(Dm/2) 중 인접한 두 개의 데이터라인에 의해 정의된 수직라인들(VL)과 상기 게이트라인들(G2n) 중 인접한 두 개의 게이트라인에 의해 정의된 수평라인들(HL)에서, 상기 수직라인들(VL) 중 m(m은 자연수)번째 수직라인과 상기 수평라인들(HL) 중 n-1(n은 자연수)번째 수평라인의 교차 영역의 액정셀과 상기

수직라인들(VL 중 m-1번째 수직라인과 상기 수평라인들(HL) 중 n번째 수평라인의 교차 영역의 액정셀은 데이터 라인을 공유할 수 있다. 그리고 상기 제1 및 제2 서브액정셀이 공유하는 데이터라인과 상기 제1 및 제2 서브액정셀의 연결 지점을 서로 연결하는 보조데이터라인이 상기 액정표시패널(200)에 더 형성될 수 있다.

**<제1 수평라인(HL1)과 제1 내지 제3 수직라인(VL1~VL3)에 대응하는 액정셀의 구조>**

액정셀들(C1c)의 접속 구조를 살펴보면, 제1 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 액정셀은 제1 및 제2 서브액정셀을 포함할 수 있다.

도면 상으로 수평라인(HL)과 수직라인(VL)의 교차영역에 형성된 액정셀은 제1 및 제2 서브액정셀을 포함하고, 좌측의 박막트랜지스터와 화소전극을 제1 서브액정셀로 칭하고, 우측의 박막트랜지스터와 화소전극을 제2 서브액정셀로 칭할 수 있다.

상기 제1 서브액정셀에서 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi-1, j-1)은 상기 제2 서브액정셀에서 제2 게이트라인(Gj)에 접속된 화소전극(Pi-1, j)과 서로 이웃하여 제1 데이터라인(Di-1)에 공통 접속될 수 있다. 또한 상기 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi-1, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi-1, j)은 제1 보조데이터라인(Dx-1, y-1)에 공통 접속될 수 있다.

제1 수평라인(HL1)과 제2 수직라인(VL2)에 대응하는 액정셀에서, 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi, j-1)은 제2 게이트라인(Gj)에 접속된 화소전극(Pi, j)과 서로 이웃하여 제2 데이터라인(Di)에 공통 접속될 수 있다. 또한 상기 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi, j)은 제2 보조데이터라인(Dx, y-1)에 공통 접속될 수 있다.

제1 수평라인(HL1)과 제3 수직라인(VL3)에 대응하는 액정셀에서, 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi+1, j-1)은 제2 게이트라인(Gj)에 접속된 화소전극(Pi+1, j)과 서로 이웃하여 제2 데이터라인(Di+1)에 공통 접속될 수 있다. 또한 상기 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi+1, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi+1, j)은 제3 보조데이터라인(Dx+1, y-1)에 공통 접속될 수 있다.

**<제2 수평라인(HL2)과 제1 내지 제3 수직라인(VL1~VL3)에 대응하는 액정셀의 구조>**

제2 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 액정셀에서, 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi, j+1)은 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi, j+2)과 서로 이웃하여 제2 데이터라인(Di)에 공통 접속될 수 있다. 또한 상기 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi, j+1)과 상기 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi, j+2)은 제4 보조데이터라인(Dx, y+1)에 공통 접속될 수 있다.

제2 수평라인(HL1)과 제2 수직라인(VL2)에 대응하는 액정셀에서, 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi+1, j+1)은 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi+1, j+2)과 서로 이웃하여 제3 데이터라인(Di+1)에 공통 접속될 수 있다. 또한 상기 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi+1, j+1)과 상기 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi+1, j+2)은 제5 보조데이터라인(Dx+1, y+1)에 공통 접속될 수 있다.

제2 수평라인(HL1)과 제3 수직라인(VL3)에 대응하는 액정셀에서, 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi+2, j+1)은 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi+2, j+2)과 서로 이웃하여 제4 데이터라인(Di+2)에 공통 접속될 수 있다. 또한 상기 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi+2, j+1)과 상기 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi+2, j+2)은 제6 보조데이터라인(Dx+2, y+1)에 공통 접속될 수 있다.

한편 제3 수평라인(HL3)에 대응하는 액정셀의 구조는 제1 수평라인(HL1)의 액정셀의 구조에 대응하고, 제4 수평라인(HL4)에 대응하는 액정셀의 구조는 제2 수평라인(HL2)의 액정셀의 구조에 대응한다.

도 5는 제1 수평라인과 제1 수직라인에 대응하는 액정셀의 구조를 나타낸 도면이다.

도 5를 참조하면, 제1 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 액정셀에서, 제1 박막트랜지스터(TFT1)는 제1 게이트라인(Gj-1)의 게이트신호에 의해 제어되고 제1 노드(N1)와 i-1, j-1번째 화소전극(Pi-1, j-1) 사이에 연결될 수 있다.

상기 제1 박막트랜지스터(TFT1)는 상기 제1 게이트라인(Gj-1)의 게이트신호에 의해 턴온되고, 상기 제1 노드(N1) 상의 제1 데이터라인(Di-1)으로부터 제공되는 데이터신호를 i-1, j-1번째 화소전극(Pi-1, j-1)으로 제공할 수 있다.

제1 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 화소전극에서, 제2 박막트랜지스터(TFT2)는 제2 게이트라인

(Gj)의 게이트신호에 의해 제어되고 제2 노드(N2)와 i-1, j번째 화소전극(Pi-1, j) 사이에 연결될 수 있다.

[0066] 상기 제2 박막트랜지스터(TFT2)는 상기 제2 게이트라인(Gj)의 게이트신호에 의해 턴온되고, 상기 제2 노드(N2) 상의 제1 데이터라인(Di-1)으로부터 제공되는 데이터신호를 i-1, j번째 화소전극(Pi-1, j)로 제공할 수 있다.

[0067] 또한 제1 보조데이터라인(D-1, y-1)은 상기 제1 및 제2 노드(N1, N2) 사이에 연결될 수 있다.

[0068] 도 6은 데이터라인과 보조데이터라인의 연결 관계의 모식도를 나타낸 도면이다. 그리고 도 7은 보조데이터라인이 연결되지 않은 데이터라인을 나타낸 도면이고, 도 8은 보조데이터라인이 연결된 데이터라인을 나타낸 도면이다.

[0069] 도 6을 참조하면, 임의의 수직라인(VL)에 대응하는 데이터라인(Di)에는 각 수평라인(HL1~HLn) 마다 보조데이터라인(Dx,y)이 연결될 수 있다.

[0070] 상기 보조데이터라인(Dx,y)들은 상기 데이터라인(Di) 상의 제1 및 제2 노드(N1, N2) 사이에 연결될 수 있다.

[0071] 도 7 및 도 8을 참조하면, 보조데이터라인(Dx,y)가 없는 경우 데이터라인(Di)의 총 저항을 nRi옴이라고 한다면, 보조데이터라인(Dx,y)이 형성된 경우 데이터라인(Di)의 총 저항은 nRi/2가 될 수 있다. 따라서 데이터라인(Di) 상의 총 저항값을 감소할 수 있다.

[0072] 이와 같이 DRD 구조는 데이터라인의 수가 절반으로 감소되어 로드(Load)에 대한 영향을 클 수 있으나, 보조데이터라인(Dx,y)을 데이터라인(Di)과 병렬 연결됨으로써 라인 저항을 감소시킬 수 있고, 그에 따라 RC 지연에 따른 휘도 저하 및 색감차 발생 문제를 해결할 수 있다.

[0073] <Z-inversion 동작>

[0074] 도 9는 본 발명의 실시예에 따른 액정셀들에 인가되는 데이터신호의 극성을 나타낸 도면이다. 그리고 도 10은 본 발명의 실시예에 따른 액정셀들에 인가되는 데이터신호의 극성에 따라서 Z인버전(inversion) 구동 방식을 설명하는 도면이다.

[0075] 도 9 및 도 10을 참조하면, 제1 데이터라인(Di-1)과 제3 데이터라인(Di+1)에는 정극성의 데이터전압이 인가되고, 제2 데이터라인(Di)과 제4 데이터라인(Di+2)에는 부극성의 데이터전압이 인가될 수 있다. 즉, 홀수번째 데이터라인에는 정극성의 데이터전압이, 짝수번째 데이터라인에는 부극성의 데이터전압이 인가될 수 있다. 그리고 이에 한정되는 것은 아니고, 홀수번째 데이터라인에는 부극성의 데이터전압이, 짝수번째 데이터라인에는 정극성의 데이터전압이 인가될 수도 있다.

[0076] 상기 제1 데이터라인(Di-1)에 정극성의 데이터전압이 인가되는 경우, 제1 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 액정셀에서, 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi-1, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi-1, j) 그리고 제3 수평라인(HL3)과 제1 수직라인(VL1)에 대응하는 액정셀에서, 제5 게이트라인(Gj+3)에 접속된 화소전극(Pi-1, j+3)과 상기 제6 게이트라인(Gj+4)에 접속된 화소전극(Pi-1, j+4)에는 정극성의 데이터전압이 인가될 수 있다.

[0077] 또한 제2 데이터라인(Di)에 부극성의 데이터전압이 인가되는 경우, 제1 수평라인(HL1)과 제2 수직라인(VL2)에 대응하는 액정셀에서, 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi, j) 그리고 제2 수평라인(HL1)과 제1 수직라인(VL1)에 대응하는 액정셀에서, 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi, j+1)과 상기 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi, j+2) 그리고 제3 수평라인(HL1)과 제2 수직라인(VL2)에 대응하는 액정셀에서, 제5 게이트라인(Gj+3)에 접속된 화소전극(Pi, j+3)과 상기 제6 게이트라인(Gj+4)에 접속된 화소전극(Pi, j+4)에는 부극성의 데이터전압이 인가될 수 있다.

[0078] 또한 제1 수평라인(HL1)과 제3 수직라인(VL3)에 대응하는 액정셀에서, 제1 게이트라인(Gj-1)에 접속된 화소전극(Pi+1, j-1)과 상기 제2 게이트라인(Gj)에 접속된 화소전극(Pi+1, j) 그리고 제2 수평라인(HL1)과 제2 수직라인(VL2)에 대응하는 액정셀에서, 제3 게이트라인(Gj+1)에 접속된 화소전극(Pi+1, j+1)과 상기 제4 게이트라인(Gj+2)에 접속된 화소전극(Pi+1, j+2) 그리고 제3 수평라인(HL3)과 제3 수직라인(VL3)에 대응하는 액정셀에서, 제5 게이트라인(Gj+3)에 접속된 화소전극(Pi+1, j+3)과 상기 제6 게이트라인(Gj+4)에 접속된 화소전극(Pi+1, j+4)에는 부극성의 데이터전압이 인가될 수 있다.

[0079] 이와 같은 Z 인버전 구동 방식의 경우 각 데이터라인(Di)에 인가되는 데이터전압의 극성이 한 프레임 동안 유지되고, 다음 프레임에서 반전되는 것으로 하여 각 픽셀마다 데이터전압의 극성이 정극성과 부극성을 교대로 반복하는 도트(dot) 인버전 구동 대비 소비 전력을 절감할 수 있는 효과를 가진다.

- [0080] 도 11은 본 발명의 실시예에 따른 액정셀의 전극 구조를 나타낸 도면으로써 보조데이터라인이 형성된 액정셀을 나타낸 도면이다. 그리고 도 12는 보조데이터라인이 형성되지 않은 액정셀을 나타낸 도면이다.
- [0081] 도 11을 참조하면, 액정표시패널(200)의 하부기판 상에 형성되고 제2 데이터라인(Di)과 제1 게이트라인(Gj-1)에 대응하는 화소전극(Pi, j)과 연결된 제1 박막트랜지스터(TFT1)는 제1 드레인전극(drain1)과 상기 제1 드레인전극(drain1)의 일부를 감싸는 U자 형상의 제1 소스 전극(source1)을 포함할 수 있다. 또한 제2 데이터라인(Di)은 상기 제1 소스 전극(source1)과 연결될 수 있다.
- [0082] 또한 액정표시패널(200)의 하부기판 상에 형성되고 제2 데이터라인(Di)과 제2 게이트라인(Gj)에 대응하는 화소전극(Pi, j-1)과 연결된 제2 박막트랜지스터(TFT2)는 제2 드레인전극(drain2)과 상기 제2 드레인전극(drain2)의 일부를 감싸는 U자 형상의 제2 소스 전극(source2)을 포함할 수 있다. 또한 제2 데이터라인(Di)은 상기 제2 소스 전극(source2)과 연결될 수 있다.
- [0083] 도 12를 참조하면, 제1 게이트라인(Gj-1)에 대응하는 화소전극(Pi, j)과 제2 게이트라인(Gj)에 대응하는 화소전극(Pi, j-1) 사이에는 블랙매트릭스 대응영역(BM)이 존재할 수 있다.
- [0084] 하부기판에서 상기 블랙매트릭스 대응영역(BM)과 대응하는 상부기판의 영역에 블랙매트릭스가 형성될 수 있다.
- [0085] 도 11을 참조하면, 블랙매트릭스 대응영역(BM) 상에는 보조데이터라인(Dx,y-1)이 형성될 수 있고, 상기 보조데이터라인(Dx,y-1)은 제1 소스전극(source1)과 제2 소스전극(source2)을 서로 연결할 수 있다.
- [0086] 이와 같이 본 발명의 실시예에 따른 보조데이터라인(Dx,y)들은 상부기판의 블랙매트릭스가 형성된 영역과 대응하는 하부기판의 블랙매트릭스 대응영역(BM)에 형성됨으로써 개구율에 영향을 주지 않는다. 따라서 투과율 감소 없이 마스크(Mask) 설계를 통해 저항을 감소시킬 수 있다. 또한 보조데이터라인(Dx,y)을 블랙매트릭스 대응영역(BM)에 형성하므로 공정 조건이나 데이터라인의 선 폭을 변경할 필요가 없이 보조데이터라인(Dx,y)을 용이하게 추가할 수 있다.
- [0087] 도 13 및 도 14는 본 발명의 실시예에 따른 액정셀의 동작을 나타낸 도면이다. 그리고 도 15는 데이터오픈 불량 이 발생하는 경우 액정셀의 동작을 나타낸 도면이다.
- [0088] 도 13을 참조하면, 제1 게이트라인(Gj-1)의 하이레벨의 게이트전압에 의하여 제1 박막트랜지스터(TFT1)가 턴온하면, 제1 데이터라인(Di-1)상의 데이터 전압은 상기 제1 박막트랜지스터(TFT1)의 소스 및 드레인 전극을 경유하여 화소전극(Pi-1, j-1)에 인가될 수 있다.
- [0089] 도 14를 참조하면, 제2 게이트라인(Gj)의 하이레벨의 게이트전압에 의하여 제2 박막트랜지스터(TFT2)가 턴온하면, 제1 데이터라인(Di-1)상의 데이터 전압은 상기 제2 박막트랜지스터(TFT2)의 소스 및 드레인 전극을 경유하여 화소전극(Pi-1, j)에 인가될 수 있다.
- [0090] 도 15를 참조하면, 제1 데이터라인(Di-1)의 데이터오픈(data open; D.O.) 불량이 발생한 경우, 제2 게이트라인(Gj)의 하이레벨의 게이트전압에 의하여 제2 박막트랜지스터(TFT2)가 턴온하면, 제1 데이터라인(Di-1)상의 데이터 전압은 제1 보조데이터라인(Dx-1,y-1)과 상기 제2 박막트랜지스터(TFT2)의 소스 및 드레인 전극을 경유하여 화소전극(Pi-1, j)에 인가될 수 있다.
- [0091] 이와 같이 데이터오픈 불량이 발생한 경우라도, 데이터전압은 제1 보조데이터라인(Dx-1,y-1)을 경유하여 화소전극(Pi-1, j)에 인가되므로 액정셀이 미 동작하여 화질이 저하되는 문제를 방지할 수 있다.
- [0092] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술할 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

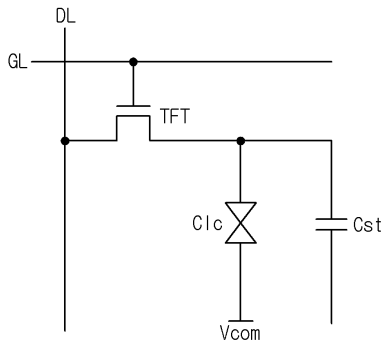
- [0093] 100 액정표시장치
- 200 액정표시패널
- 300 타이밍 컨트롤러

400 데이터 구동회로

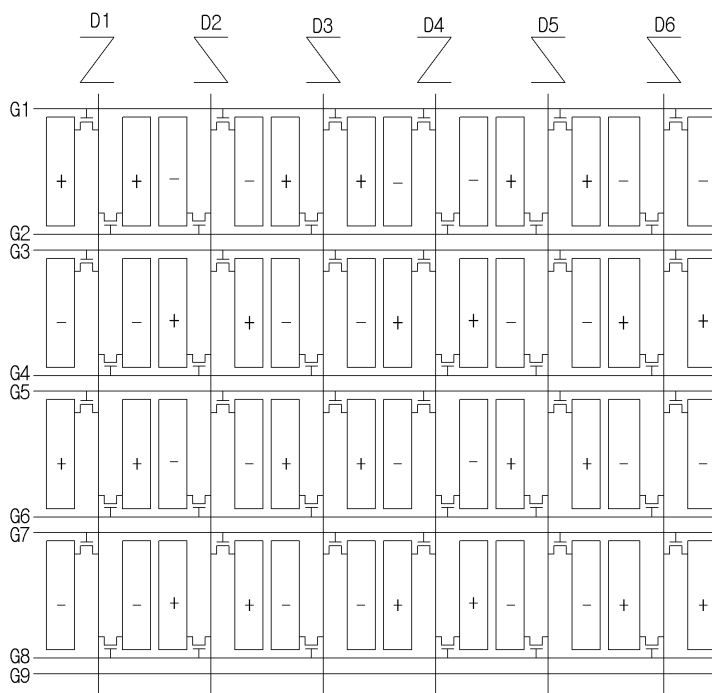
500 게이트 구동회로

도면

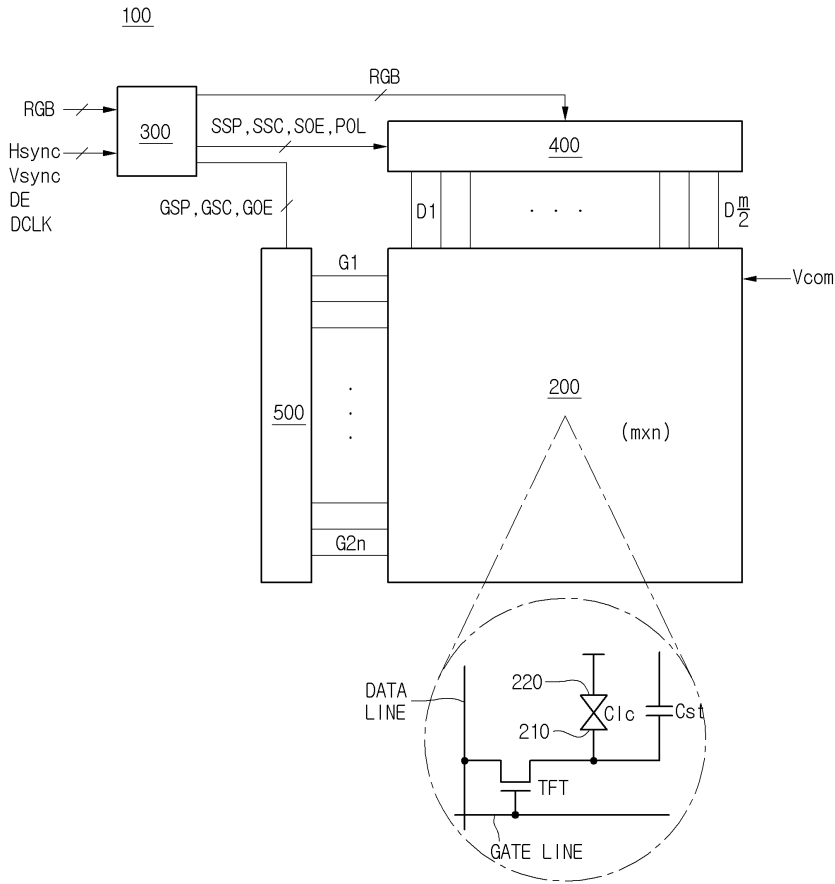
도면1



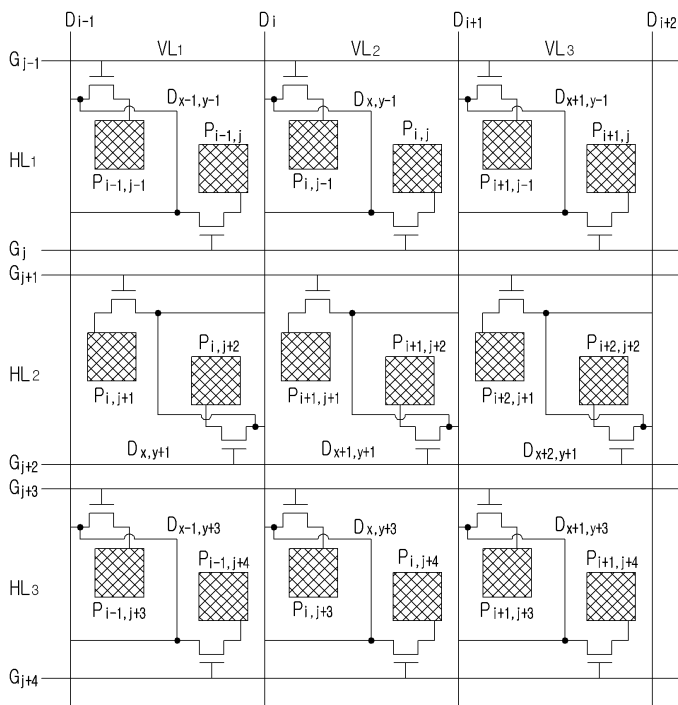
도면2



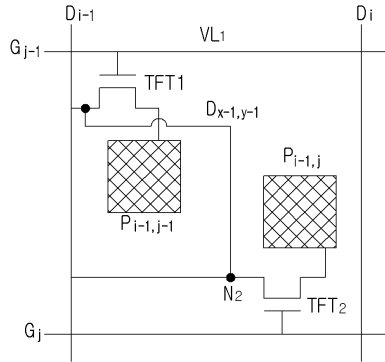
도면3



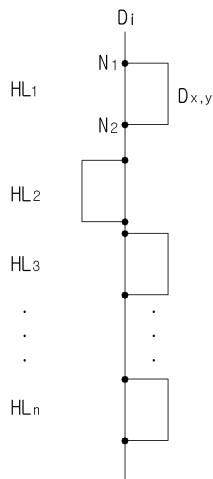
도면4



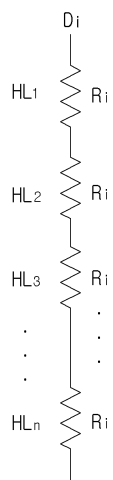
도면5



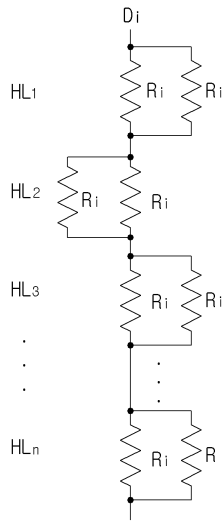
도면6



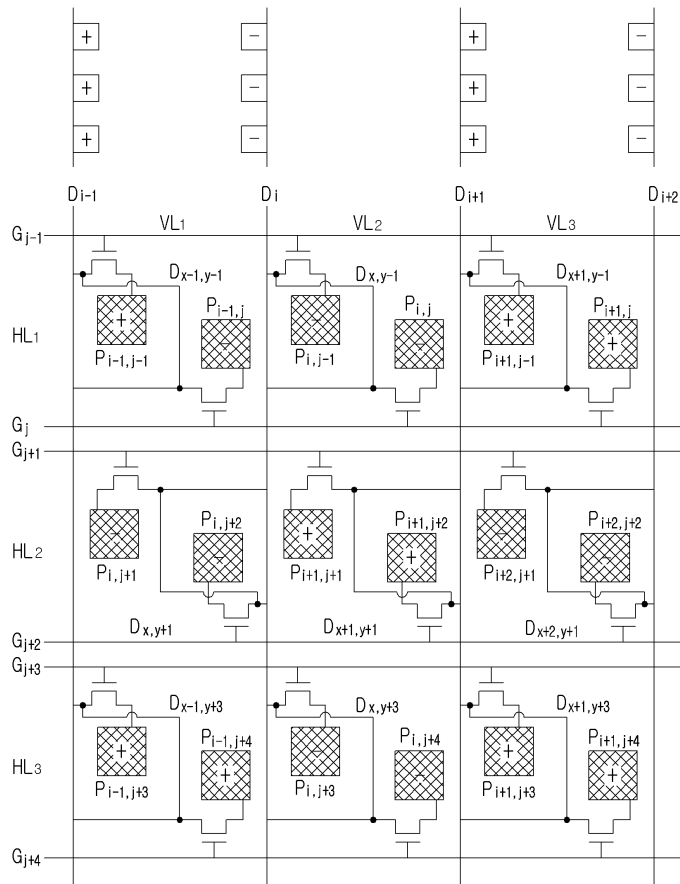
도면7



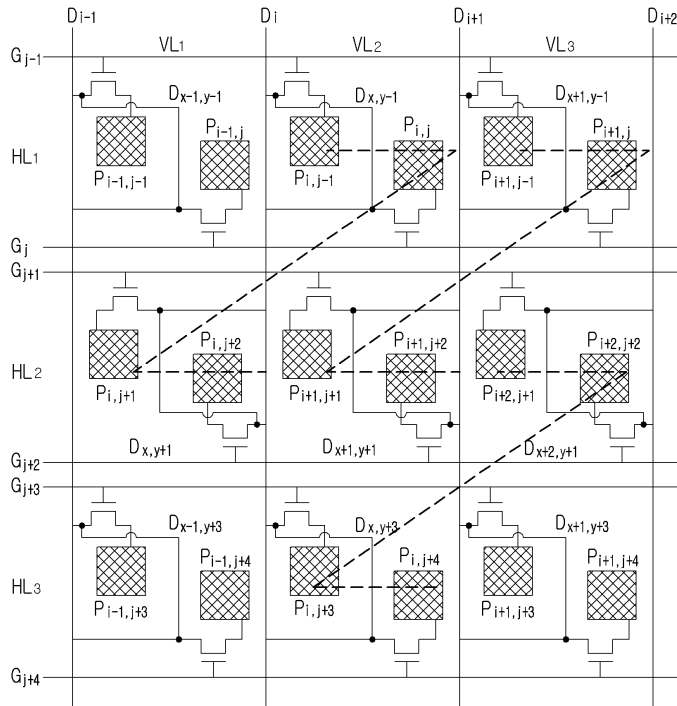
도면8



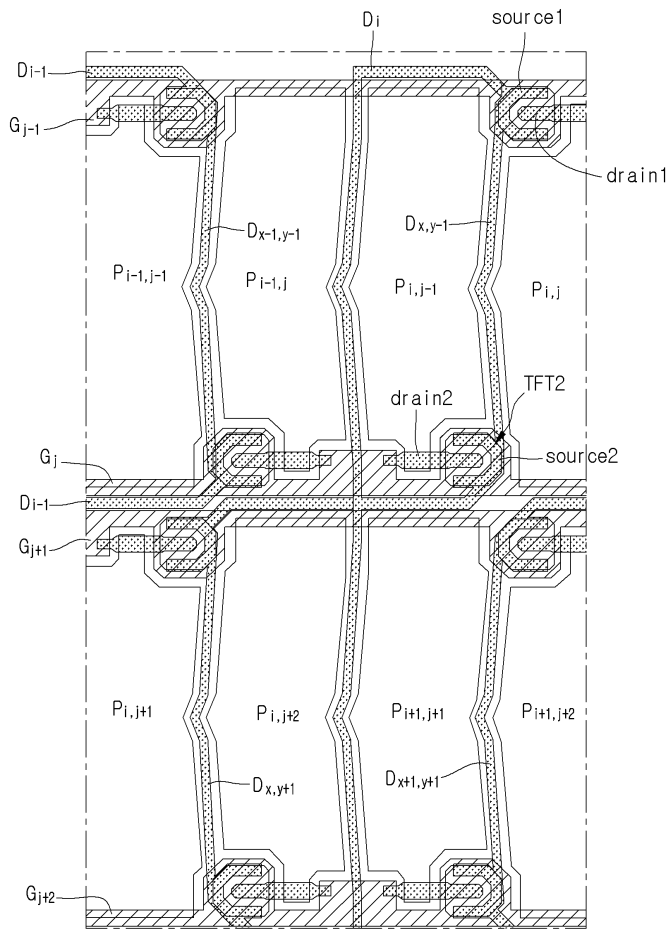
도면9



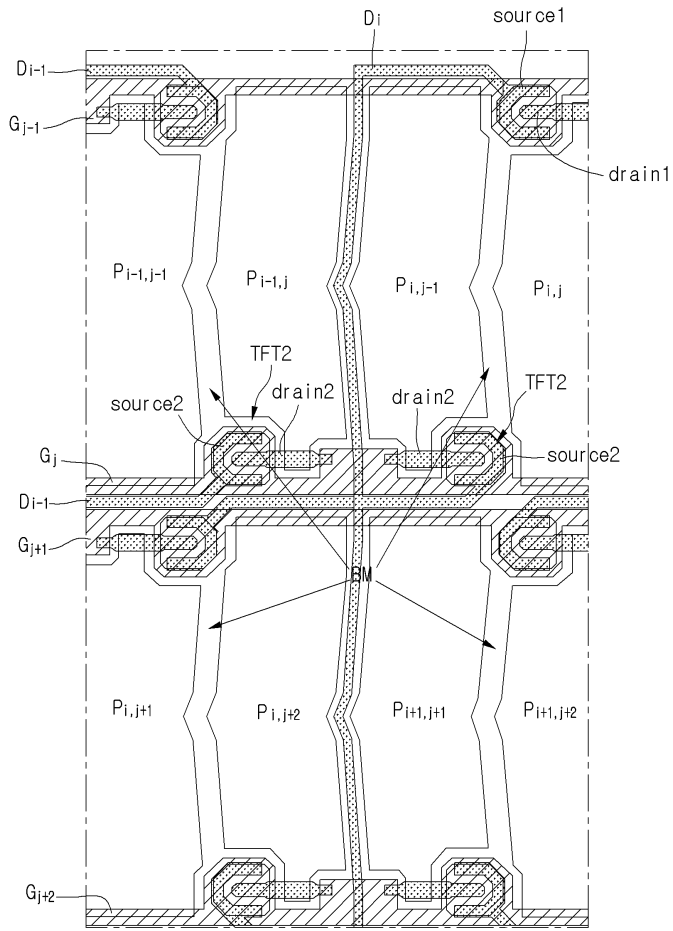
도면10



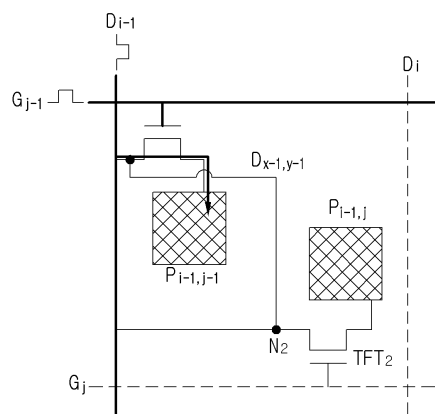
도면11



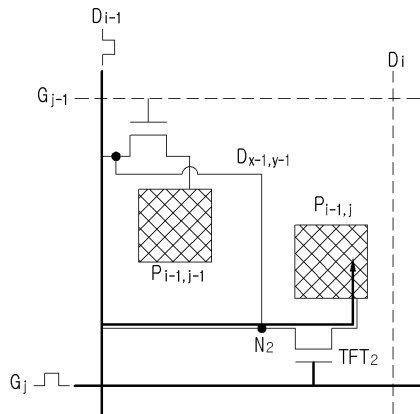
도면12



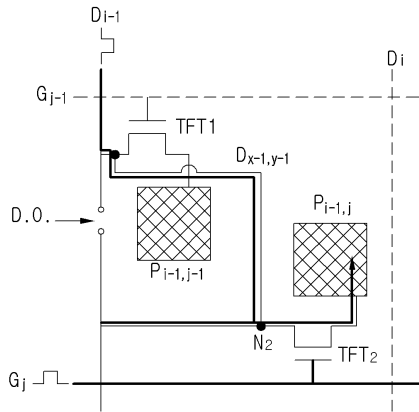
도면13



도면14



도면15



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020160013400A</a>	公开(公告)日	2016-02-04
申请号	KR1020140094666	申请日	2014-07-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN JUNG JIN 안정진 KIM CHANG HOON 김창훈		
发明人	안정진 김창훈		
IPC分类号	G02F1/133 G09G3/36		
代理人(译)	KIM KI MOON		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明示例性实施例的液晶显示器包括第一和第二薄膜晶体管，每个薄膜晶体管具有分配给其的第一和第二栅极线并共享一条数据线以及连接到第一薄膜晶体管和第二薄膜晶体管的第一薄膜晶体管和第二薄膜晶体管，并且，液晶单元包括第二像素电极和辅助数据线，辅助数据线将数据线和第一和第二薄膜晶体管中的每一个的连接点彼此连接。

