



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0111733  
(43) 공개일자 2015년10월06일

(51) 국제특허분류(Int. Cl.) G02F 1/136 (2006.01) H01L 29/786 (2006.01) (21) 출원번호 10-2014-0035472 (22) 출원일자 2014년03월26일 심사청구일자 없음	(71) 출원인 동우 화인켐 주식회사 전라북도 익산시 약촌로 132 (신흥동) (72) 발명자 정경섭 전라북도 전주시 완산구 구이로 2065, 105동 110 2호 이은원 전라북도 익산시 공동로 109, 805동 602호 (74) 대리인 한양특허법인
--	---

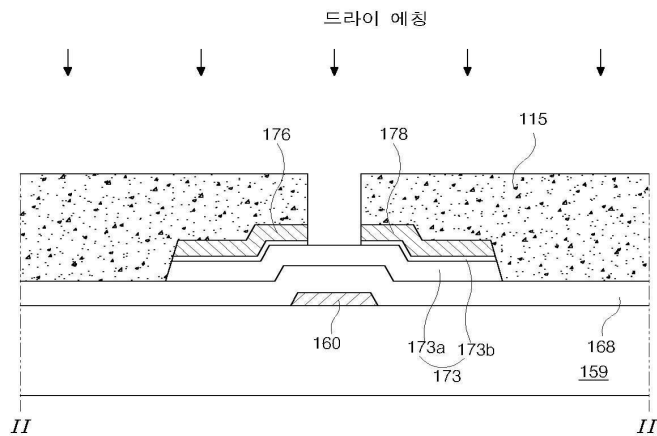
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정 표시 장치용 어레이 기판의 제조방법

**(57) 요약**

본 발명은 액정 표시 장치용 어레이 기판의 제조방법에 관한 것으로, 보다 상세하게는 실리콘 박막, 특히 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막을 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법 및 상기 일괄 식각에 사용되는 식각액 조성물에 관한 것이다.

**대표도** - 도1h



**명세서**

**청구범위**

**청구항 1**

- a) 기판 상에 제 1 금속층을 형성하고, 제 1 마스크 공정을 진행하여 가로 방향의 게이트 배선과 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계;
  - b) 상기 게이트 전극 상의 전면에 게이트 절연막을 형성하는 단계;
  - c) 상기 게이트 절연막 상에 순수 비정질 실리콘(a-Si:H) 박막, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 제 2 금속층을 순차적으로 형성하는 단계;
  - d) 상기 금속층 위로 제 2 마스크 공정을 진행하여 상기 제 2 금속층, 하부의 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 식각하여, 데이터 배선과 상기 데이터 배선과 연결된 소스 드레인 금속층을 형성하는 단계;
  - e) 상기 소스 드레인 금속층이 형성된 기판에 제 3 마스크 공정을 진행하여 상기 소스 드레인 금속층 일부를 식각하여 일정 간격 이격한 소스 및 드레인 전극을 형성하는 단계;
  - f) 상기 소스 및 드레인 전극 사이의 일정 간격 사이로 노출된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각하여 순수 비정질 실리콘(a-Si:H) 박막을 노출시킴으로써 채널을 형성하는 단계;
  - g) 상기 소스 및 드레인 전극 상에 전면 보호층을 형성하는 단계;
  - h) 상기 보호층이 형성된 기판에 제 4 마스크 공정을 진행하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및
  - i) 상기 보호층 상에 투명 도전성 물질을 전면에 증착하고 제 5 마스크 공정을 진행하여 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서,
- 상기 d)단계는 반도체층을 형성하는 순수 비정질 실리콘(a-Si:H) 박막과 그의 상부에 형성된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 공정을 포함하며, 상기 일괄 식각은 조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%, Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, 함불소 화합물 0.01 내지 20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 식각액 조성물을 사용하는 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법.

**청구항 2**

청구항 1에 있어서, 상기 f)단계는 상기 d)단계에서 사용한 식각액 조성물을 사용하여 노출된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각 하는 공정을 포함하는 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법.

**청구항 3**

청구항 1에 있어서, 상기 액정 표시 장치용 어레이 기판은 박막트랜지스터(TFT) 어레이 기판인 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법.

**청구항 4**

조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%, Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, 함불소 화합물 0.01 내지 20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 5**

청구항 4에 있어서, 상기 과황산염은 과황산암모늄(Ammonium Persulfate), 과황산나트륨(Sodium Persulfate) 및 과황산칼륨(potassium Persulfate)으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 6**

청구항 4에 있어서, 상기 Fe<sup>3+</sup> 화합물은 FeCl<sub>3</sub>, Fe(NO<sub>3</sub>)<sub>3</sub>, Fe<sub>2</sub>(SO<sub>4</sub>)<sub>3</sub>, NH<sub>4</sub>Fe(SO<sub>4</sub>)<sub>2</sub>, Fe(ClO<sub>4</sub>)<sub>3</sub>, 및 FePO<sub>4</sub>로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 7**

청구항 4에 있어서, 상기 함불소 화합물은 불산(HF), 불화암모늄(NH<sub>4</sub>F), 불화나트륨(NaF), 불화칼륨(KF), 중불화암모늄(NH<sub>4</sub>F · HF), 중불화나트륨(NaF · HF), 중불화칼륨(KF · HF), 불화붕소산(HBF<sub>4</sub>), 불화알루미늄(AlF<sub>3</sub>), 불화칼슘(CaF<sub>2</sub>) 및 규불화수소산(H<sub>2</sub>SiF<sub>6</sub>)으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 8**

청구항 4에 있어서, 상기 무기산은 질산, 황산, 인산 및 과염소산으로 이루어진 군으로부터 선택되는 1종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 9**

청구항 4에 있어서, 상기 식각 속도 개선제는 무기산염으로, 황산, 질산, 인산 및 염산의 K, Na, Li, Mg, Ca, Al 또는 Cu 염으로 이루어진 군으로부터 선택된 1종 또는 2종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 10**

청구항 4에 있어서, 상기 다가알코올형 계면활성제는 글리세롤(glycerol), 트리에틸렌글리콜(triethylene glycol) 및 폴리에틸렌글리콜(polyethylene glycol)로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물.

**청구항 11**

청구항 4의 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판.

**발명의 설명**

**기술 분야**

[0001]

본 발명은 액정 표시 장치용 어레이 기판의 제조방법에 관한 것으로, 보다 상세하게는 실리콘 박막, 특히 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막을 일괄 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법 및 상기 일괄 식각에 사용되는 식각액 조성물에 관한 것이다.

**배경 기술**

[0002]

액정 표시 장치에서 기판 위에 금속 배선을 형성하는 과정은 통상적으로 스퍼터링 등에 의한 금속막 형성공정, 포토레지스트 도포, 노광 및 현상에 의한 선택적인 영역에서의 포토레지스트 형성공정 및 식각공정에 의한 단계

로 구성되고, 개별적인 단위 공정 전후의 세정 공정 등을 포함한다. 이러한 식각 공정은 포토레지스트를 마스크로 하여 선택적인 영역에 금속막을 남기는 공정을 의미하며, 통상적으로 플라즈마 등을 이용한 건식 식각 또는 식각액 조성물을 이용하는 습식 식각이 사용된다.

- [0003] 액정 표시 장치용 어레이 기판의 제조방법은 일반적으로 4 마스크 공정과 5 마스크 공정으로 이루어지는데, 5 마스크 공정에서 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막으로 이루어지는 반도체 층의 형성 과정을 예를 들어 설명하면 다음과 같다.
- [0004] 먼저, 도 1a에 도시한 바와 같이, 투명한 기판(159) 상에 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 크롬(Cr), 몰리브덴(Mo) 등을 기판(159) 전면에 증착하여, 제 1 금속층을 형성하고, 제 1 마스크 공정을 진행하여 기판(159)에 게이트 전극(160)을 포함하는 게이트 배선을 형성한다.
- [0005] 다음, 상기 게이트 전극(160) 및 게이트 배선이 형성된 기판(159) 전면에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO<sub>2</sub>)을 증착하여 게이트 절연막(168)을 형성한다.
- [0006] 다음, 도 1b에 도시한 바와 같이, 상기 게이트 절연막(168)이 형성된 기판(159) 전면에 비정질 실리콘을 증착하여 비정질 실리콘층(170a)을 형성한다. 이후 상기 비정질 실리콘층(170a) 위로 불순물이 섞인 n+ 비정질 실리콘층(170b)을 형성한다.
- [0007] 다음, 상기 n+층(170b)이 형성된 기판(159) 전면에 금속물질 예를 들면 몰리브덴(Mo)등을 증착하여 제 2 금속층(171)을 형성한다.
- [0008] 다음, 도 1c에 도시한 바와 같이, 상기 제 2 금속층(171) 위에 포토레지스트를 도포하고, 제 2 마스크 공정을 진행하여, 소스 및 드레인 전극(미도시)을 포함하는 데이터 배선(미도시)과 반도체층(미도시)이 형성될 부분 상에는 포토레지스트 패턴(110)을 형성하고 그 외 부분의 포토레지스트는 제거하여 제 2 금속층(171)을 노출시킨다.
- [0009] 다음, 도 1d에 도시한 바와 같이, 상기 노출된 제 2 금속층(도 1c의 171)을 식각하여 제거함으로써 상기 제 2 금속층(도 1c의 171) 하부의 n+층(170b)을 노출시킨다. 이때, 제거되지 않고 남아있는 제 2 금속층(172)은 연결된 상태의 소스 드레인 금속층(172)을 형성한다.
- [0010] 다음, 도 1e에 도시한 바와 같이, 상기 노출된 n+층(도 1d 170b) 및 그 하부의 비정질 실리콘층(170a)을 식각하여 게이트 절연막(168)을 노출시킨다. 이때, 제거되지 않고 남아 있는 비정질 실리콘층(173a) 및 n+층(173b)은 반도체층(173)을 형성한다. 이후, 남아있는 포토레지스트 패턴(110)을 스트립 공정을 진행하여 제거한다.
- [0011] 다음, 도 1f에 도시한 바와 같이, 개략적인 데이터 배선 및 반도체층(173)이 형성된 기판(159)에 포토레지스트를 도포하고, 제 3 마스크 공정을 진행하여, 액티브 영역 즉, 채널(ch)을 형성할 부분의 소스 드레인 금속층(172) 위에는 포토레지스트를 제거하고, 그 외 영역에는 포토레지스트 패턴(115)을 형성한다.
- [0012] 다음, 도 1g에 도시한 바와 같이, 상기 노출된 소스 드레인 금속층(도 1f의 172)을 식각하고, 그 하부의 n+층(도 1g의 173b)을 연속하여 식각함으로써 비정질 실리콘층(173a)을 노출시킨다. 이에 따라, 상기 소스 드레인 금속층(도 1f의 172)이 분리되어 일정 간격을 가지며 이격함으로써 소스 및 드레인 전극(176, 178)을 형성하고, 더불어 완성된 데이터 배선을 형성하며, 상기 소스 및 드레인 전극(176, 178) 하부에 형성된 반도체층(173)은 채널(ch)을 형성하는 액티브층(173a)과 상기 소스 및 드레인 전극(176, 178)과 접촉하는 n+층의 오믹콘택층(173b)을 형성한다. 이후 남아있는 포토레지스트 패턴(도 1h의 115)을 제거한다.
- [0013] 상기 2 마스크 공정에서 n+층과 비정질 실리콘 층의 식각 및 3 마스크 공정에서 채널(ch)을 형성하기 위하여 n+층을 식각할 때, 일반적으로 드라이 에칭이 사용되고 있다. 그러나 드라이 에칭에 의하는 경우 장비가 고가이고, n+층과 비정질 실리콘 층의 식각 시 시간이 많이 걸리며, 채널(ch)을 형성하기 위하여 n+층을 식각할 때는 하층의 비정질 실리콘층 박막에 플라즈마에 의한 손상이 야기되는 단점이 있다.
- [0014] 또한 습식 식각의 경우, n+층과 비정질 실리콘 층을 효율적으로 일괄 식각할 수 있는 식각액이 개발되지 않아서 식각 공정이 복잡해지는 단점이 있다. 그러므로 이들 공정을 효율적으로 수행하기 위한 방법의 개발이 요구되고 있다.

**선행기술문헌**

**특허문헌**

- [0015] (특허문헌 0001) (선행문헌 1) 대한민국 등록특허 10-0392362호
- (특허문헌 0002) (선행문헌 2) 대한민국 공개특허 10-2005-0066590호

**발명의 내용**

**해결하려는 과제**

- [0016] 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서,
- [0017] 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막에 대한 일괄 습식 식각 조성물을 제공하는 것을 목적으로 한다.
- [0018] 또한, 본 발명은 반도체층 형성 시 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 본 발명의 식각액 조성물로 일괄 습식 식각하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법을 제공하는 것을 목적으로 한다.
- [0019] 또한, 본 발명은 상기 식각액 조성물을 사용하여 일괄 식각된 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0020] 상기 목적을 달성하기 위하여, 본 발명은
- [0021] a) 기판 상에 제 1 금속층을 형성하고, 제 1 마스크 공정을 진행하여 가로 방향의 게이트 배선과 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계;
- [0022] b) 상기 게이트 전극 상의 전면에 게이트 절연막을 형성하는 단계;
- [0023] c) 상기 게이트 절연막 상에 순수 비정질 실리콘(a-Si:H) 박막, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 제 2 금속층을 순차적으로 형성하는 단계;
- [0024] d) 상기 금속층 위로 제 2 마스크 공정을 진행하여 상기 제 2 금속층, 하부의 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 식각하여, 데이터 배선과 상기 데이터 배선과 연결된 소스 드레인 금속층을 형성하는 단계;
- [0025] e) 상기 소스 드레인 금속층이 형성된 기판에 제 3 마스크 공정을 진행하여 상기 소스 드레인 금속층 일부를 식각하여 일정 간격 이격한 소스 및 드레인 전극을 형성하는 단계;
- [0026] f) 상기 소스 및 드레인 전극 사이의 일정 간격 사이로 노출된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각하여 순수 비정질 실리콘(a-Si:H) 박막을 노출시킴으로써 채널을 형성하는 단계;
- [0027] g) 상기 소스 및 드레인 전극 상에 전면 보호층을 형성하는 단계;
- [0028] h) 상기 보호층이 형성된 기판에 제 4 마스크 공정을 진행하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및
- [0029] i) 상기 보호층 상에 투명 도전성 물질을 전면에 증착하고 제 5 마스크 공정을 진행하여 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서,
- [0030] 상기 d)단계는 반도체층을 형성하는 순수 비정질 실리콘(a-Si:H) 박막과 그의 상부에 형성된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 공정을 포함하며, 상기 일괄 식각은 조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%, Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, 함불소 화합물 0.01 내지 20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 식각액 조성물을 사용하는 것을 특징으로 하는, 액정 표시 장치용 어레이 기판의 제조방법을 제공한다.
- [0031] 또한, 본 발명은 조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%, Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%,

함불소 화합물 0.01 내지 20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 것을 특징으로 하는, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 일괄 식각액 조성물을 제공한다.

[0032] 또한, 본 발명은 상기 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판을 제공한다.

**발명의 효과**

[0033] 본 발명의 식각액 조성물을 사용하는 경우, 반도체 층의 형성 시 순수 비정질 실리콘(a-Si:H) 박막과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 일괄 식각할 수 있기 때문에 드라이 에칭과 비교하여 효율적이고 경제적으로 반도체 층을 형성할 수 있다. 또한, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막에 대하여 개별적인 식각액을 사용하는 경우와 비교하여 공정을 단순화시킬 수 있다.

[0034] 또한, 상기 식각액을 채널 형성 시에도 그대로 사용 할 수 있어서 반도체 소자의 제조 공정을 크게 단순화시킬 수 있으므로 생산성을 향상시킬 수 있다.

[0035] 또한, 본 발명의 식각액 조성물은 다가알코올형 계면활성제를 포함함으로써 처리매수를 증가시켜 생산성 향상에 기여할 수 있다.

**도면의 간단한 설명**

[0036] 본 발명의 도 1a 내지 도 1h는 종래의 방법에 의해 제조된 TFT의 제조 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0037] 이하, 본 발명을 보다 자세히 설명한다.

[0038] 본 발명은

[0039] a) 기판 상에 제 1 금속층을 형성하고, 제 1 마스크 공정을 진행하여 가로 방향의 게이트 배선과 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계;

[0040] b) 상기 게이트 전극 상의 전면에 게이트 절연막을 형성하는 단계;

[0041] c) 상기 게이트 절연막 상에 순수 비정질 실리콘(a-Si:H) 박막, 그 상부에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 제 2 금속층을 순차적으로 형성하는 단계;

[0042] d) 상기 금속층 위로 제 2 마스크 공정을 진행하여 상기 제 2 금속층, 하부의 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막을 식각하여, 데이터 배선과 상기 데이터 배선과 연결된 소스 드레인 금속층을 형성하는 단계;

[0043] e) 상기 소스 드레인 금속층이 형성된 기판에 제 3 마스크 공정을 진행하여 상기 소스 드레인 금속층 일부를 식각하여 일정 간격 이격한 소스 및 드레인 전극을 형성하는 단계;

[0044] f) 상기 소스 및 드레인 전극 사이의 일정 간격 사이로 노출된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각하여 순수 비정질 실리콘(a-Si:H) 박막을 노출시킴으로써 채널을 형성하는 단계;

[0045] g) 상기 소스 및 드레인 전극 상에 전면 보호층을 형성하는 단계;

[0046] h) 상기 보호층이 형성된 기판에 제 4 마스크 공정을 진행하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 및

[0047] i) 상기 보호층 상에 투명 도전성 물질을 전면에 증착하고 제 5 마스크 공정을 진행하여 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 어레이 기판의 제조방법에 있어서,

[0048] 상기 d)단계는 반도체층을 형성하는 순수 비정질 실리콘(a-Si:H) 박막과 그의 상부에 형성된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각액 조성물로 일괄 식각하는 공정을 포함하며, 상기 일괄 식각은 조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%, Fe<sup>3+</sup> 화합물 1.0 내지 20.0 중량%, 함불소 화합물 0.01 내지

20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 식각액 조성물을 사용하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조방법에 관한 것이다.

[0049] 본 발명에서, 상기 f)단계는 상기 d)단계에서 사용한 식각액 조성물을 사용하여 노출된 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각 하는 공정을 포함할 수 있다.

[0050] 상기 액정 표시 장치용 어레이 기판은 박막트랜지스터(TFT) 어레이 기판일 수 있다.

[0051] 또한, 본 발명은

[0052] 조성물 총 중량에 대하여 과황산염 5.0 내지 15.0 중량%,  $Fe^{3+}$  화합물 1.0 내지 20.0 중량%, 함불소 화합물 0.01 내지 20.0 중량%, 무기산 3.0 내지 20.0 중량%, 식각 속도 개선제 0.01 내지 10.0 중량%, 다가알코올형 계면활성제 0.01 내지 5.0 중량% 및 잔량의 물을 포함하는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막의 일괄 식각액 조성물에 관한 것이다.

[0053] 본 발명의 비정질 실리콘(n+ a-Si:H) 박막 및 순수 비정질 실리콘(a-Si:H) 박막의 일괄 식각액 조성물은 상기 박막들의 일괄 식각뿐만 아니라, 독립적으로 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 또는 순수 비정질 실리콘(a-Si:H) 박막의 식각에도 바람직하게 사용될 수 있다.

[0054] 본 발명에서 과황산염은 상기 함불소 화합물의 활성도를 높여주는 역할을 한다. 상기 과황산염은 일괄 식각액 조성물 총 중량에 대하여, 5.0 내지 15.0 중량%로 포함되고, 바람직하게는 7.0 내지 13.0 중량%로 포함된다. 상기 과황산염이 조성물 총 중량에 대하여 5.0 중량% 미만으로 포함되면, 식각력이 부족하여 충분한 식각이 이루어지지 않을 수 있으며, 15.0 중량%를 초과하여 포함될 경우, 식각 속도가 전체적으로 빨라지기 때문에 공정 컨트롤이 어렵다. 상기 과황산염은 과황산암모늄(Ammonium Persulfate), 과황산나트륨(Sodium Persulfate) 및 과황산칼륨(Potassium Persulfate)으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0055] 본 발명에서  $Fe^{3+}$  화합물은 상기 함불소 화합물의 활성도를 높여주는 역할을 한다. 상기  $Fe^{3+}$  화합물은 일괄 식각액 조성물 총 중량에 대하여, 1.0 내지 20.0 중량%로 포함되고, 바람직하게는 2.0 내지 10.0 중량%로 포함된다. 상기  $Fe^{3+}$  화합물이 조성물 총 중량에 대하여 1.0 중량% 범위 미만으로 포함되면, 식각력이 부족하여 충분한 식각이 이루어지지 않을 수 있으며, 20.0 중량%를 초과하여 포함될 경우, 식각 속도가 전체적으로 빨라지기 때문에 공정 컨트롤이 어렵다. 상기  $Fe^{3+}$  화합물은  $Fe^{3+}$  를 포함한 염의 형태로 제공되며,  $FeCl_3$ ,  $Fe(NO_3)_3$ ,  $Fe_2(SO_4)_3$ ,  $NH_4Fe(SO_4)_2$ ,  $Fe(ClO_4)_3$ , 및  $FePO_4$ 로 이루어진 군으로부터 선택되는 1종 또는 2종 이상인 것이 바람직하다.

[0056] 상기 함불소 화합물은 물에 해리되어 플루오르 이온( $F^-$ )을 낼 수 있는 화합물을 말한다. 본 발명에서 함불소 화합물은 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각하는 주성분이며, 식각하는 용액에서 필연적으로 발생하는 잔사를 제거하는 역할을 한다.

[0057] 본 발명에서 사용하는 상기 함불소 화합물은 불산(HF), 불화암모늄( $NH_4F$ ), 불화나트륨(NaF), 불화칼륨(KF), 중불화암모늄( $NH_4F \cdot HF$ ), 중불화나트륨( $NaF \cdot HF$ ), 중불화칼륨( $KF \cdot HF$ ), 불화붕소산( $HBF_4$ ), 불화알루미늄( $AlF_3$ ), 불화칼슘( $CaF_2$ ) 및 규불화수소산( $H_2SiF_6$ )으로 이루어진 군으로부터 선택되는 1종 또는 2종 이상이다. 상기 함불소 화합물은 본 발명의 일괄 식각액 조성물 총 중량에 대하여 0.01 내지 20.0 중량%로 포함되며, 바람직하게는 0.1

내지 10.0중량%로 포함된다. 상기 함불소 화합물이 0.01 중량% 미만으로 포함되면, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막의 식각 속도가 저하되어 부분적으로 언에치(unetch)현상 또는 잔사가 발생할 수 있으며, 20 중량%를 초과하여 포함되면, 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각하는 성능은 향상되지만, 식각 속도가 전체적으로 빨라져 공정 컨트롤이 어려운 문제점이 발생한다.

[0058] 상기 무기산은 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막을 식각한 후 잔류물이 남지 않도록 하는 역할을 한다. 상기 무기산은 질산, 황산, 인산 및 과염소산으로 이루어진 군으로부터 선택되는 1종 이상을 사용하며, 일괄 식각액 조성물 총 중량에 대하여 3 내지 20 중량%로 포함되며, 3 내지 15 중량%로 포함되는 것이 보다 바람직하다. 상기 3 내지 20 중량% 범위에서 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막이 적절하게 식각될 수 있으며, 식각 프로파일이 우수해진다. 반면, 3 중량% 미만으로 포함되면, 식각 속도가 저하되어 식각 프로파일에 불량이 발생할 수 있으며, 잔사가 발생할 수 있다. 또한, 20 중량%를 초과하면 과식각이 발생할 수 있고, 포토레지스트에 크랙이 발생하여 상기 크랙으로 식각액이 침투되면서 배선이 단락될 수 있다.

[0059] 본 발명에서 식각속도 개선제는 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막층 대한 에칭 속도를 향상시켜 일괄 식각이 가능하게 하는 역할을 한다. 상기 식각속도 개선제는 무기산염으로, 황산, 질산, 인산 및 염산의 K, Na, Li, Mg, Ca, Al 또는 Cu 염으로 이루어진 군으로부터 선택된 1종 또는 2종 이상인 것이 바람직하며, 보다 바람직하게는 황산, 질산, 인산 및 염산의 Cu염으로 이루어진 군으로부터 선택된 1종 또는 2종 이상이다.

[0060] 상기 식각속도 개선제는 일괄 식각액 조성물 총 중량에 대하여, 0.01 내지 10.0 중량%로 포함되고, 1.0 내지 5.0 중량%로 포함되는 것이 바람직하다. 상술한 범위를 만족하면, 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막의 식각속도가 향상되고, 식각 프로파일도 우수해진다. 상기 식각속도 개선제가 조성물 총 중량에 대하여, 0.01 중량% 미만으로 포함되면, 식각 속도가 저하되어 잔사가 발생할 수 있으며, 10.0 중량%를 초과하면, 과식각이 발생할 수 있다.

[0061] 본 발명에서 상기 다가알코올형 계면활성제는 처리매수를 향상시키는 기능을 갖는다. 즉, 상기 다가알코올형 계면활성제는 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막에 대한 처리매수능력을 증가시켜 생산성을 향상시키고, 식각액을 사용하는 동안 안정적으로 공정을 진행할 수 있게 한다.

[0062] 상기 다가알코올형 계면활성제는, 예를 들어, 글리세롤(glycerol), 트리에틸렌글리콜(triethylene glycol) 및 폴리에틸렌글리콜(polyethylene glycol)로 이루어진 군으로부터 선택되는 1종 또는 2종 이상이 사용될 수 있다.

[0063] 상기 다가알코올형 계면활성제는 일괄 식각액 조성물 총 중량에 대하여 0.01 내지 5 중량%로 포함되며, 1 내지 3 중량%로 포함되는 것이 보다 바람직하다.

[0064] 상기 다가알코올형 계면활성제가 0.01 중량% 미만으로 포함되면, 처리매수가 증가할수록 식각 프로파일에 불량이 발생할 수 있다. 또한, 5 중량%를 초과하여 포함되면, 거품이 많이 발생하는 단점이 있다.

[0065] 상기 물은 일괄 식각액 조성물 총 중량이 100 중량%가 되도록 잔량으로 포함된다. 상기 물은 특별히 한정하지 않으나, 탈이온수를 이용하는 것이 바람직하다. 보다 바람직하게는 물 속에 이온이 제거된 정도를 보여주는 물의 비저항값이 18MΩ·cm 이상인 탈이온수를 이용한다.

[0066] 또한, 전술한 성분 이외에 통상의 첨가제를 더 첨가할 수 있으며, 첨가제로는 금속 이온 봉쇄제, 식각속도 조절제 및 부식 방지제 등을 들 수 있다.

[0067] 본 발명에서 사용되는 과황산염, Fe<sup>3+</sup> 화합물, 함불소 화합물, 무기산, 식각 속도 개선제, 다가알코올형 계면활

성제 등은 통상적으로 공지된 방법에 의해서 제조가 가능하며, 본 발명의 식각액 조성물은 반도체 공정용의 순도를 가지는 것이 바람직하다.

[0068] 또한, 본 발명은 상기 식각액 조성물을 사용하여 식각된 순수 비정질 실리콘(a-Si:H) 박막 및 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 중 하나 이상을 포함하는 액정 표시 장치용 어레이 기판을 제공한다.

[0069] 이하, 실시예 및 실험예를 통하여 본 발명을 더욱 상세하게 설명하기로 한다. 이들 실시예 및 실험예는 단지 본 발명을 예시하기 위한 것이므로, 본 발명의 범위가 이들 실시예 및 실험예에 의해 제한되는 것으로 해석되지는 않는다.

[0070] 실시예 1 및 비교예 1 내지 2: 식각액 조성물의 제조

[0071] 하기 [표 1]에 기재된 조성에 따라, 각 성분들을 혼합하여 실시예 1 및 비교예 1 내지 2의 식각액 조성물을 각각 제조하였다.

표 1

	과황산암모늄	Fe(NO <sub>3</sub> ) <sub>3</sub>	HF	질산	인산칼륨	TEG	탈이온수
실시예1	9	10	1	10	1.0	2	잔량
비교예1	9	10	1	10	1.0	-	잔량
비교예2	9	10	1	10	1.0	10	잔량

[0073] (단위: 중량%)

[0074] TEG: triethylene glycol

[0075] 실험예 1: 식각 특성 평가

[0076] 유리 기판 위에 순수 비정질 실리콘(a-Si:H) 박막을 형성하고, 순수 비정질 실리콘 박막 위에 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막이 적층된 기판을 준비하였다. 상기의 조성으로 제조된 실시예 1 및 비교예 1 내지 2의 식각액 조성물로 상기 준비된 기판을 식각하였다. 식각 특성 평가 방식은 순수 비정질 실리콘(a-Si:H) 박막 층과 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막 층의 일괄 Etch 가능 여부를 평가하였다. 분사식 식각 방식의 실험장비(모델명: ETCHER(TFT), SEMES사) 내에 상기 각각의 식각액을 넣고 온도를 32℃로 설정하여 가온한 후, 온도가 32±0.1℃에 도달하였을 때 식각 공정을 수행하였다. 불순물이 포함된 비정질 실리콘(n+ a-Si:H) 박막과 순수 비정질 실리콘(a-Si:H) 박막의 총 식각 시간은 엔드포인트 검출(End Point Detection, EPD)을 기준으로 하여 오버 에치(Over Etch) 15%를 주어 실시하였다. 기판을 넣고 분사를 시작하여 식각이 다 되면 꺼내어 탈이온수로 세정한 후, 열풍건조장치를 이용하여 건조하고, 포토레지스트 박리기(PR stripper)를 이용하여 포토레지스트를 제거하였다. 세정 및 건조 후 전자주사현미경(SEM; 모델명: S-4700, HITACHI사 제조)을 이용하여 식각 특성을 평가하여 하기 [표 2]에 나타내었다.

[0077] 측면 식각 손실(critical dimension(CD) skew) 변화, 테이퍼 각도, 금속 산화물막 손상의 식각 Profile, 잔사 및 식각액이 식각 특성을 유지하는 농도를 평가하여, 결과를 하기 [표 2]에 나타내었다.

[0078] <평가 기준>

[0079] ◎: 매우 우수 (CD Skew ≤ 0.2μm, 테이퍼 각도: 40-60° )

[0080] ○: 우수 (0.2μm < CD Skew ≤ 1μm, 테이퍼 각도: 30-60° )

[0081] △: 양호 (1μm < CD Skew ≤ 1.5μm, 테이퍼 각도: 30-60° )

[0082] ×: 불량 (잔사 발생)

[0083] 처리매수평가는 Silicon Powder를 투입하면서 식각액 조성물이 식각특성을 유지하는 Si의 농도를 측정하여 수행

하고 그 결과를 하기 표 2에 나타내었다. 표 2에 나타낸 바와 같이 TEG가 2.0 중량%로 포함된 실시예 1의 식각액의 경우는 Si 4000 ppm까지, TEG를 포함하지 않는 비교예 1의 식각액은 Si 2000 ppm까지, TEG를 10 중량%로 포함한 비교예 2 식각액의 경우는 Si 6000 ppm까지 식각특성을 유지하였다. 이와 같은 결과는 본 발명의 다가알코올형 계면활성제가 기판의 처리매수 증가에 크게 기여함을 나타낸다. 상기 비교예 2의 식각액의 경우는 높은 농도까지 식각특성을 유지하였지만, TEG 함량이 높아 Etchant내 거품이 발생하여 식각 Profile이 우수하지 못한 단점이 발생하였다.

표 2

[0084]

	식각 Profile	잔사	식각액이 식각 특성을 유지하는 농도
실시예 1	◎	없음	Si 4000 ppm
비교예 1	◎	없음	Si 2000 ppm
비교예 2	△	없음	Si 6000 ppm

부호의 설명

[0085]

< 도면의 주요 부분에 대한 부호의 설명 >

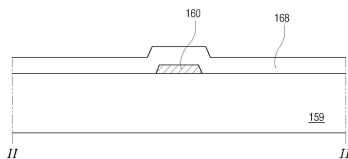
110 : 포토레지스트 패턴 159 : 기판

160 : 게이트 전극 168 : 게이트 절연막

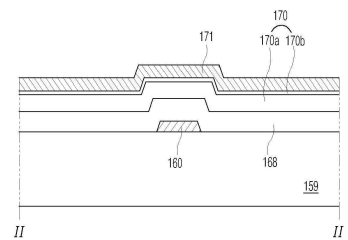
172 : 소스 드레인 금속층

도면

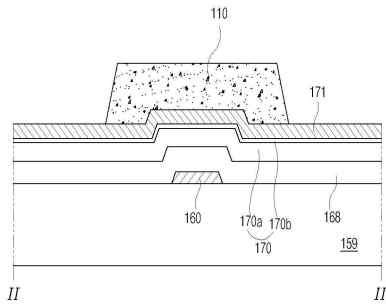
도면1a



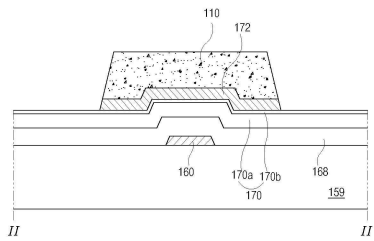
도면1b



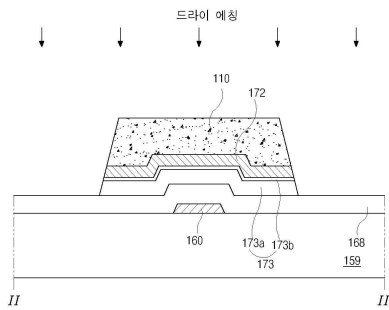
도면1c



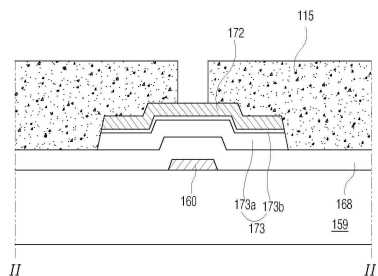
도면1d



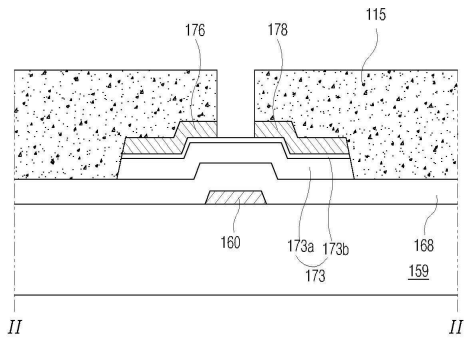
도면1e



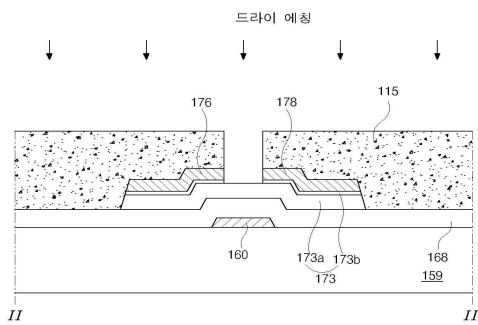
도면1f



도면1g



도면1h



专利名称(译)	一种制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	<a href="#">KR1020150111733A</a>	公开(公告)日	2015-10-06
申请号	KR1020140035472	申请日	2014-03-26
[标]申请(专利权)人(译)	东友精细化工有限公司		
申请(专利权)人(译)	东宇精细化工有限公司		
当前申请(专利权)人(译)	东宇精细化工有限公司		
[标]发明人	JUNG KYUNG SUB 정경섭 LEE EUN WON 이은원		
发明人	정경섭 이은원		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	C09K13/04 G02F1/1368 H01L21/30604 H01L27/127 H01L27/1288 H01L29/66765		
代理人(译)	的专利法.		
其他公开文献	KR102092912B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

制造液晶显示器阵列基板的方法本发明涉及一种制造液晶显示器阵列基板的方法，更具体地说，涉及一种制造液晶显示器阵列基板的方法，其中硅薄膜，特别是含有杂质的非晶硅 (n + a-Si : H) 薄膜和纯非晶硅制造用于液晶显示器的阵列基板的方法技术领域本发明涉及一种制造用于液晶显示器的阵列基板的方法，该方法包括共同蚀刻薄膜的步骤和用于批量蚀刻的蚀刻剂组合物。

