



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0061536  
(43) 공개일자 2012년06월13일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/136* (2006.01)  
(21) 출원번호 10-2010-0122876  
(22) 출원일자 2010년12월03일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최승규  
서울특별시 은평구 불광로2길 33, 북한산 현대  
힐스테이트 1차 아파트 1109동 602호 (불광동)  
(74) 대리인  
특허법인네이트

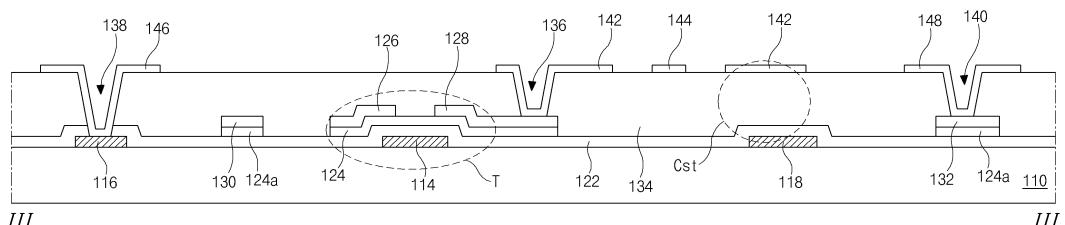
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **가용성 물질을 이용하여 형성된 절연층을 포함하는 액정표시장치용 어레이 기판 및 그 제조 방법**

### (57) 요약

본 발명은, 기판과; 상기 기판 상부에 형성되고 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 박막트랜지스터 및 상기 데이터 배선 상부에 형성되고 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 이루어지는 보호층과; 상기 보호층 상부에 형성되고 상기 박막트랜지스터에 연결되는 화소 전극을 포함하는 액정표시장치용 어레이 기판을 제공한다.

### 대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

기판과;

상기 기판 상부에 형성되고 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와;

상기 박막트랜지스터 및 상기 데이터 배선 상부에 형성되고 산화 실리콘을 포함하는 가용성 유무기 혼성 절연 물질로 이루어지는 보호층과;

상기 보호층 상부에 형성되고 상기 박막트랜지스터에 연결되는 화소 전극

을 포함하는 액정표시장치용 어레이 기판.

### 청구항 2

제 1 항에 있어서,

상기 산화 실리콘을 포함하는 상기 가용성 유무기 혼성 절연물질은 산화 실리콘 기반의 가용성 절연물질, 가교재 및 광개시제를 포함하는 액정표시장치용 어레이 기판.

### 청구항 3

제 1 항에 있어서,

상기 박막트랜지스터는,

상기 기판 상부에 형성되고 상기 게이트 배선에 연결되는 게이트 전극과;

상기 게이트 전극에 대응되는 상기 게이트 절연층 상부에 형성되는 반도체층과;

상기 반도체층 상부에 형성되고 서로 이격되는 소스 전극 및 드레인 전극을 포함하는 액정표시장치용 어레이 기판.

### 청구항 4

제 3 항에 있어서,

상기 게이트 절연층과 상기 반도체층 사이에 형성되고 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑층을 더 포함하는 액정표시장치용 어레이 기판.

### 청구항 5

제 3 항에 있어서,

상기 게이트 배선의 단부에 연결되는 게이트 패드와, 게이트 배선과 평행하게 이격되는 공통 배선과, 상기 공통 배선의 단부에 연결되는 공통 패드와, 상기 데이터 배선의 단부에 연결되는 데이터 패드와, 상기 화소 전극과 평행하게 이격되고 상기 공통 배선에 연결되는 공통 전극과, 상기 게이트 패드에 연결되는 게이트 패드 단자와, 상기 데이터 패드에 연결되는 데이터 패드 단자를 더 포함하는 액정표시장치용 어레이 기판.

### 청구항 6

기판 상부에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선을 형성하는 단계와;  
상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터를 형성하는 단계와;  
상기 박막트랜지스터 및 상기 데이터 배선 상부에 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 이루어지는 보호층을 형성하는 단계와;  
상기 보호층 상부에 상기 박막트랜지스터에 연결되는 화소 전극을 형성하는 단계  
를 포함하는 액정표시장치용 어레이 기판의 제조방법.

#### 청구항 7

제 6 항에 있어서,  
상기 박막트랜지스터를 형성하는 단계는,  
상기 기판 상부에 상기 게이트 배선에 연결되는 게이트 전극을 형성하는 단계와;  
상기 게이트 전극에 대응되는 상기 게이트 절연층 상부에 반도체층을 형성하는 단계와;  
상기 반도체층 상부에 서로 이격되는 소스 전극 및 드레인 전극을 형성하는 단계  
를 포함하는 액정표시장치용 어레이 기판의 제조방법.

#### 청구항 8

제 7 항에 있어서,  
상기 보호층을 형성하는 단계는,  
상기 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 도포(coating)하여 상기 소스 전극, 상기 드레인 전극 및 상기 데이터 배선 상부에 가용성 절연물질층을 형성하는 단계와;  
노광마스크를 통하여 상기 가용성 절연물질층을 노광(exposure)하는 단계와;  
노광된 상기 가용성 절연물질층을 현상(develop)하는 단계와;  
현상된 상기 가용성 절연물질층을 열처리(curing)하는 단계와;  
열처리된 상기 가용성 절연물질층을 식각마스크로 이용하여 상기 게이트 절연층을 식각하는 단계  
를 포함하는 액정표시장치용 어레이 기판의 제조방법.

#### 청구항 9

제 8 항에 있어서,  
상기 보호층을 형성하는 단계는,  
상기 가용성 절연물질층을 노광하는 단계 이전에 상기 가용성 절연물질층을 프리-베이킹(pre-baking) 하는 단계와;  
상기 가용성 절연물질층을 현상하는 단계 이후에 상기 가용성 절연물질층을 하드-베이킹 하는 단계  
를 더 포함하는 액정표시장치용 어레이 기판의 제조방법.

#### 청구항 10

제 7 항에 있어서,

상기 게이트 절연층과 상기 반도체층 사이에 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑층을 형성하는 단계를 더 포함하는 액정표시장치용 어레이 기판의 제조방법.

## 명세서

### 기술분야

[0001] 본 발명은 액정표시장치용 어레이 기판에 관한 것으로, 더욱 상세하게는 산화 실리콘( $\text{SiO}_2$ )을 포함하는 가용성 물질(soluble material)을 이용하여 형성된 절연층을 포함하는 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

### 배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(liquid crystal display: LCD), 플라즈마표시장치(plasma display panel: PDP), 유기발광표시장치(organic light emitting diode: OLED)와 같은 여러 가지 평판표시장치(flat panel display: FPD)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 현재 널리 사용되고 있다.

[0004] 액정표시장치는, 게이트배선, 테이터배선, 박막트랜지스터(thin film transistor: TFT), 화소 전극 등이 형성된 어레이 기판과, 블랙매트릭스, 컬러필터층, 공통 전극 등이 형성된 컬러필터 기판과, 어레이 기판 및 컬러필터 기판 사이에 형성된 액정층으로 이루어지는데, 이를 도면을 참조하여 설명한다.

[0005] 도 1은 종래의 액정표시장치용 어레이 기판의 단면도이다.

[0006] 도 1에 도시한 바와 같이, 기판(10) 상부에는 게이트 배선(미도시)과, 게이트 배선에서 연장되는 게이트 전극(14)과, 게이트 배선의 단부에 연결되는 게이트 패드(16)와, 게이트 배선과 평행하게 이격되는 공통 배선(18)이 형성된다.

[0007] 그리고, 게이트 배선, 게이트 전극(14), 게이트 패드(16) 및 공통 배선(18) 상부에는 게이트 절연층(22)이 형성되는데, 게이트 절연층(22)은 무기 절연물질로 이루어진다.

[0008] 게이트 전극(14)에 대응되는 게이트 절연층(22) 상부에는 반도체층(24)이 형성되고, 반도체층(24) 상부에는 서로 이격하는 소스 전극(26) 및 드레인 전극(28)이 형성된다.

[0009] 또한, 게이트 절연층(22) 상부에는 소스 전극(26)에 연결되고 게이트 배선과 교차하는 테이터 배선(30)과, 테이터 배선(30)의 단부에 연결되는 테이터 패드(32)가 형성된다.

[0010] 테이터 배선(30) 및 테이터 패드(32) 하부에는 반도체층(24)과 동일층, 동일물질로 이루어지는 반도체 패턴(24a)이 형성된다.

[0011] 여기서, 게이트 전극(14), 반도체층(24), 소스 전극(26) 및 드레인 전극(28)은 박막트랜지스터(T)를 구성한다.

[0012] 소스 전극(26), 드레인 전극(28), 테이터 배선(30) 및 테이터 패드(32) 상부에는 보호층(34)이 형성되는데, 보호층(34)은 드레인 전극(28)을 노출하는 드레인 콘택홀(36)과, 게이트 패드(16)를 노출하는 게이트 패드 콘택홀(38)과, 테이터 패드(32)를 노출하는 테이터 패드 콘택홀(40)을 포함한다.

[0013] 여기서, 게이트 패드 콘택홀(38)은 보호층(34) 및 게이트 절연층(22)을 통하여 형성되고, 보호층(34)은 질화실리콘( $\text{SiNx}$ )과 같은 무기 절연물질로 이루어진다.

[0014] 보호층(34) 상부에는 드레인 콘택홀(36)을 통하여 드레인 전극(28)에 연결되는 화소 전극(42)과, 화소 전극(42)으로부터 평행하게 이격되는 공통 전극(44)과, 게이트 패드 콘택홀(38)을 통하여 게이트 패드(16)에 연결되는 게이트 패드 단자(46)와, 테이터 패드 콘택홀(40)을 통하여 테이터 패드(32)에 연결되는 테이터 패드 단자(48)가 형성된다.

[0015] 화소 전극(42)의 일부는 보호층(34)을 사이에 두고 공통 배선(18)과 중첩되며, 서로 중첩하는 공통 배선(18)

및 화소 전극(42)과 그 사이에 개재된 보호층(34)은 스토리지 커패시터(Cst)를 구성한다.

[0016] 이러한 액정표시장치용 어레이 기판은, 박막 증착, 포토레지스트(photoresist) 도포, 노광, 현상, 식각 및 포토레지스트 제거 등의 단계를 포함하는 노광식각공정(photolithographic process)을 반복하여 패턴을 형성하는데, 노광 시 사용되는 마스크(mask)를 기준으로 노광식각공정을 구분하기도 한다.

[0017] 예를 들어, 액정표시장치용 어레이 기판은, 기판(10) 상부에 게이트 배선, 게이트 전극(14), 게이트 패드(16) 및 공통배선(18)을 형성하는 제1마스크공정, 반도체층(24), 소스 전극(26), 드레인 전극(28), 데이터 배선(30) 및 데이터 패드(32)를 형성하는 제2마스크공정, 드레인 콘택홀(36), 게이트 패드 콘택홀(38) 및 데이터 패드 콘택홀(40)을 형성하는 제3마스크공정, 화소 전극(42) 및 공통 전극(44)을 형성하는 제4마스크공정을 통하여 형성할 수 있다.

[0018] 특히, 보호층(34)은 무기 절연물질층 증착, 무기 절연물질층 상부에 포토레지스트(photoresist)층 도포(coating), 마스크를 통한 포토레지스트층 노광(exposure), 노광된 포토레지스트층 현상(develop), 현상된 포토레지스트층을 이용한 무기 절연물질층 식각(etching), 포토레지스트층 제거(strip)의 6단계를 거쳐 형성된다.

[0019] 이와 같이, 무기 절연물질로 이루어지는 보호층(34)은 복잡한 단계를 거쳐서 형성되며, 특히 무기 절연물질층 증착에 이용되는 화학기상증착(chemical vapor deposition: CVD)장치는 진공상태를 확보하기 위하여 많은 공정시간을 필요로 하며, 유지보수비가 많이 든다는 문제가 있으며, 이러한 요소는 액정표시장치용 어레이 기판의 제조비용 증가의 원인이 된다.

[0020] 그리고, 화학기상증착장치를 이용한 무기 절연물질층의 증착은 낮은 증착속도로 이루어지므로, 보호층(34) 형성을 위한 공정시간이 더 증가하는 문제가 있다.

[0021] 또한, 무기 절연물질은 평탄화 특성이 좋지 않아서 하부의 반도체층(24), 소스 전극(26), 드레인 전극(28), 데이터 배선(30) 및 데이터 패드(32)의 단차부에 대응하는 보호층(34)에 결함이 발생하는 문제가 있다.

[0022] 그리고, 보호층(34)의 하부에는 게이트 배선 및 데이터 배선(30)이 형성되고 보호층(34) 상부에는 화소 전극(42) 및 공통 전극(44)이 형성되며, 액정표시장치용 어레이 기판에서는 게이트 배선 및 데이터 배선(30)이 보호층(34)을 사이에 두고 화소 전극(42) 및 공통 전극(44)과 중첩되어 기생용량(parasitic capacitance)으로 작용할 수 있다.

[0023] 그런데, 보호층(34)을 구성하는 질화 실리콘(SiNx)의 유전상수는 약 7.5로 비교적 높은 값이므로, 두 전극 사이의 유전체의 유전율에 비례하는 기생용량도 비교적 큰 값이 되어, 게이트 배선 및 데이터 배선(30)을 통하여 각각 공급되는 게이트 신호 및 데이터 신호를 지연(delay)시키고 충전특성을 저하시키는 문제가 있다.

[0024] 이러한 게이트 신호 및 데이터 신호의 지연 및 충전특성 저하는 액정표시장치의 화질을 저하시키는 요인으로 작용한다.

## 발명의 내용

### 해결하려는 과제

[0025] 본 발명은, 산화 실리콘(SiO<sub>2</sub>)을 포함하는 가용성 혼성 물질(soluble hybrid material)을 이용하여 보호층을 형성함으로써, 제조공정이 단순화되고 제조비용 및 제조시간이 감소되며, 하부 패턴의 단차에 의한 보호층의 결함이 방지되고, 신호지연이 방지되고 충전특성이 개선된 액정표시장치용 어레이 기판 및 그 제조방법을 제공하는데 그 목적이 있다.

[0026] 또한, 본 발명은, 게이트 절연층과 반도체층 사이에 도핑층을 형성하고 산화 실리콘(SiO<sub>2</sub>)을 포함하는 가용성 혼성 물질(soluble hybrid material)을 이용하여 보호층을 형성함으로써, 박막트랜지스터의 전기적 특성저하가 방지되는 액정표시장치용 어레이 기판 및 그 제조방법을 제공하는데 다른 목적이 있다.

## 과제의 해결 수단

- [0027] 상기의 목적을 달성하기 위하여, 본 발명은, 기판과; 상기 기판 상부에 형성되고 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 박막트랜지스터 및 상기 데이터 배선 상부에 형성되고 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 이루어지는 보호층과; 상기 보호층 상부에 형성되고 상기 박막트랜지스터에 연결되는 화소 전극을 포함하는 액정표시장치용 어레이 기판을 제공한다.
- [0028] 여기서, 상기 산화 실리콘을 포함하는 상기 가용성 유무기 혼성 절연물질은 산화 실리콘 기반의 가용성 절연 물질, 가교재 및 광개시제를 포함할 수 있다.
- [0029] 그리고, 상기 박막트랜지스터는, 상기 기판 상부에 형성되고 상기 게이트 배선에 연결되는 게이트 전극과; 상기 게이트 전극에 대응되는 상기 게이트 절연층 상부에 형성되는 반도체층과; 상기 반도체층 상부에 형성되고 서로 이격되는 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0030] 또한, 상기 액정표시장치용 어레이 기판은 상기 게이트 절연층과 상기 반도체층 사이에 형성되고 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑층을 더 포함할 수 있다.
- [0031] 그리고, 상기 액정표시장치용 어레이 기판은, 상기 게이트 배선의 단부에 연결되는 게이트 패드와, 게이트 배선과 평행하게 이격되는 공통 배선과, 상기 공통 배선의 단부에 연결되는 공통 패드와, 상기 데이터 배선의 단부에 연결되는 데이터 패드와, 상기 화소 전극과 평행하게 이격되고 상기 공통 배선에 연결되는 공통 전극과, 상기 게이트 패드에 연결되는 게이트 패드 단자와, 상기 데이터 패드에 연결되는 데이터 패드 단자를 더 포함할 수 있다.
- [0032] 한편, 기판 상부에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선을 형성하는 단계와; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터 및 상기 데이터 배선 상부에 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 이루어지는 보호층을 형성하는 단계와; 상기 보호층 상부에 상기 박막트랜지스터에 연결되는 화소 전극을 형성하는 단계를 포함하는 액정 표시장치용 어레이 기판의 제조방법을 제공한다.
- [0033] 여기서, 상기 박막트랜지스터를 형성하는 단계는, 상기 기판 상부에 상기 게이트 배선에 연결되는 게이트 전극을 형성하는 단계와; 상기 게이트 전극에 대응되는 상기 게이트 절연층 상부에 반도체층을 형성하는 단계와; 상기 반도체층 상부에 서로 이격되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함할 수 있다.
- [0034] 그리고, 상기 보호층을 형성하는 단계는, 상기 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 도포(coating)하여 상기 소스 전극, 상기 드레인 전극 및 상기 데이터 배선 상부에 가용성 절연물질층을 형성하는 단계와; 노광마스크를 통하여 상기 가용성 절연물질층을 노광(exposure)하는 단계와; 노광된 상기 가용성 절연물질층을 현상(develop)하는 단계와; 현상된 상기 가용성 절연물질층을 열처리(curing)하는 단계와; 열처리된 상기 가용성 절연물질층을 식각마스크로 이용하여 상기 게이트 절연층을 식각하는 단계를 포함할 수 있다.
- [0035] 또한, 상기 보호층을 형성하는 단계는, 상기 가용성 절연물질층을 노광하는 단계 이전에 상기 가용성 절연물질층을 프리-베이킹(pre-baking) 하는 단계와; 상기 가용성 절연물질층을 현상하는 단계 이후에 상기 가용성 절연물질층을 하드-베이킹 하는 단계를 더 포함할 수 있다.
- [0036] 그리고, 상기 액정표시장치용 어레이 기판의 제조방법은, 상기 게이트 절연층과 상기 반도체층 사이에 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑층을 형성하는 단계를 더 포함할 수 있다.

## 발명의 효과

- [0037] 본 발명에 따른 액정표시장치용 어레이 기판 및 그 제조방법에서는, 산화 실리콘( $\text{SiO}_2$ )을 포함하는 가용성 혼성 물질(soluble hybrid material)을 이용하여 보호층을 형성함으로써, 제조공정을 단순화하고 제조비용 및 제조시간을 감소시키며, 하부 패턴의 단차에 의한 보호층의 결함을 방지하고, 신호지연이 방지하고 충전특성을 이 개선할 수 있다.
- [0038] 또한, 게이트 절연층과 반도체층 사이에 도핑층을 형성하고 산화 실리콘( $\text{SiO}_2$ )을 포함하는 가용성 혼성 물질(soluble hybrid material)을 이용하여 보호층을 형성함으로써, 박막트랜지스터의 전기적 특성 저하를 방지할

수 있다.

### 도면의 간단한 설명

[0039]

도 1은 종래의 액정표시장치용 어레이 기판의 단면도.

도 2는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 평면도.

도 3은 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 단면도.

도 4a 내지 도 4f는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 설명하기 위한 단면도.

도 5는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 단면도.

도 6a 내지 도 6g는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 설명하기 위한 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0040]

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

[0041]

도 2는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 평면도이고, 도 3은 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 단면도로서, 도 2의 절단선 III-III에 대응되는 도면이다.

[0042]

도 2 및 도 3에 도시한 바와 같이, 기판(110) 상부에는 기판(110) 상부에는 게이트 배선(112)과, 게이트 배선(112)에서 연장되는 게이트 전극(114)과, 게이트 배선(112)의 단부에 연결되는 게이트 패드(116)와, 게이트 배선(112)과 평행하게 이격되는 공통 배선(118)과, 공통배선(118)의 단부에 연결되는 공통 패드(120)가 형성된다.

[0043]

그리고, 게이트 배선(112), 게이트 전극(114), 게이트 패드(116), 공통 배선(118) 및 공통 패드(120) 상부에는 게이트 절연층(122)이 형성되는데, 게이트 절연층(122)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO<sub>2</sub>)와 같은 무기 절연물질로 이루어진다.

[0044]

게이트 전극(114)에 대응되는 게이트 절연층(122) 상부에는 반도체층(124)이 형성되고, 반도체층(124) 상부에는 서로 이격하는 소스 전극(126) 및 드레인 전극(128)이 형성된다.

[0045]

또한, 게이트 절연층(122) 상부에는 소스 전극(126)에 연결되고 게이트 배선(112)과 교차하여 화소영역을 정의하는 데이터 배선(130)과, 데이터 배선(130)의 단부에 연결되는 데이터 패드(132)가 형성된다.

[0046]

데이터 배선(130) 및 데이터 패드(132) 하부에는 반도체층(124)과 동일층, 동일물질로 이루어지는 반도체 패턴(124a)이 형성된다.

[0047]

여기서, 게이트 전극(114), 반도체층(124), 소스 전극(126) 및 드레인 전극(128)은 박막트랜지스터(T)를 구성한다.

[0048]

도시하지는 않았지만, 반도체층(124)은 순수 실리콘(Si)의 활성층과 불순물 실리콘(n+ Si)의 오믹(ohmic) 콘택층으로 이루어 질 수 있으며, 오믹 콘택층은 소스 전극(126), 드레인 전극(128)과 동일한 형태로 형성되어 데이터 배선(130) 및 데이터 패드(132) 하부까지 연장된다.

[0049]

소스 전극(126), 드레인 전극(128), 데이터 배선(130) 및 데이터 패드(132) 상부에는 보호층(134)이 형성되는데, 보호층(134)은 드레인 전극(128)을 노출하는 드레인 콘택홀(136)과, 게이트 패드(116)를 노출하는 게이트 패드 콘택홀(138)과, 데이터 패드(132)를 노출하는 데이터 패드 콘택홀(140)을 포함한다.

[0050]

여기서, 게이트 패드 콘택홀(138)은 보호층(134) 및 게이트 절연층(122)을 통하여 형성된다.

[0051]

보호층(134)은 산화 실리콘(silicon dioxide: SiO<sub>2</sub>)을 포함하는 가용성 유무기 혼성 절연물질(soluble organic/inorganic hybrid insulating material)을 이용하여 형성된다.

[0052]

산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은, 프로필렌 글리콜 모노메틸 에테르 아세테이트(propylene glycol monomethyl ether acetate: PGMEA)와 같은 용제를 사용하는 산화 실리콘 기반의 가용성 절

연물질(SiO<sub>2</sub> base soluble insulating material)에 가교제(cross-linker) 및 광개시제(photoinitiator)를 첨가하여 형성할 수 있다.

[0053] 이러한 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 산화 실리콘 기반의 메인 체인(SiO<sub>2</sub> base main chain)으로 구성되며, 모노머(monomer)로는 메틸실록산(methylsiloxane), 비닐실록산(vinylsiloxane), 페닐실록산(phenylsiloxane) 계열이 사용될 수 있다.

[0054] 이때, 실리콘(Si)에는 무기물질인 산소(O)외에 유기물질인 메틸(methyl), 비닐(vinyl), 페닐(phenyl)을 포함하는 알킬(alkyl)로 구성되는 라디칼 그룹이 결합되므로, 해당 절연물질은 유무기 혼성(hybrid) 절연물질로 불린다.

[0055] 그리고, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 약 1.51 ~ 약 1.56 범위의 굴절률과 약 3.8 ~ 약 4.3 범위의 유전상수를 가질 수 있다.

[0056] 이러한 보호층(134)은, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 도포(coating), 마스크를 통한 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 노광(exposure), 노광된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 현상(develop), 현상된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 열처리(curing), 열처리된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층을 이용한 게이트 절연층(116) 식각(etching)의 5단계를 거쳐 형성될 수 있다.

[0057] 더 상세하게는 노광 전의 프리-베이킹(pre-baking), 현상 후의 하드-베이킹(hard-baking)이 진행될 수 있으며, 하드-베이킹은 프리-베이킹보다 더 높은 온도에서 더 장시간 동안 진행될 수 있다.

[0058] 이와 같이, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 이용한 보호층(134)은 종래의 질화 실리콘(SiNx)을 이용한 보호층(도 1의 34)보다 적은 단계를 통하여 형성되므로, 공정이 단순화된다.

[0059] 또한, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 스판 코터(spin coater)와 같은 장치를 이용하여 도포되므로, 진공상태를 확보할 필요가 없고 제조시간이 단축되며, 상대적으로 낮은 유지보수비용에 의하여 제조비용이 감소된다.

[0060] 그리고, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 우수한 평탄화 특성에 의하여 하부 단차에 의한 보호층(134)의 결함이 방지된다.

[0061] 한편, 보호층(134) 상부에는 드레인 콘택홀(136)을 통하여 드레인 전극(128)에 연결되는 화소 전극(142)과, 화소 전극(142)으로부터 평행하게 이격되고 공통 배선(118)에 연결되는 공통전극(144)과, 게이트 패드 콘택홀(138)을 통하여 게이트 패드(116)에 연결되는 게이트 패드 단자(146)와, 데이터 패드 콘택홀(140)을 통하여 데이터 패드(132)에 연결되는 데이터 패드 단자(148)가 형성된다.

[0062] 화소 전극(142)의 일부는 보호층(134)을 사이에 두고 공통 배선(118)과 중첩되며, 서로 중첩하는 공통 배선(118) 및 화소 전극(142)과 그 사이에 개재된 보호층(134)은 스토리지 커패시터(Cst)를 구성한다.

[0063] 또한, 화소 영역의 가장자리를 통한 빛샘을 방지하기 위하여, 화소 영역의 가장자리에 배치되는 공통 전극(144)은 데이터 배선(130)과 부분적으로 중첩될 수 있으며, 이러한 중첩부는 일종의 기생용량(parasitic capacitance)으로 작용할 수 있다.

[0064] 이때, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 유전상수(약 3.8 ~ 약 4.3 범위)는 질화 실리콘(SiNx)의 유전상수(약 7.5)보다 낮으므로, 공통 전극(144), 데이터 배선(130) 및 그 사이의 보호층(134)이 구성하는 기생용량을 저감할 수 있으며, 그 결과 각종 신호의 지연 및 각종 배선의 충전특성 저하를 방지할 수 있다.

[0065] 이러한 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 도면을 참조하여 설명한다.

[0066] 도 4a 내지 도 4f는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 설명하기 위한 단면도이다.

[0067] 도 4a에 도시한 바와 같이, 제1금속막의 증착, 포토레지스트의 도포, 노광 및 현상, 제1금속막의 식각 및 포토레지스트의 제거를 포함하는 제1마스크공정을 통하여, 기판(110) 상부에 게이트 배선(도 3의 112), 게이트 전극(114), 게이트 패드(116), 공통 배선(118) 및 공통 패드(120)를 형성한다.

- [0068] 그리고, 게이트 배선(도 3의 112), 게이트 전극(114), 게이트 패드(116), 공통 배선(118) 및 공통 패드(120) 상부에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO<sub>2</sub>)과 같은 무기 절연물질을 증착하여 게이트 절연층(122)을 형성한다.
- [0069] 도 4b에 도시한 바와 같이, 반도체막 및 제2금속막의 증착, 포토레지스트의 도포, 노광 및 현상, 반도체막 및 제2금속막의 식각 및 포토레지스트의 제거를 포함하는 제2마스크공정을 통하여, 게이트 절연층(122) 상부에 반도체층(124), 소스 전극(126), 드레인 전극(128), 데이터 배선(130) 및 데이터 패드(132)를 형성한다.
- [0070] 여기서, 제2마스크공정에 사용되는 마스크는 투과영역, 반투과영역, 차단영역을 포함할 수 있으며, 반투과영역은 소스 전극 및 드레인 전극(126, 128) 사이로 노출된 반도체층(124)에 대응되고 차단영역은 소스 전극(126), 드레인 전극(128), 데이터 배선(130) 및 데이터 패드(132)에 대응될 수 있다.
- [0071] 또한, 데이터 배선(130) 및 데이터 패드(132) 하부에는 반도체층(124)이 연장된 반도체 패턴(124a)이 형성된다.
- [0072] 여기서, 게이트 전극(114), 반도체층(124), 소스 전극(126) 및 드레인 전극(128)은 박막트랜지스터(T)를 구성한다.
- [0073] 도 4c에 도시한 바와 같이, 산화 실리콘(silicon dioxide: SiO<sub>2</sub>)을 포함하는 가용성 유무기 혼성 절연물질(soluble organic/inorganic hybrid insulating material)의 도포(coating), 노광(exposure) 및 현상(develop)을 포함하는 제3마스크 공정을 통하여, 소스 전극(126), 드레인 전극(128), 데이터 배선(130) 및 데이터 패드(132) 상부에 보호층(134)을 형성한다.
- [0074] 즉, 산화실리콘을 포함하는 가용성 유무기 혼성 절연물질을 도포하여 가용성 절연물질막을 형성하고, 가용성 절연물질막 상부에 마스크를 배치하여 노광한 후, 노광된 가용성 절연물질막을 현상함으로써, 보호층(134)을 형성할 수 있다.
- [0075] 보호층(134)은 드레인 콘택홀(136), 게이트 패드 콘택홀(138)과, 데이터 패드 콘택홀(140)을 포함하는데, 이 단계에서 드레인 콘택홀(136) 및 데이터패드 콘택홀(140)은 각각 드레인 전극(128) 및 데이터 패드(132)를 노출하지만, 게이트 패드 콘택홀(138)은 보호층(134)에만 형성되어 대응되는 게이트 절연층(122)을 노출하고, 하부의 게이트 패드(116)는 게이트 절연층(122)에 의하여 덮인 상태이다.
- [0076] 여기서, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 도포 및 노광 사이에 프리-베이킹(pre-baking) 단계를 추가로 진행할 수 있으며, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 현상 후에 하드-베이킹(hard-baking) 단계를 추가로 진행할 수 있다.
- [0077] 도 4d에 도시한 바와 같이, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 보호층(134)을 열처리(curing) 한다.
- [0078] 열처리는 보호층(134)을 구성하는 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 용제를 완전히 제거하여 보호층(134)을 안정화 및 경화시키기 위한 공정으로, 오븐(oven) 등과 같은 열처리 장치에서 불활성 기체 분위기의 대기압 하에서 약 200 °C ~ 약 350 °C 범위의 온도로 약 10 분 ~ 약 60 분 범위의 시간 동안 진행될 수 있다.
- [0079] 도 4e에 도시한 바와 같이, 보호층(134)을 식각마스크로 이용하여 게이트 패드 콘택홀(138)을 통하여 노출된 게이트 절연층(122)을 식각하여 게이트 패드(116)를 노출한다.
- [0080] 예를 들어, 무기 절연물질로 이루어진 게이트 절연층(122)은 건식식각(dry etching)방법으로 제거할 수 있으며, 이 단계를 통하여 게이트 패드 콘택홀(138)은 보호층(134) 및 게이트 절연층(122)에 형성되고, 게이트 패드(116)가 게이트 패드 콘택홀(138)을 통하여 노출된다.
- [0081] 한편, 게이트 절연층(122) 식각에 식각 마스크로 이용된 보호층(134)은, 식각 후 제거되는 일반적인 포토레지스트와는 달리, 배선 간의 전기적 단락을 방지하고 하부의 패턴을 보호하는 본연의 기능을 수행하기 위하여 제거되지 않는다.
- [0082] 따라서, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 이용한 보호층(134) 형성공정은 가용성 절연물질 도포, 노광, 현상, 열처리 및 게이트 절연층 식각의 5단계로 이루어질 수 있으며, 무기 절연물질 증착, 포토레지스트 도포, 노광 현상, 무기 절연물질 식각 및 포토레지스트 제거의 6단계로 이루어지는 종래의 보호층(도 1의 34) 형성공정보다 간단히 진행될 수 있으며, 특히 진공장비인 화학기상증착 장치의 사용을 배제함

으로써, 제조비용 및 제조시간을 절감할 수 있다.

[0083] 도 4f에 도시한 바와 같이, 투명도전막의 증착, 포토레지스트의 도포, 노광 및 현상, 투명도전막의 식각 및 포토레지스트의 제거를 포함하는 제4마스크공정을 통하여, 보호층(134) 상부에 화소 전극(142), 공통전극(144), 게이트 패드 단자(146) 및 데이터 패드 단자(148)를 형성한다.

[0084] 화소 전극(142)은 드레인 콘택홀(136)을 통하여 드레인 전극(128)에 연결되고, 공통전극(144)은 화소 전극(142)으로부터 평행하게 이격되어 엇갈리게 배치되며 공통 배선(118)에 연결되고, 게이트 패드 단자(146)는 게이트 패드 콘택홀(138)을 통하여 게이트 패드(116)에 연결되고, 데이터 패드 단자(148)는 데이터 패드 콘택홀(140)을 통하여 데이터 패드(132)에 연결된다.

[0085] 화소 전극(142)의 일부는 보호층(134)을 사이에 두고 공통 배선(118)과 중첩되며, 서로 중첩하는 공통 배선(118) 및 화소 전극(142)과 그 사이에 개재된 보호층(134)은 스토리지 커패시터(Cst)를 구성한다.

[0086] 이와 같이, 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판에서는, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질 도포, 노광, 현상, 열처리 및 게이트 절연층 식각의 5단계를 통하여 보호층(134)을 형성하므로, 무기 절연물질의 증착, 포토레지스트의 도포, 노광, 현상, 무기 절연물질의 식각 및 포토레지스트 제거의 6단계를 통하여 보호층(도 1의 34)을 형성하는 종래보다 공정이 단순화 되고, 제조비용 및 제조시간이 감소된다.

[0087] 또한, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 우수한 평탄화 특성에 의하여 하부 패턴의 단차에 의한 보호층(134)의 결함이 방지된다.

[0088] 그리고, 무기 절연물질에 비하여 상대적으로 낮은 유전상수(약 3.8 ~ 약 4.3)를 갖는 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 보호층(134)을 형성함으로써, 기생용량을 최소화하여 신호 지연을 방지하고 각종 배선의 충전특성을 개선할 수 있다.

[0089] 한편, 다른 실시예에서는, 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 보호층으로 사용함에 따른 오프 전류(off current) 증가와 같은 박막트랜지스터의 전기적 특성 저하를 방지하기 위하여, 게이트 절연층과 반도체층 사이에 도핑층을 형성할 수 있는데, 이를 도면을 참조하여 설명한다.

[0090] 도 5는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 단면도이다.

[0091] 도 5에 도시한 바와 같이, 기판(210) 상부에는 게이트 배선(미도시)과, 게이트 배선에서 연장되는 게이트 전극(214)과, 게이트 배선의 단부에 연결되는 게이트 패드(216)와, 게이트 배선과 평행하게 이격되는 공통 배선(218)과, 공통배선(218)의 단부에 연결되는 공통 패드(미도시)가 형성된다.

[0092] 그리고, 게이트 배선, 게이트 전극(214), 게이트 패드(216), 공통 배선(218) 및 공통 패드 상부에는 게이트 절연층(222)이 형성되는데, 게이트 절연층(222)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO<sub>2</sub>)와 같은 무기 절연물질로 이루어진다.

[0093] 게이트 절연층(222) 상부에는 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑층(223a)이 형성되는데, 게이트 절연층(222) 상부에 불순물 실리콘(n- Si)을 증착하여 도핑층(223a)을 형성하거나, 게이트 절연층(222) 표면을 인화수소(PH3) 플라즈마(plasma) 처리하여 도핑층(223a)을 형성할 수 있다.

[0094] 또한, 다른 실시예에서는, 반도체막 형성 중간에 화학기상증착(CVD)장치에 인화수소(PH3) 가스를 주입함으로써, 반도체층(224) 중간부에 도핑층(223a)을 형성할 수도 있다.

[0095] 도핑층(223a)은 게이트 절연층(222)과 후속 공정에서 형성되는 반도체층(224) 사이의 계면특성을 개선하여 박막트랜지스터(T)의 특성을 향상시키기 위하여 사용된다.

[0096] 그리고, 게이트 전극(214)에 대응되는 도핑층(223a) 상부에는 반도체층(224)이 형성되고, 반도체층(224) 상부에는 서로 이격하는 소스 전극(226) 및 드레인 전극(228)이 형성된다.

[0097] 또한, 도핑층(223a) 상부에는 소스 전극(226)에 연결되고 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선(230)과, 데이터 배선(230)의 단부에 연결되는 데이터 패드(232)가 형성된다.

- [0098] 데이터 배선(230) 및 데이터 패드(232) 하부에는 반도체층(224)과 동일층, 동일물질로 이루어지는 반도체 패턴(224a)이 형성된다.
- [0099] 여기서, 게이트 전극(214), 반도체층(224), 소스 전극(226) 및 드레인 전극(228)은 박막트랜지스터(T)를 구성한다.
- [0100] 도시하지는 않았지만, 반도체층(224)은 순수 실리콘(Si)의 활성층과 불순물 실리콘(n+ Si)의 오믹(ohmic) 콘택층으로 이루어 질 수 있으며, 오믹 콘택층은 소스 전극(226), 드레인 전극(228)과 동일한 형태로 형성되어 데이터 배선(2130) 및 데이터 패드(232) 하부까지 연장된다.
- [0101] 소스 전극(226), 드레인 전극(228), 데이터 배선(230) 및 데이터 패드(232) 상부에는 보호층(234)이 형성되는데, 보호층(234)은 드레인 전극(228)을 노출하는 드레인 콘택홀(236)과, 게이트 패드(216)를 노출하는 게이트 패드 콘택홀(238)과, 데이터 패드(232)를 노출하는 데이터 패드 콘택홀(240)을 포함한다.
- [0102] 여기서, 게이트 패드 콘택홀(238)은 보호층(234) 및 게이트 절연층(222)을 통하여 형성된다.
- [0103] 보호층(234)은 산화 실리콘(silicon dioxide:  $\text{SiO}_2$ )을 포함하는 가용성 유무기 혼성 절연물질(soluble organic/inorganic hybrid insulating material)을 이용하여 형성된다.
- [0104] 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은, 프로필렌 글리콜 모노메틸 에테르 아세테이트(propylene glycol monomethyl ether acetate: PGMEA)와 같은 용제를 사용하는 산화 실리콘 기반의 가용성 절연물질( $\text{SiO}_2$  base soluble insulating material)에 가교제(cross-linker) 및 광개시제(photoinitiator)를 첨가하여 형성할 수 있다.
- [0105] 이러한 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 산화 실리콘 기반의 메인 체인( $\text{SiO}_2$  base main chain)으로 구성되며, 모노머(monomer)로는 메틸실록산(methylsiloxane), 비닐실록산(vinylsiloxane), 폐닐실록산(phenylsiloxane) 계열이 사용될 수 있다.
- [0106] 이때, 실리콘(Si)에는 무기물질인 산소(O)외에 유기물질인 메틸(methyl), 비닐(vinyl), 폐닐(phenyl)을 포함하는 알킬(alkyl)로 구성되는 라디칼 그룹이 결합되므로, 해당 절연물질은 유무기 혼성(hybrid) 절연물질로 불린다.
- [0107] 그리고, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 약 1.51 ~ 약 1.56 범위의 굴절률과 약 3.8 ~ 약 4.3 범위의 유전상수를 가질 수 있다.
- [0108] 이러한 보호층(234)은, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 도포(coating), 마스크를 통한 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 노광(exposure), 노광된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 현상(develop), 현상된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층 열처리(curing), 열처리된 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질층을 이용한 게이트 절연층(216) 식각(etching)의 5단계를 거쳐 형성될 수 있다.
- [0109] 더 상세하게는 노광 전의 프리-베이킹(pre-baking), 현상 후의 하드-베이킹(hard-baking)이 진행될 수 있으며, 하드-베이킹은 프리-베이킹보다 더 높은 온도에서 더 장시간 동안 진행될 수 있다.
- [0110] 이와 같이, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 이용한 보호층(234)은 종래의 질화 실리콘( $\text{SiN}_x$ )을 이용한 보호층(도 1의 34)보다 적은 단계를 통하여 형성되므로, 공정이 단순화된다.
- [0111] 또한, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질은 스팬 코터(spin coater)와 같은 장치를 이용하여 도포되므로, 진공상태를 확보할 필요가 없고 제조시간이 단축되며, 상대적으로 낮은 유지보수비용에 의하여 제조비용이 감소된다.
- [0112] 그리고, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 우수한 평탄화 특성에 의하여 하부 단차에 의한 보호층(234)의 결함이 방지된다.
- [0113] 한편, 보호층(234) 상부에는 드레인 콘택홀(236)을 통하여 드레인 전극(228)에 연결되는 화소 전극(242)과, 화소 전극(242)으로부터 평행하게 이격되고 공통 배선(218)에 연결되는 공통전극(244)과, 게이트 패드 콘택홀(238)을 통하여 게이트 패드(216)에 연결되는 게이트 패드 단자(246)와, 데이터 패드 콘택홀(240)을 통하여 데이터 패드(232)에 연결되는 데이터 패드 단자(248)가 형성된다.
- [0114] 화소 전극(242)의 일부는 보호층(234)을 사이에 두고 공통 배선(218)과 중첩되며, 서로 중첩하는 공통 배선

(218) 및 화소 전극(242)과 그 사이에 개재된 보호층(234)은 스토리지 커패시터(Cst)를 구성한다.

[0115] 또한, 화소 영역의 가장자리를 통한 빛샘을 방지하기 위하여, 화소 영역의 가장자리에 배치되는 공통 전극(244)은 데이터 배선(230)과 부분적으로 중첩될 수 있으며, 이러한 중첩부는 일종의 기생용량(parasitic capacitance)으로 작용할 수 있다.

[0116] 이때, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 유전상수(약 3.8 ~ 약 4.3 범위)는 질화 실리콘(SiNx)의 유전상수(약 7.5)보다 낮으므로, 공통 전극(244), 데이터 배선(230) 및 그 사이의 보호층(234)이 구성하는 기생용량을 저감할 수 있으며, 그 결과 각종 신호의 지연 및 각종 배선의 충전특성 저하를 방지할 수 있다.

[0117] 이러한 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 도면을 참조하여 설명한다.

[0118] 도 6a 내지 도 6g는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 제조방법을 설명하기 위한 단면도이다.

[0119] 도 6a에 도시한 바와 같이, 제1금속막의 증착, 포토레지스트의 도포, 노광 및 현상, 제1금속막의 식각 및 포토레지스트의 제거를 포함하는 제1마스크공정을 통하여, 기판(210) 상부에 게이트 배선(미도시), 게이트 전극(214), 게이트 패드(216), 공통 배선(218) 및 공통 패드(220)를 형성한다.

[0120] 그리고, 게이트 배선, 게이트 전극(214), 게이트 패드(216), 공통 배선(218) 및 공통 패드(220) 상부에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO<sub>2</sub>)과 같은 무기 절연물질을 증착하여 게이트 절연층(222)을 형성한다.

[0121] 도 6b에 도시한 바와 같이, 게이트 절연층(222) 상부에 인(phosphor)이 도핑(doping)된 실리콘으로 이루어지는 도핑막(223)을 형성한다.

[0122] 여기서, 반도체막 형성 전에 형성된 게이트 절연층(222)의 표면을 인화수소(PH<sub>3</sub>) 플라즈마(plasma) 처리하여 도핑막(223)을 형성하거나, 반도체막 형성 초기에 화학기상증착(CVD) 장치에 인화수소(PH<sub>3</sub>) 가스를 주입하여 게이트 절연층(222) 상부에 불순물 실리콘(n- Si)을 증착하여 도핑막(223)을 형성할 수 있다.

[0123] 또한, 다른 실시예에서는, 반도체막 형성 중에 화학기상증착(CVD) 장치에 인화수소(PH<sub>3</sub>) 가스를 주입하여 반도체막 중간부에 도핑막(223)을 형성할 수도 있다.

[0124] 도핑막(223)에 의하여 게이트 절연층(222)의 표면특성이 개선되어 후속공정에서 형성되는 반도체층(224)과의 계면특성이 개선되고 박막트랜지스터(T)의 오프전류(off current)가 감소한다.

[0125] 도 6c에 도시한 바와 같이, 반도체막 및 제2금속막의 증착, 포토레지스트의 도포, 노광 및 현상, 반도체막, 제2금속막 및 도핑막(223)의 식각 및 포토레지스트의 제거를 포함하는 제2마스크공정을 통하여, 도핑층(223a)과, 도핑층(223a) 상부에 반도체층(224), 소스 전극(226), 드레인 전극(228), 데이터 배선(230) 및 데이터 패드(232)를 형성한다.

[0126] 여기서, 제2마스크공정에 사용되는 마스크는 투과영역, 반투과영역, 차단영역을 포함할 수 있으며, 반투과영역은 소스 전극 및 드레인 전극(226, 228) 사이로 노출된 반도체층(224)에 대응되고 차단영역은 소스 전극(226), 드레인 전극(228), 데이터 배선(230) 및 데이터 패드(232)에 대응될 수 있다.

[0127] 또한, 데이터 배선(230) 및 데이터 패드(232) 하부에는 반도체층(224)이 연장된 반도체 패턴(224a)이 형성된다.

[0128] 여기서, 게이트 전극(214), 반도체층(224), 소스 전극(226) 및 드레인 전극(228)은 박막트랜지스터(T)를 구성한다.

[0129] 도 6d에 도시한 바와 같이, 산화 실리콘(silicon dioxide: SiO<sub>2</sub>)을 포함하는 가용성 유무기 혼성 절연물질(soluble organic/inorganic hybrid insulating material)의 도포(coating), 노광(exposure) 및 현상(develop)을 포함하는 제3마스크 공정을 통하여, 소스 전극(226), 드레인 전극(228), 데이터 배선(230) 및 데이터 패드(232) 상부에 보호층(234)을 형성한다.

[0130] 즉, 산화실리콘을 포함하는 가용성 유무기 혼성 절연물질을 도포하여 가용성 절연물질막을 형성하고, 가용성 절연물질막 상부에 마스크를 배치하여 노광한 후, 노광된 가용성 절연물질막을 현상함으로써, 보호층(234)을

형성할 수 있다.

- [0131] 보호층(234)은 드레인 콘택홀(236), 게이트 패드 콘택홀(238)과, 데이터 패드 콘택홀(240)을 포함하는데, 이 단계에서 드레인 콘택홀(236) 및 데이터 패드 콘택홀(240)은 각각 드레인 전극(228) 및 데이터 패드(232)를 노출하지만, 게이트 패드 콘택홀(238)은 보호층(234)에만 형성되어 대응되는 도핑층(223)을 노출하고, 하부의 게이트 패드(216)는 도핑층(223) 및 게이트 절연층(222)에 의하여 덮인 상태이다.
- [0132] 여기서, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 도포 및 노광 사이에 프리-베이킹(pre-baking) 단계를 추가로 진행할 수 있으며, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 현상 후에 하드-베이킹(hard-baking) 단계를 추가로 진행할 수 있다.
- [0133] 도 6e에 도시한 바와 같이, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 보호층(234)을 열처리(curing) 한다.
- [0134] 열처리는 보호층(234)을 구성하는 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 용체를 완전히 제거하여 보호층(234)을 안정화 및 경화시키기 위한 공정으로, 오븐(oven) 등과 같은 열처리 장치에서 불활성 기체 분위기의 대기압 하에서 약 200 °C ~ 약 350 °C 범위의 온도로 약 10 분 ~ 약 60 분 범위의 시간 동안 진행될 수 있다.
- [0135] 도 6f에 도시한 바와 같이, 보호층(234)을 식각마스크로 이용하여 게이트 패드 콘택홀(238)을 통하여 노출된 도핑층(223) 및 게이트 절연층(222)을 식각하여 게이트 패드(216)를 노출한다.
- [0136] 예를 들어, 인(P)이 도핑된 실리콘으로 이루어지는 도핑층(223)과, 불순물 실리콘 무기 절연물질로 이루어지는 게이트 절연층(222)은 건식식각(dry etching)방법으로 제거할 수 있으며, 이 단계를 통하여 게이트 패드 콘택홀(238)은 보호층(234), 도핑층(223) 및 게이트 절연층(222)에 형성되고, 게이트 패드(216)가 게이트 패드 콘택홀(238)을 통하여 노출된다.
- [0137] 한편, 게이트 절연층(222) 식각에 식각 마스크로 이용된 보호층(234)은, 식각 후 제거되는 일반적인 포토레지스트와는 달리, 배선 간의 전기적 단락을 방지하고 하부의 패턴을 보호하는 본연의 기능을 수행하기 위하여 제거되지 않는다.
- [0138] 따라서, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질을 이용한 보호층(234) 형성공정은 가용성 절연물질 도포, 노광, 현상, 열처리 및 게이트 절연층 식각의 5단계로 이루어질 수 있으며, 무기 절연물질 증착, 포토레지스트 도포, 노광 현상, 무기 절연물질 식각 및 포토레지스트 제거의 6단계로 이루어지는 종래의 보호층(도 1의 34) 형성공정보다 간단히 진행될 수 있으며, 특히 진공장비인 화학기상증착 장치의 사용을 배제함으로써, 제조비용 및 제조시간을 절감할 수 있다.
- [0139] 도 6g에 도시한 바와 같이, 투명도전막의 증착, 포토레지스트의 도포, 노광 및 현상, 투명도전막의 식각 및 포토레지스트의 제거를 포함하는 제4마스크공정을 통하여, 보호층(234) 상부에 화소 전극(242), 공통전극(244), 게이트 패드 단자(246) 및 데이터 패드 단자(248)를 형성한다.
- [0140] 화소 전극(242)은 드레인 콘택홀(236)을 통하여 드레인 전극(228)에 연결되고, 공통전극(244)은 화소 전극(242)으로부터 평행하게 이격되어 엇갈리게 배치되며 공통 배선(218)에 연결되고, 게이트 패드 단자(246)는 게이트 패드 콘택홀(238)을 통하여 게이트 패드(216)에 연결되고, 데이터 패드 단자(248)는 데이터 패드 콘택홀(240)을 통하여 데이터 패드(232)에 연결된다.
- [0141] 화소 전극(242)의 일부는 보호층(234)을 사이에 두고 공통 배선(218)과 중첩되며, 서로 중첩하는 공통 배선(218) 및 화소 전극(242)과 그 사이에 개재된 보호층(234)은 스토리지 커페시터(Cst)를 구성한다.
- [0142] 이와 같이, 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판에서는, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질 도포, 노광, 현상, 열처리 및 게이트 절연층 식각의 5단계를 통하여 보호층(234)을 형성하므로, 무기 절연물질의 증착, 포토레지스트의 도포, 노광, 현상, 무기 절연물질의 식각 및 포토레지스트 제거의 6단계를 통하여 보호층(도 1의 34)을 형성하는 종래보다 공정이 단순화 되고, 제조비용 및 제조시간이 감소된다.
- [0143] 또한, 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질의 우수한 평탄화 특성에 의하여 하부 패턴의 단차에 의한 보호층(234)의 결함이 방지된다.

[0144] 그리고, 무기 절연물질에 비하여 상대적으로 낮은 유전상수(약 3.8 ~ 약 4.3)를 갖는 산화 실리콘을 포함하는 가용성 유무기 혼성 절연물질로 보호층(134)을 형성함으로써, 기생용량을 최소화하여 신호 지연을 방지하고 각종 배선의 충전특성을 개선할 수 있다.

[0145] 또한, 게이트 절연층(222)과 반도체층(224) 사이에 도핑층(223)을 형성함으로써, 게이트 절연층(222)의 표면 특성을 개선하여 박막트랜지스터(T)의 오프전류를 감소시키고, 박막트랜지스터(T)의 전기적 특성을 개선할 수 있다.

[0146] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

### 부호의 설명

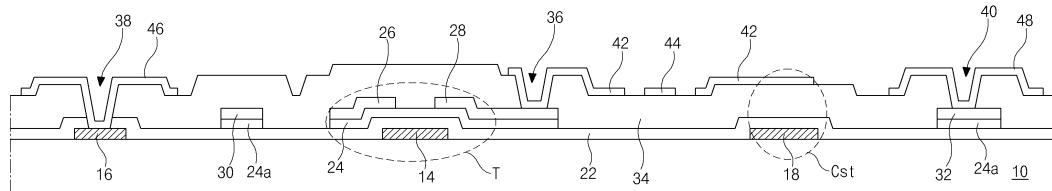
[0147] 110, 210: 기판 122, 222: 게이트 절연층

T: 박막트랜지스터 134, 234: 보호층

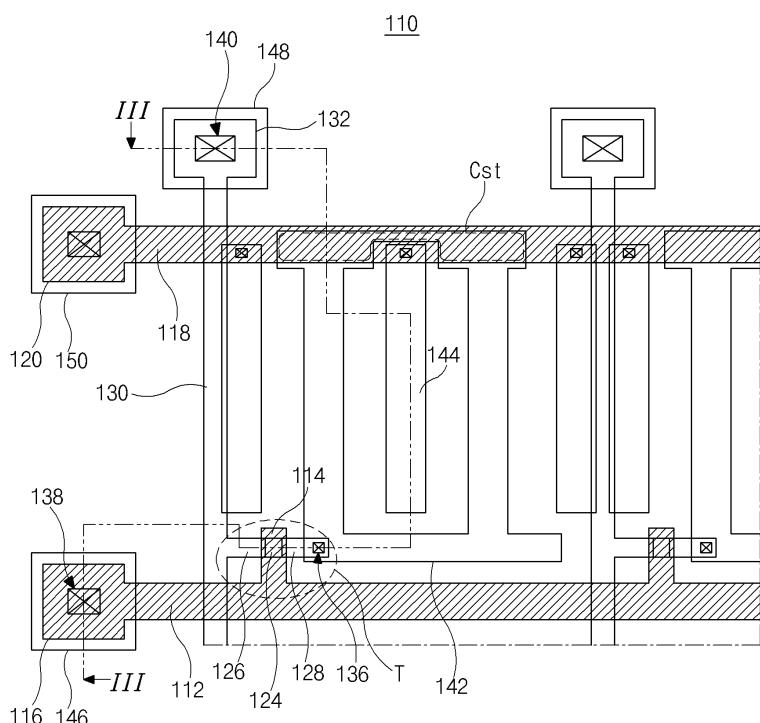
142, 242: 화소 전극 144, 144: 공통 전극

### 도면

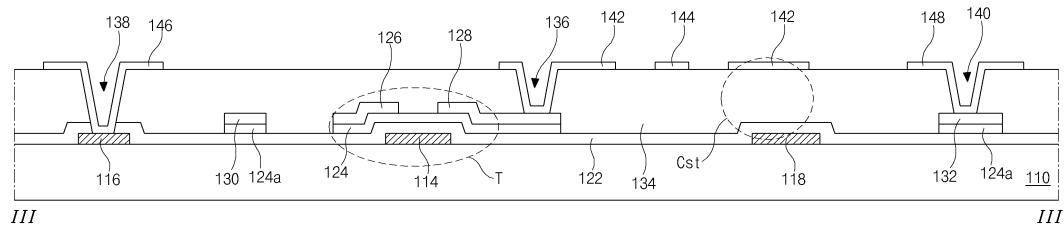
#### 도면1



#### 도면2



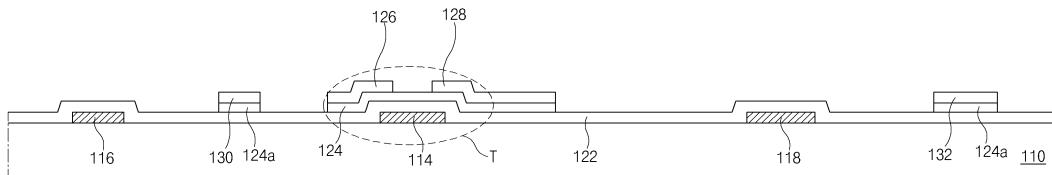
## 도면3



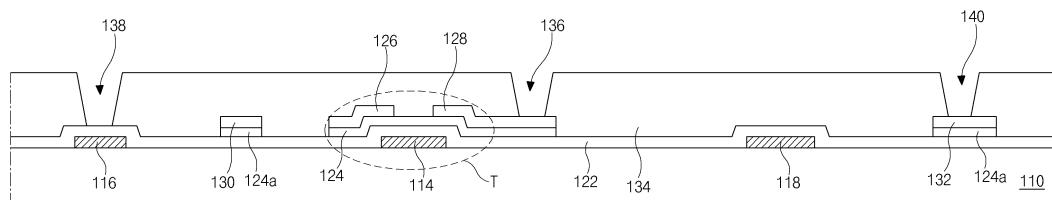
## 도면4a



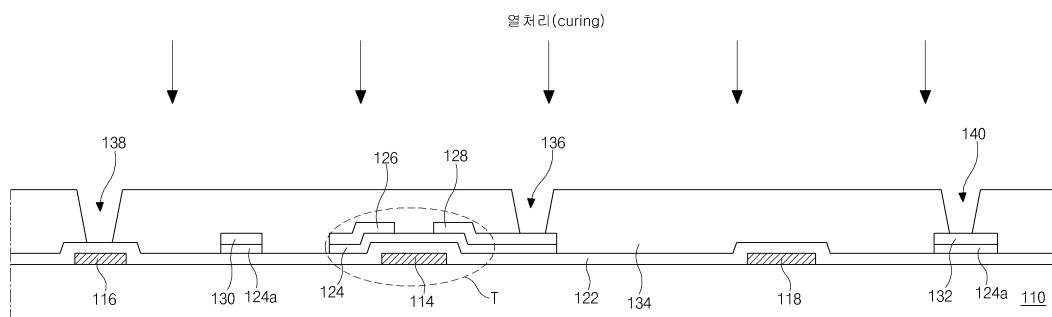
## 도면4b

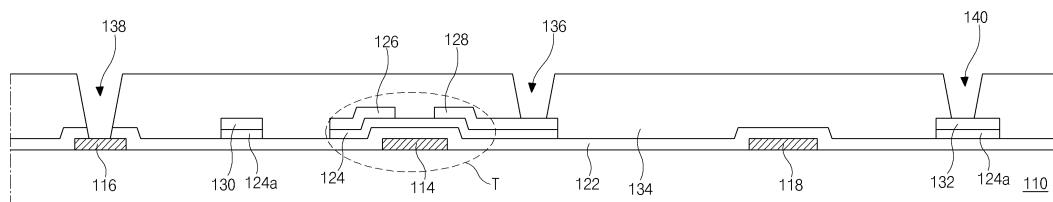
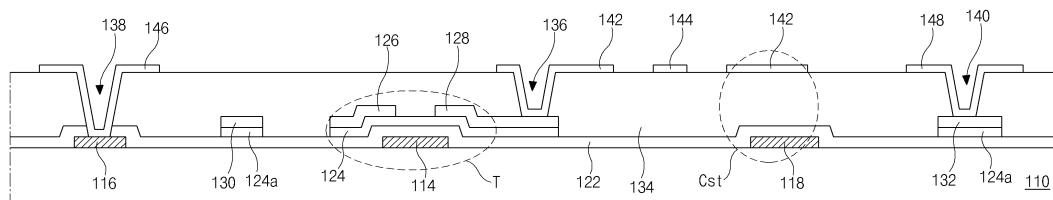
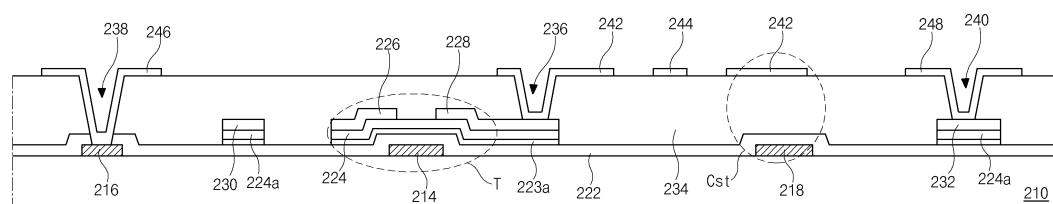
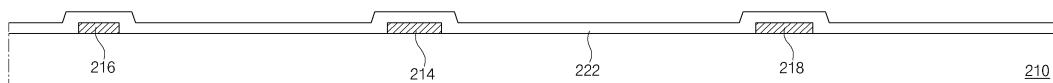
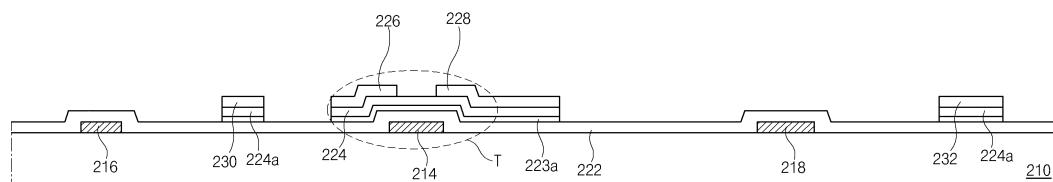


## 도면4c

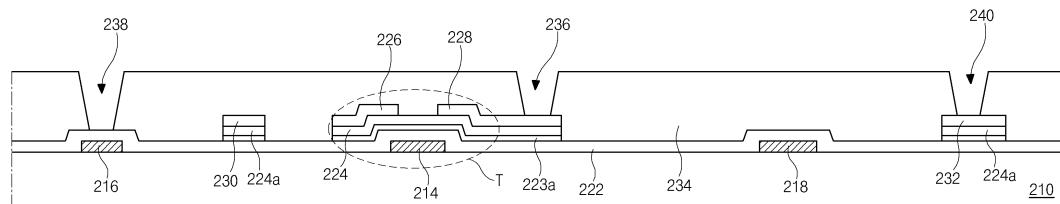


## 도면4d

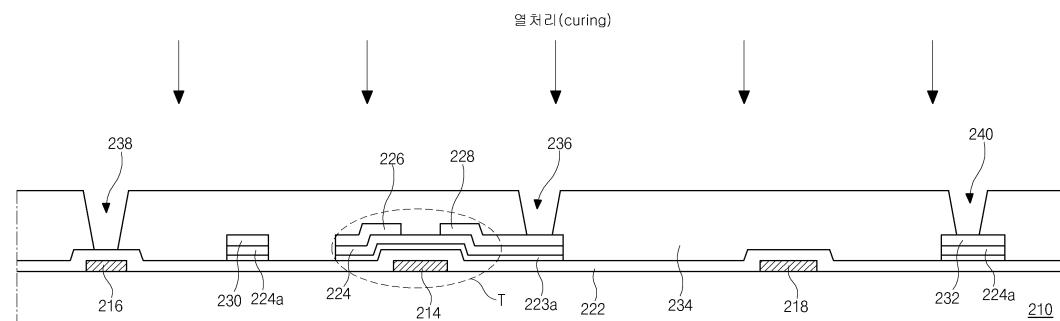


**도면4e****도면4f****도면5****도면6a****도면6b****도면6c**

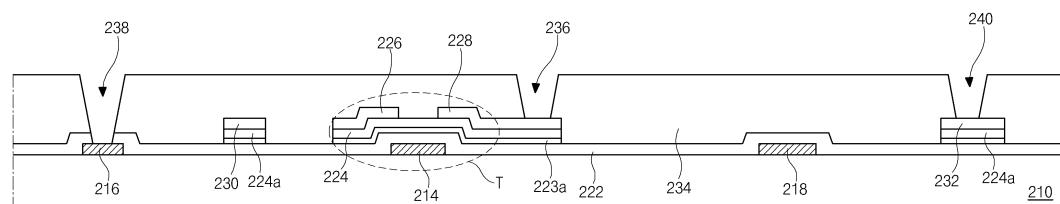
## 도면6d



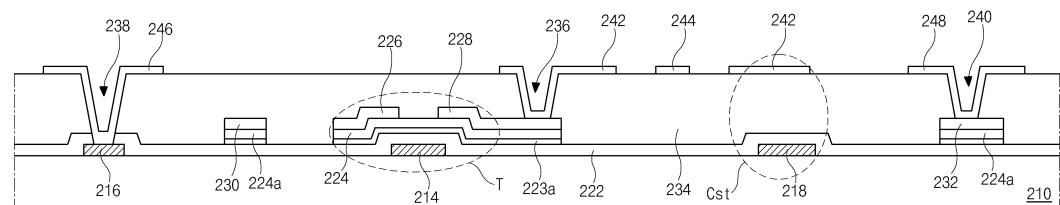
## 도면6e



## 도면6f



## 도면6g



专利名称(译)	标题 : 用于液晶显示装置的阵列基板 , 包括使用可溶性物质形成的绝缘层及其制备		
公开(公告)号	<a href="#">KR1020120061536A</a>	公开(公告)日	2012-06-13
申请号	KR1020100122876	申请日	2010-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI SEUNG KYU		
发明人	CHOI, SEUNG KYU		
IPC分类号	G02F1/136		
CPC分类号	G02F1/133345 G02F1/136227 G02F1/1368 H01L27/1248		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明提供一种用于液晶显示器的阵列基板，其在上部形成由溶解性有机和无机混合绝缘材料和保护层组成的保护层，并包括连接到包括形成的氧化硅的薄膜晶体管的像素电极。在基板中，栅极布线形成在基板的上部并且与像素区域数据线交叉并限定：栅极布线，薄膜晶体管，连接到数据线薄膜晶体管，以及布线的数据上部。

