



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0031383
(43) 공개일자 2012년04월03일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0092886
(22) 출원일자 2010년09월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정영민
경기 과천시 검산동 성원아파트 101동 1204호
(74) 대리인
특허법인로알

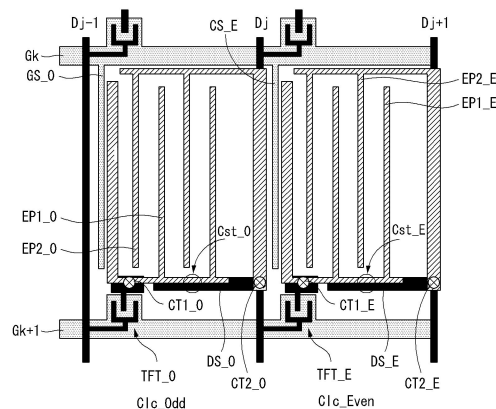
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 따른 액정표시장치는 제1 화소전극과 제2 화소전극의 전압차에 따라 구동되는 제1 액정셀; 제3 화소전극과 제4 화소전극의 전압차에 따라 구동되는 제2 액정셀; 상기 제1 화소전극에 인가될 제1 아날로그 데이터전압이 공급되는 제1 데이터라인; 상기 제2 및 제3 화소전극에 인가될 제2 아날로그 데이터전압이 공급되는 제2 데이터라인; 상기 제4 화소전극에 인가될 제3 아날로그 데이터전압이 공급되는 제3 데이터라인; 상기 데이터라인들과 교차되며, 상기 제1 및 제2 액정셀을 선택하기 위한 스캔펄스를 공급하는 게이트라인; 상기 스캔펄스에 응답하여 상기 제1 아날로그 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT; 및 상기 스캔펄스에 응답하여 상기 제2 아날로그 데이터전압을 상기 제3 화소전극에 공급하는 제2 TFT를 구비하고; 각 수평라인에 배치된 화소 구조는 서로 동일하고, 상기 제1 내지 제3 아날로그 데이터전압은 선형 감마를 통해 발생된다.

대표도 - 도5



특허청구의 범위

청구항 1

제1 화소전극과 제2 화소전극의 전압차에 따라 구동되는 제1 액정셀;
제3 화소전극과 제4 화소전극의 전압차에 따라 구동되는 제2 액정셀;
상기 제1 화소전극에 인가될 제1 아날로그 데이터전압이 공급되는 제1 데이터라인;
상기 제2 및 제3 화소전극에 인가될 제2 아날로그 데이터전압이 공급되는 제2 데이터라인;
상기 제4 화소전극에 인가될 제3 아날로그 데이터전압이 공급되는 제3 데이터라인;
상기 데이터라인들과 교차되며, 상기 제1 및 제2 액정셀을 선택하기 위한 스캔펄스를 공급하는 게이트라인;
상기 스캔펄스에 응답하여 상기 제1 아날로그 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT; 및
상기 스캔펄스에 응답하여 상기 제2 아날로그 데이터전압을 상기 제3 화소전극에 공급하는 제2 TFT를 구비하고;
각 수평라인에 배치된 화소 구조는 서로 동일하고, 상기 제1 내지 제3 아날로그 데이터전압은 선형 감마를 통해 발생하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
상기 제1 화소전극은 제1 콘택홀을 통해 상기 제1 TFT에 접속되고;
상기 제2 화소전극은 제2 콘택홀을 통해 상기 제2 데이터라인에 접속되고;
상기 제3 화소전극은 제3 콘택홀을 통해 상기 제2 TFT에 접속되며;
상기 제4 화소전극은 제4 콘택홀을 통해 상기 제4 데이터라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,
상기 제2 데이터라인로부터 분기되어 상기 제1 화소전극의 일부와 중첩되는 제1 데이터패턴;
상기 제3 데이터라인로부터 분기되어 상기 제3 화소전극의 일부와 중첩되는 제2 데이터패턴;
상기 제1 화소전극과 상기 제1 데이터패턴의 중첩 영역에 형성되는 제1 스토리지 커패시터; 및
상기 제3 화소전극과 상기 제2 데이터패턴의 중첩 영역에 형성되는 제2 스토리지 커패시터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
상기 제1 액정셀은, 상기 게이트라인에 앞서 구동되는 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제1 데이터라인과 나란히 형성되는 제1 게이트 쉘드 패턴을 더 구비하고;
상기 제2 액정셀은, 상기 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제2 데이터라인과 나란히 형성되는 제2 게이트 쉘드 패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,
상기 제1 게이트 쉘드 패턴은 상기 제1 화소전극의 일부와 상기 제1 데이터라인 사이에 위치하고;
상기 제2 게이트 쉘드 패턴은 상기 제3 화소전극의 일부와 상기 제2 데이터라인 사이에 위치하는 것을 특징으로

하는 액정표시장치.

청구항 6

제1 화소전극과 공유 화소전극의 전압차에 따라 구동되는 제1 액정셀;
 상기 공유 화소전극과 제2 화소전극의 전압차에 따라 구동되는 제2 액정셀;
 상기 제1 화소전극에 인가될 제1 아날로그 데이터전압이 공급되는 제1 데이터라인;
 상기 공유 화소전극에 인가될 제2 아날로그 데이터전압이 공급되는 제2 데이터라인;
 상기 제2 화소전극에 인가될 제3 아날로그 데이터전압이 공급되는 제3 데이터라인;
 상기 데이터라인들과 교차되며, 상기 제1 및 제2 액정셀을 선택하기 위한 스캔펄스를 공급하는 게이트라인;
 상기 스캔펄스에 응답하여 상기 제1 아날로그 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT; 및
 상기 스캔펄스에 응답하여 상기 제3 아날로그 데이터전압을 상기 제2 화소전극에 공급하는 제2 TFT를 구비하고;
 각 수평라인에 배치된 화소 구조는 서로 동일하고, 상기 제1 내지 제3 아날로그 데이터전압은 선형 감마를 통해 발생되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 제1 화소전극은 제1 콘택홀을 통해 상기 제1 TFT에 접속되고;
 상기 공유 화소전극은 공유 콘택홀을 통해 상기 제2 데이터라인에 접속되고;
 상기 제4 화소전극은 제2 콘택홀을 통해 상기 제2 TFT에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 6 항에 있어서,
 상기 제2 데이터라인로부터 분기되어 상기 제1 화소전극의 일부와 중첩되는 제1 데이터패턴;
 상기 제2 데이터라인로부터 분기되어 상기 제2 화소전극의 일부와 중첩되는 제2 데이터패턴;
 상기 제1 화소전극과 상기 제1 데이터패턴의 중첩 영역에 형성되는 제1 스토리지 커패시터; 및
 상기 제2 화소전극과 상기 제2 데이터패턴의 중첩 영역에 형성되는 제2 스토리지 커패시터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 6 항에 있어서,
 상기 제1 액정셀은, 상기 게이트라인에 앞서 구동되는 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제1 데이터라인과 나란히 형성되는 제1 게이트 쉴드 패턴을 더 구비하고;
 상기 제2 액정셀은, 상기 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제3 데이터라인과 나란히 형성되는 제2 게이트 쉴드 패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,
 상기 제1 게이트 쉴드 패턴은 상기 제1 화소전극의 일부와 상기 제1 데이터라인 사이에 위치하고;
 상기 제2 게이트 쉴드 패턴은 상기 제2 화소전극의 일부와 상기 제3 데이터라인 사이에 위치하는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다.

[0003] 이러한 액정표시장치에는 도 1a에서 보는 바와 같이 게이트라인(1), 데이터라인(2) 및 공통라인(3)이 교차되고 이들의 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(Thin Film Transistor, 이하 "TFT")가 형성된다. TFT는 게이트라인(1)을 통해 공급되는 스캔펄스에 응답하여 데이터라인을 통해 공급되는 데이터전압(Vdata)을 액정셀(Clc)의 화소전극(Ep)에 공급한다. 액정셀(Clc)은 화소전극(Ep)에 공급되는 데이터전압(Vdata)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차로 충전되며, 이 전위차로 형성되는 전기장에 의해 액정분자들의 배열이 바뀌면서 투과되는 빛의 광량을 조절하거나 빛을 차단하게 된다.

[0004] 액정표시장치는 액정셀(Clc)의 열화와 잔상을 방지하기 위하여 도 1b와 같이 데이터전압(Vdata)의 극성을 일정 주기마다 반전시키는 인버전 방식으로 구동된다. 제n 프레임기간(Fn)에서 액정셀(Clc)은 데이터전압(Vdata)과 공통전압(Vcom)의 차로 결정되는 정극성 화소전압(Vp(+))을 충전하고, 제n+1 프레임기간(Fn+1)에서 액정셀(Clc)은 데이터전압(Vdata)과 공통전압(Vcom)의 차로 결정되는 부극성 화소전압(Vp(-))을 충전한다.

[0005] 그런데 공통전압(Vcom)은 공통라인의 구조에 따른 라인저항 또는 면내 편차로 인하여 왜곡되기가 쉽다. 통상, 액정표시장치에서 공통라인(3)은 도 2와 같이 수평라인 수(수직 해상도)만큼 형성되고 또한 게이트라인과 나란한 방향으로 형성된다. 이 액정표시장치에서 1 수평라인의 화소들은 동시에 데이터전압을 인가받으므로, 그 화소들에 대항하는 공통라인(3)의 로드(Load)가 커질 수밖에 없다. 공통라인(3)의 로드는 공통라인(3)의 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이(Delay) 량에 의존한다. 공통라인(3)의 로드를 줄이기 위해서는 공통라인(3)의 라인저항을 줄여야 하는데, 도 2와 같은 공통라인(3)의 구조로는 라인저항을 줄이기 어렵다. 그 결과 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 도 3a와 같이 스캔펄스(SP) 또는 데이터전압(Vdata)에 영향받아 출렁이게 된다. 이러한 공통전압(Vcom)의 리플(Ripple) 현상은 특정 데이터패턴이 표시될 때 수평 크로스토크(Crosstalk)를 유발하는 요인이 된다.

[0006] 또한, 종래 액정표시장치에서는 도 2와 같은 공통라인(3)의 구조로 인해 패널의 좌우측 영역으로부터 패널의 중간 영역으로 갈수록 라인저항이 증가되므로, 도 3b와 같은 공통전압(Vcom)의 면내 편차가 야기된다. 이러한 공통전압(Vcom)의 면내 편차는 패널의 상하 휘도차 및 플리커(Flicker)를 유발할 뿐만 아니라, 패널 내에 DC 성분을 축적시켜 잔상 등을 유발한다. 공통라인(3)의 저항을 줄이기 위하여, 대부분의 액정표시장치에서는 패널의 가장자리 즉, 화소 어레이의 밖의 비표시영역에 형성된 세로 공통라인(3')의 선폭을 넓게 하고 있지만 그 비표시영역의 면적도 한계가 있어 공통라인(3)의 저항을 줄이기가 어렵고 공통라인(3)의 위치에 따라 저항 편차가 비교적 크다.

[0007] 또한, 종래 액정표시장치에서는 상술한 공통라인(3)의 존재로 인해 공통라인(3)이 차지하는 면적만큼 개구면적이 줄어들 수밖에 없어 휘도가 감소되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명의 목적은 개구율 감소를 방지함과 아울러 화질 불량을 방지할 수 있는 액정표시장치를 제공하는 데 있다.

[0009]

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 제1 화소전극과 제2 화소전극의 전압차

에 따라 구동되는 제1 액정셀; 제3 화소전극과 제4 화소전극의 전압차에 따라 구동되는 제2 액정셀; 상기 제1 화소전극에 인가될 제1 아날로그 데이터전압이 공급되는 제1 데이터라인; 상기 제2 및 제3 화소전극에 인가될 제2 아날로그 데이터전압이 공급되는 제2 데이터라인; 상기 제4 화소전극에 인가될 제3 아날로그 데이터전압이 공급되는 제3 데이터라인; 상기 데이터라인들과 교차되며, 상기 제1 및 제2 액정셀을 선택하기 위한 스캔펄스를 공급하는 게이트라인; 상기 스캔펄스에 응답하여 상기 제1 아날로그 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT; 및 상기 스캔펄스에 응답하여 상기 제2 아날로그 데이터전압을 상기 제3 화소전극에 공급하는 제2 TFT를 구비하고; 각 수평라인에 배치된 화소 구조는 서로 동일하고, 상기 제1 내지 제3 아날로그 데이터전압은 선형 감마를 통해 발생된다.

[0011] 상기 제1 화소전극은 제1 콘택홀을 통해 상기 제1 TFT에 접속되고; 상기 제2 화소전극은 제2 콘택홀을 통해 상기 제2 데이터라인에 접속되고; 상기 제3 화소전극은 제3 콘택홀을 통해 상기 제2 TFT에 접속되며; 상기 제4 화소전극은 제4 콘택홀을 통해 상기 제4 데이터라인에 접속된다.

[0012] 이 액정표시장치는 상기 제2 데이터라인로부터 분기되어 상기 제1 화소전극의 일부와 중첩되는 제1 데이터패턴; 상기 제3 데이터라인으로부터 분기되어 상기 제3 화소전극의 일부와 중첩되는 제2 데이터패턴; 상기 제1 화소전극과 상기 제1 데이터패턴의 중첩 영역에 형성되는 제1 스토리지 커패시터; 및 상기 제3 화소전극과 상기 제2 데이터패턴의 중첩 영역에 형성되는 제2 스토리지 커패시터를 더 구비한다.

[0013] 상기 제1 액정셀은, 상기 게이트라인에 앞서 구동되는 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제1 데이터라인과 나란히 형성되는 제1 게이트 쉘드 패턴을 더 구비하고; 상기 제2 액정셀은, 상기 전단 게이트라인으로부터 돌출되어 일정 간격을 갖고 상기 제2 데이터라인과 나란히 형성되는 제2 게이트 쉘드 패턴을 더 구비한다.

[0014] 상기 제1 게이트 쉘드 패턴은 상기 제1 화소전극의 일부와 상기 제1 데이터라인 사이에 위치하고; 상기 제2 게이트 쉘드 패턴은 상기 제3 화소전극의 일부와 상기 제2 데이터라인 사이에 위치한다.

[0015] 본 발명의 다른 실시예에 따른 액정표시장치는 제1 화소전극과 공유 화소전극의 전압차에 따라 구동되는 제1 액정셀; 상기 공유 화소전극과 제2 화소전극의 전압차에 따라 구동되는 제2 액정셀; 상기 제1 화소전극에 인가될 제1 아날로그 데이터전압이 공급되는 제1 데이터라인; 상기 공유 화소전극에 인가될 제2 아날로그 데이터전압이 공급되는 제2 데이터라인; 상기 제2 화소전극에 인가될 제3 아날로그 데이터전압이 공급되는 제3 데이터라인; 상기 데이터라인들과 교차되며, 상기 제1 및 제2 액정셀을 선택하기 위한 스캔펄스를 공급하는 게이트라인; 상기 스캔펄스에 응답하여 상기 제1 아날로그 데이터전압을 상기 제1 화소전극에 공급하는 제1 TFT; 및 상기 스캔펄스에 응답하여 상기 제3 아날로그 데이터전압을 상기 제2 화소전극에 공급하는 제2 TFT를 구비하고; 각 수평라인에 배치된 화소 구조는 서로 동일하고, 상기 제1 내지 제3 아날로그 데이터전압은 선형 감마를 통해 발생된다.

발명의 효과

[0016] 본 발명에 따른 액정표시장치는 기준전압을 공급하기 위한 별도의 공통라인을 제거하여 개구율 감소를 방지할 수 있다.

[0017] 아울러, 본 발명에 따른 액정표시장치는 위치별로 기준전압을 다르게 인가하여 패널의 상하 휘도차, 플리커(Flicker), 패널 내에 DC 잔상을 제거함으로써 양호한 화질을 구현할 수 있다.

도면의 간단한 설명

[0018] 도 1a는 통상의 액정표시장치에서 화소의 등가회로를 보여주는 도면.

도 1b는 인버전 구동을 보여주는 도면.

도 2는 종래 액정표시장치에서 공통라인의 배치 구조를 보여주는 도면.

도 3a는 종래 공통전압의 불안정으로 인해 크로스토크가 발생하는 것을 보여주는 도면.

도 3b는 종래 공통전압의 불안정으로 인해 면내 상하 휘도차가 발생하는 것을 보여주는 도면.

도 4는 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
 도 5는 본 발명의 제1 실시예에 따른 화소 구조를 보여주는 도면.
 도 6은 도 5에 도시된 화소의 구동을 설명하기 위한 도면.
 도 7은 도 5에 도시된 화소 구조를 이용한 계조 구현의 일 예를 보여주는 도면.
 도 8은 도 7의 계조 구현을 위한 선형 감마를 보여주는 도면.
 도 9는 비 선형 감마를 보여주는 도면.
 도 10은 본 발명의 제2 실시예에 따른 화소 구조를 보여주는 도면.
 도 11은 도 10에 도시된 화소의 구동을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 도 4 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0020] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0021] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(41), 데이터 구동회로(42), 게이트 구동회로(43) 및 타이밍 콘트롤러(44)를 구비한다.
- [0022] 타이밍 콘트롤러(44)는 시스템보드(미도시)로부터 수평 및 수직 동기신호(Hsync, Vsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(DCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(42)와 게이트 구동회로(43)의 동작 타이밍을 제어하기 위한 제어신호들(GDC, DDC)을 발생한다. 데이터 구동회로(42)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(42) 내에서 디지털 데이터의 래치동작을 지시하는 소스 샘플링 클럭(Source Sampling Clock : SSC), 데이터 구동회로(42)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 액정표시패널(41)의 액정셀들(Clc)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL) 등을 포함한다. 게이트 구동회로(43)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 구동회로(43) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 및 게이트 구동회로(43)의 출력을 지시하는 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다. 또한, 타이밍 콘트롤러(44)는 시스템보드로부터 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널(41)의 해상도에 맞게 재정렬하여 데이터 구동회로(42)에 공급한다.
- [0023] 게이트 구동회로(43)는 타이밍 콘트롤러(44)로부터의 게이트 제어신호(GDC)에 응답하여 아날로그 데이터전압이 공급될 액정표시패널(41)의 수평라인을 선택하는 스캔펄스를 발생하여 게이트라인들(G1 내지 Gn)에 공급한다.
- [0024] 데이터 구동회로(42)는 타이밍 콘트롤러(44)로부터의 데이터 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 감마기준전압 발생부(미도시)로부터의 감마기준전압들(GMA)을 참조하여 아날로그 데이터전압으로 변환하고, 그 아날로그 데이터전압을 스캔펄스에 동기시켜 액정표시패널(41)의 데이터라인들(D1 내지 Dm)에 공급한다.
- [0025] 액정표시패널(41)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(41)은 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀들(Clc)을 포함한다.
- [0026] 액정표시패널(41)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터가 형성된다. 액정표시패널(41)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, 및 스토리지 커패시터가 형성된다. 액정표시패널(41)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0027] 액정표시패널(41)의 각 액정셀(Clc) 즉, 각 화소는 서로 대향되게 배치된 2개의 화소전극들을 포함하고, 이 화소전극들 간 전위차에 의해 구동된다. 종래와 달리 액정표시패널(41)에는 공통전압을 공급하기 위한 별도의 공

통라인이 형성되지 않는다.

- [0028] 도 5는 본 발명의 제1 실시예에 따른 화소 구조를 보여준다. 화소 구조는 각 수평 라인 상에서 서로 동일하다.
- [0029] 도 5와 같이, 동일 수평 라인 상에서 기수 번째 액정셀(C1c_Odd)은 같은 평면상에서 서로 대향되게 형성된 제1 화소전극(EP1_0)과 제2 화소전극(EP2_0) 사이의 전계에 의해 구동된다. 이를 위해, 기수 번째 액정셀(C1c_Odd)의 제1 화소전극(EP1_0)은 데이터라인과 나란하게 형성된 제1 핑크부와, 이 제1 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제1 접속부를 포함한다. 기수 번째 액정셀(C1c_Odd)의 제1 화소전극(EP1_0)은 제1 콘택홀(CT1_0)을 통해 제1 TFT(TFT_0)에 접속된다. 제1 TFT(TFT_0)는 현재단 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 제1 데이터라인(Dj-1)으로부터의 아날로그 데이터전압을 제1 화소전극(EP1_0)에 공급한다. 한편, 기수 번째 액정셀(C1c_Odd)의 제2 화소전극(EP2_0)은 데이터라인과 나란하게 형성되어 제1 핑크부와 대향 구조를 이루는 제2 핑크부와, 이 제2 핑크부를 연결하기 위해 게이트라인과 나란히 형성되는 제2 접속부를 포함한다. 기수 번째 액정셀(C1c_Odd)의 제2 화소전극(EP2_0)은 제2 콘택홀(CT2_0)을 통해 제2 데이터라인(Dj)에 접속된다.
- [0030] 기수 번째 액정셀(C1c_Odd)에는 전단 게이트라인(Gk)으로부터 돌출되어 제1 화소전극(EP1_0)의 일부와 제1 데이터라인(Dj-1) 사이에 위치하는 오드 게이트 쉴드 패턴(GS_0)이 추가로 형성된다. 이 오드 게이트 쉴드 패턴(GS_0)은 제1 데이터라인(Dj-1)과 제1 화소전극(EP1_0) 사이에 형성되는 기생 용량(Cdp)을 차폐하여 제1 데이터라인(Dj-1)의 전압 변동으로 인한 제1 화소전극(EP1_0)의 전위 변동을 방지한다. 그리고, 기수 번째 액정셀(C1c_Odd)에는 제2 데이터라인(Dj)로부터 분기되어 제1 화소전극(EP1_0)의 일부와 중첩되는 오드 데이터패턴(DS_0)이 추가로 형성된다. 기수 번째 액정셀(C1c_Odd)에서, 스토리지 커패시터(Cst_0)는 오드 데이터패턴(DS_0)과 제1 화소전극(EP1_0)이 중첩되는 영역에 형성된다.
- [0031] 또한, 도 5와 같이, 동일 수평 라인 상에서 우수 번째 액정셀(C1c_Even)은 같은 평면상에서 서로 대향되게 형성된 제3 화소전극(EP1_E)과 제4 화소전극(EP2_E) 사이의 전계에 의해 구동된다. 이를 위해, 우수 번째 액정셀(C1c_Even)의 제3 화소전극(EP1_E)은 데이터라인과 나란하게 형성된 제1 핑크부와, 이 제1 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제1 접속부를 포함한다. 우수 번째 액정셀(C1c_Even)의 제3 화소전극(EP1_E)은 제3 콘택홀(CT1_E)을 통해 제2 TFT(TFT_E)에 접속된다. 제2 TFT(TFT_E)는 현재단 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 제2 데이터라인(Dj)으로부터의 아날로그 데이터전압을 제3 화소전극(EP1_E)에 공급한다. 한편, 우수 번째 액정셀(C1c_Even)의 제4 화소전극(EP2_E)은 데이터라인과 나란하게 형성되어 제1 핑크부와 대향 구조를 이루는 제2 핑크부와, 이 제2 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제2 접속부를 포함한다. 우수 번째 액정셀(C1c_Even)의 제4 화소전극(EP2_E)은 제4 콘택홀(CT2_E)을 통해 제3 데이터라인(Dj+1)에 접속된다.
- [0032] 우수 번째 액정셀(C1c_Even)에는 전단 게이트라인(Gk)으로부터 돌출되어 제3 화소전극(EP1_E)의 일부와 제2 데이터라인(Dj) 사이에 위치하는 이븐 게이트 쉴드 패턴(GS_E)이 추가로 형성된다. 이 이븐 게이트 쉴드 패턴(GS_E)은 제2 데이터라인(Dj)과 제3 화소전극(EP1_E) 사이에 형성되는 기생 용량(Cdp)을 차폐하여 제2 데이터라인(Dj)의 전압 변동으로 인한 제3 화소전극(EP1_E)의 전위 변동을 방지한다. 그리고, 우수 번째 액정셀(C1c_Even)에는 제3 데이터라인(Dj+1)로부터 분기되어 제3 화소전극(EP1_E)의 일부와 중첩되는 이븐 데이터패턴(DS_E)이 추가로 형성된다. 우수 번째 액정셀(C1c_Even)에서, 스토리지 커패시터(Cst_E)는 이븐 데이터패턴(DS_E)과 제3 화소전극(EP1_E)이 중첩되는 영역에 형성된다.
- [0033] 도 5에 따른 액정표시장치의 구동을 도 6을 참조하여 설명하면 다음과 같다.
- [0034] 도 6을 참조하면, k 번째 수평라인(Hk)에 배치된 기수번째 액정셀(C1c_Odd)은 k 번째 게이트라인(Gk)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제1 화소전극(EP1_0)과 제2 화소전극(EP2_0) 간 전압차에 의해 소정 극성으로 충전되고, 이와 동시에 k 번째 수평라인(Hk)에 배치된 우수번째 액정셀(C1c_Even)은 k 번째 게이트라인(Gk)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제3 화소전극(EP1_E)과 제4 화소전극(EP2_E) 간 전압차에 의해 소정 극성으로 충전된다. 또한, k+1 번째 수평라인(Hk+1)에 배치된 기수번째 액정셀들(C1c_Odd)은 k+1 번째 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제1 화소전극(EP1_0)과 제2 화소전극(EP2_0) 간 전압차에 의해 소정 극성으로 충전되고, 이와 동시에 k+1 번째 수평라인(Hk+1)에 배치된 우수번째 액정셀들(C1c_Even)은 k+1 번째 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제3 화소전극(EP1_E)과 제4 화소전극(EP2_E) 간 전압차에 의해 소정 극성으로 충전된다.

- [0035] 이러한 구동을 통해, 각 수평라인에 배치된 액정셀들은 패널의 상하 휘도차, 플리커(Flicker), 패널 내에 DC 잔상의 우려 없이 양호한 화질을 구현할 수 있게 된다.
- [0036] 전술한 바와 같이, 본 발명의 제1 실시예에 따른 화소 구조에서는 특정 데이터라인을 사이에 두고 이웃한 2개의 액정셀들이 동일한 데이터전압을 공유한다. 2개의 액정셀들 중 어느 하나에서는 상기 데이터전압이 기준전압으로 기능한다. 따라서, 이 화소 구조에서는 도 7과 같은 계조를 구현하기 위해 도 9와 같은 비 선형 감마를 이용하는 것보다 도 8과 같은 선형 감마를 이용하는 것이 보다 바람직하다. 종래와 같은 비 선형 감마 이용시에는 계조 틀어짐이 발생될 수 있다.
- [0037] 도 8과 같은 선형 감마를 통해 도 7과 같은 계조 구현을 보충 설명하면 다음과 같다. 도 8에서, 화살표가 위로 향하는 경우에는 정극성을 지시하고, 화살표가 아래를 향하는 경우에는 부극성을 지시한다.
- [0038] 도 7 및 도 8과 같이 제1 내지 제7 액정셀(C1c1~C1c7) 각각에서 저계조, 저계조, 중간계조, 저계조, 고계조, 고계조를 구현하기 위해, 데이터라인들(Dj-1~Dj+6)에 각각 0V, 2V, 1V, 7V, 5V, 15V, 4V, 12V의 데이터전압이 공급될 수 있다. 제1 액정셀(C1c1)에는 2V에서 0V를 뺀 (+)2V가 충전되고, 제2 액정셀(C1c2)에는 1V에서 2V를 뺀 (-)1V가 충전되고, 제3 액정셀(C1c3)에는 7V에서 1V를 뺀 (+)6V가 충전되고, 제4 액정셀(C1c4)에는 5V에서 7V를 뺀 (-)2V가 충전되고, 제5 액정셀(C1c5)에는 15V에서 5V를 뺀 (+)10V가 충전되고, 제6 액정셀(C1c6)에는 4V에서 15V를 뺀 (-)11V가 충전되고, 제7 액정셀(C1c7)에는 12V에서 4V를 뺀 (+)8V가 충전된다.
- [0039] 도 10은 본 발명의 제2 실시예에 따른 화소 구조를 보여준다. 화소 구조는 각 수평 라인 상에서 서로 동일하다.
- [0040] 도 10과 같이, 동일 수평 라인 상에서 기수 번째 액정셀(C1c_Odd)은 같은 평면상에서 서로 대향되게 형성된 제1 화소전극(EP1_0)과 공유 화소전극(EPS) 사이의 전계에 의해 구동된다. 이를 위해, 기수 번째 액정셀(C1c_Odd)의 제1 화소전극(EP_0)은 데이터라인과 나란하게 형성된 제1 핑크부와, 이 제1 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제1 접속부를 포함한다. 기수 번째 액정셀(C1c_Odd)의 제1 화소전극(EP_0)은 제1 콘택홀(CT_0)을 통해 제1 TFT(TFT_0)에 접속된다. 제1 TFT(TFT_0)는 현재단 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 제1 데이터라인(Dj-1)으로부터의 아날로그 데이터전압을 제1 화소전극(EP_0)에 공급한다. 한편, 기수 번째 액정셀(C1c_Odd)의 공유 화소전극(EPS)은 데이터라인과 나란하게 형성되어 제1 핑크부와 대향 구조를 이루는 제2 핑크부와, 이 제2 핑크부를 연결하기 위해 게이트라인과 나란히 형성되는 제2 접속부를 포함한다. 기수 번째 액정셀(C1c_Odd)의 공유 화소전극(EPS)은 공유 콘택홀(CTS)을 통해 제2 데이터라인(Dj)에 접속된다.
- [0041] 기수 번째 액정셀(C1c_Odd)에는 전단 게이트라인(Gk)으로부터 돌출되어 제1 화소전극(EP_0)의 일부와 제1 데이터라인(Dj-1) 사이에 위치하는 오드 게이트 쉴드 패턴(GS_0)이 추가로 형성된다. 이 오드 게이트 쉴드 패턴(GS_0)은 제1 데이터라인(Dj-1)과 제1 화소전극(EP_0) 사이에 형성되는 기생 용량(Cdp)을 차폐하여 제1 데이터라인(Dj-1)의 전압 변동으로 인한 제1 화소전극(EP_0)의 전위 변동을 방지한다. 그리고, 기수 번째 액정셀(C1c_Odd)에는 제2 데이터라인(Dj)으로부터 분기되어 제1 화소전극(EP_0)의 일부와 중첩되는 오드 데이터패턴(DS_0)이 추가로 형성된다. 기수 번째 액정셀(C1c_Odd)에서, 스토리지 커패시터(Cst_0)는 오드 데이터패턴(DS_0)과 화소전극(EP_0)이 중첩되는 영역에 형성된다.
- [0042] 또한, 동일 수평 라인 상에서 우수 번째 액정셀(C1c_Even)은 같은 평면상에서 서로 대향되게 형성된 제2 화소전극(EP_E)과 공유 화소전극(EPS) 사이의 전계에 의해 구동된다. 이를 위해, 우수 번째 액정셀(C1c_Even)의 제2 화소전극(EP_E)은 데이터라인과 나란하게 형성된 제1 핑크부와, 이 제1 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제1 접속부를 포함한다. 우수 번째 액정셀(C1c_Even)의 제2 화소전극(EP_E)은 제2 콘택홀(CT_E)을 통해 제2 TFT(TFT_E)에 접속된다. 제2 TFT(TFT_E)는 현재단 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 제3 데이터라인(Dj+1)으로부터의 아날로그 데이터전압을 제2 화소전극(EP_E)에 공급한다. 한편, 우수 번째 액정셀(C1c_Even)의 공유 화소전극(EPS)은 데이터라인과 나란하게 형성되어 제1 핑크부와 대향 구조를 이루는 제2 핑크부와, 이 제2 핑크부를 연결하기 위해 게이트라인과 나란하게 형성되는 제2 접속부를 포함한다. 우수 번째 액정셀(C1c_Even)의 공유 화소전극(EPS)은 공유 콘택홀(CTS)을 통해 제2 데이터라인(Dj)에 접속된다. 우수 번째 액정셀(C1c_Even)에는 전단 게이트라인(Gk)으로부터 돌출되어 제2 화소전극(EP_E)의 일부와 제3 데이터라인(Dj+1) 사이에 위치하는 이븐 게이트 쉴드 패턴(GS_E)이 추가로 형성된다. 이 이븐 게이트 쉴드 패턴(GS_E)은 제3 데이터라인(Dj+1)과 제2 화소전극(EP_E) 사이에 형성되는 기생 용량(Cdp)을 차폐하여 제3 데이터

라인(Dj+1)의 전압 변동으로 인한 제2 화소전극(EP_E)의 전위 변동을 방지한다. 그리고, 우수 번째 액정셀(C1c_Even)에는 제2 데이터라인(Dj)로부터 분기되어 제2 화소전극(EP_E)의 일부와 중첩되는 이븐 데이터패턴(DS_E)이 추가로 형성된다. 우수 번째 액정셀(C1c_Even)에서, 스토리지 커패시터(Cst_E)는 이븐 데이터패턴(DS_E)과 제2 화소전극(EP_E)이 중첩되는 영역에 형성된다.

[0043] 도 10에 따른 액정표시장치의 구동을 도 11을 참조하여 설명하면 다음과 같다.

[0044] 도 11을 참조하면, k 번째 수평라인(Hk)에 배치된 기수번째 액정셀(C1c_Odd)은 k 번째 게이트라인(Gk)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제1 화소전극(EP_0)과 공유 화소전극(EPS) 간 전압차에 의해 소정 극성으로 충전되고, 이와 동시에 k 번째 수평라인(Hk)에 배치된 우수번째 액정셀(C1c_Even)은 k 번째 게이트라인(Gk)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제3 화소전극(EP_E)과 공유 화소전극(EPS) 간 전압차에 의해 소정 극성으로 충전된다. 또한, k+1 번째 수평라인(Hk+1)에 배치된 기수번째 액정셀들(C1c_Odd)은 k+1 번째 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제1 화소전극(EP_0)과 공유 화소전극(EPS) 간 전압차에 의해 소정 극성으로 충전되고, 이와 동시에 k+1 번째 수평라인(Hk+1)에 배치된 우수번째 액정셀들(C1c_Even)은 k+1 번째 게이트라인(Gk+1)으로부터의 스캔펄스에 응답하여 1 수평기간 동안 제3 화소전극(EP_E)과 공유 화소전극(EPS) 간 전압차에 의해 소정 극성으로 충전된다.

[0045] 이러한 구동을 통해, 각 수평라인에 배치된 액정셀들은 패널의 상하 휘도차, 플리커(Flicker), 패널 내에 DC 잔상의 우려 없이 양호한 화질을 구현할 수 있게 된다.

[0046] 전술한 바와 같이, 본 발명의 제2 실시예에 따른 화소 구조에서는 공유 데이터라인을 사이에 두고 이웃한 2개의 액정셀들이 동일한 데이터전압을 공유한다. 상기 2개의 액정셀들 각각에서 상기 데이터전압은 기준전압으로 기능한다. 따라서, 이 화소 구조에서는 도 7과 같은 계조를 구현하기 위해 도 8과 같은 선형 감마를 이용하는 것이 보다 바람직하다.

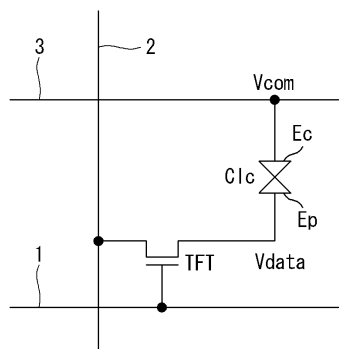
[0047] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

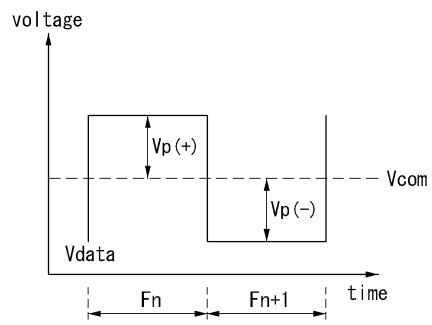
[0048] 41 : 액정표시패널 42 : 데이터 구동회로
 43 : 게이트 구동회로 44 : 타이밍 컨트롤러

도면

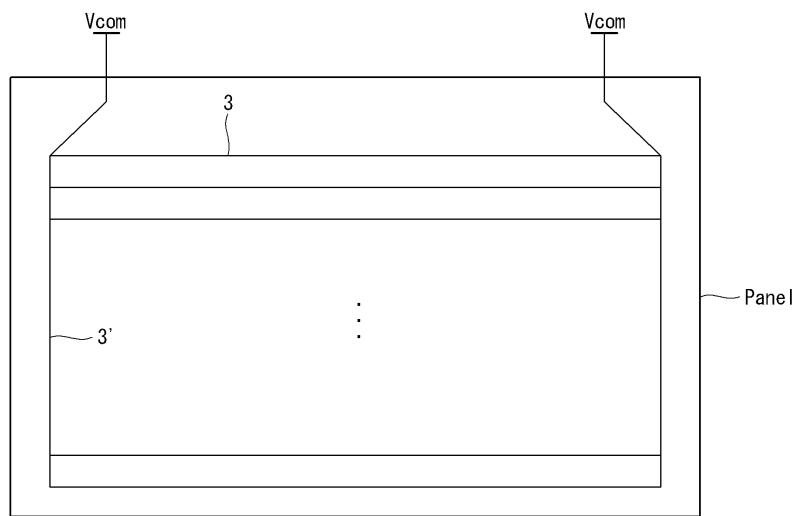
도면1a



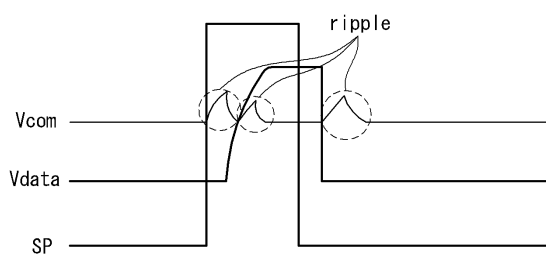
도면1b



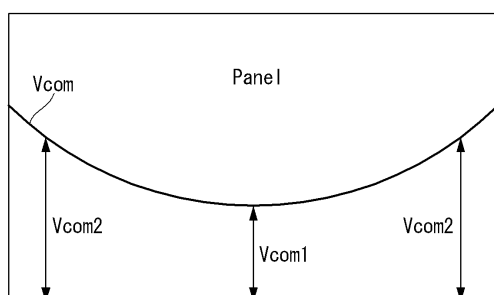
도면2



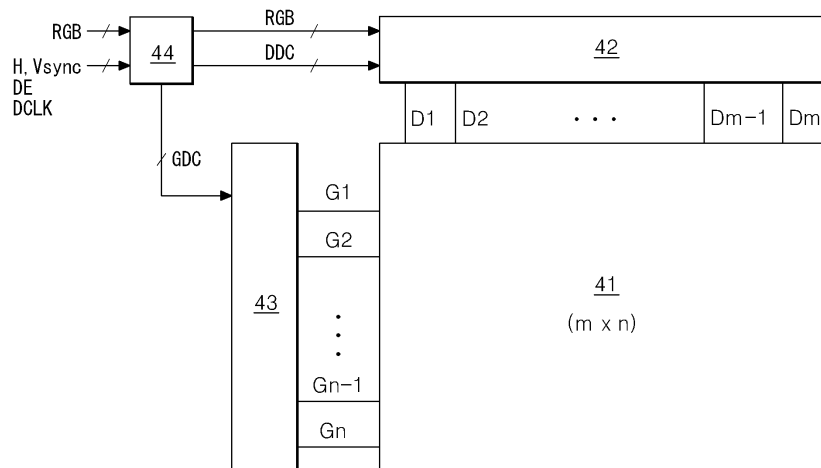
도면3a



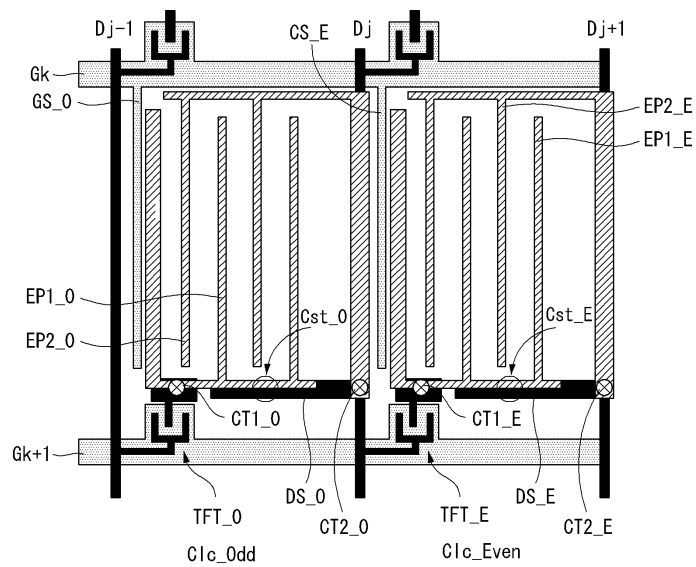
도면3b



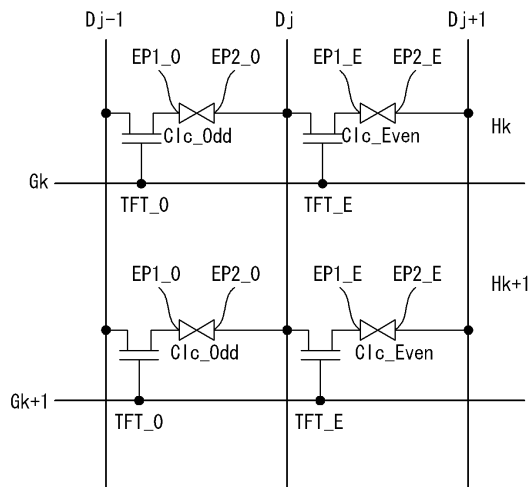
도면4



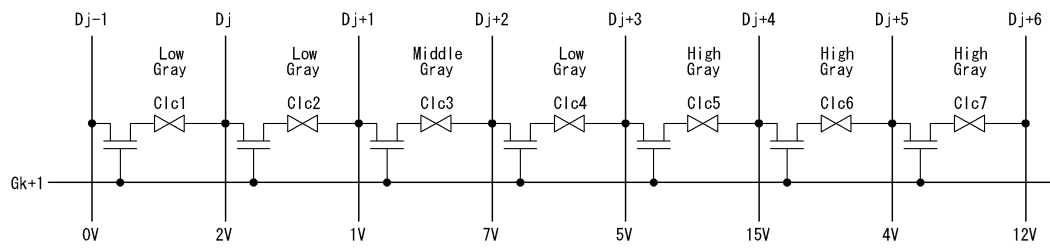
도면5



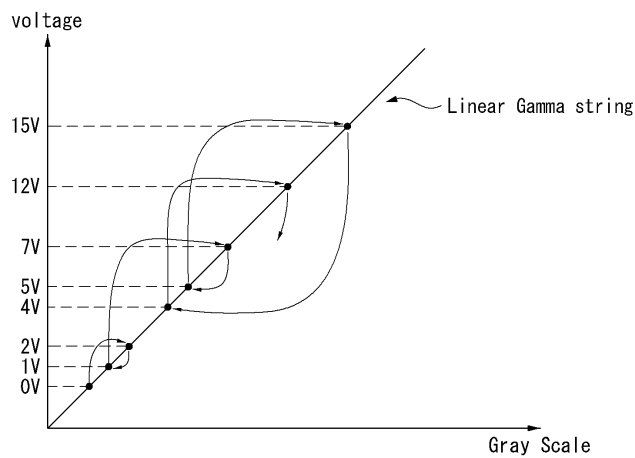
도면6



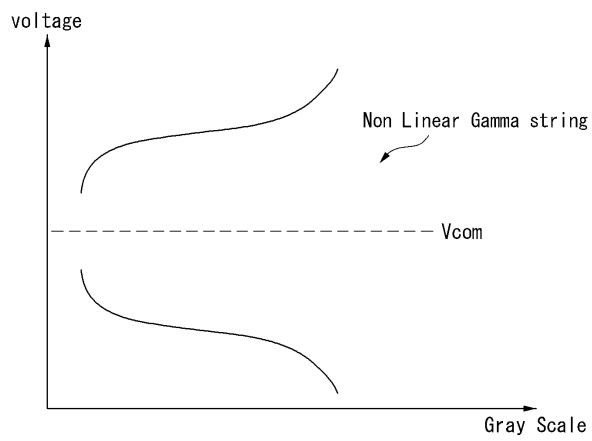
도면7



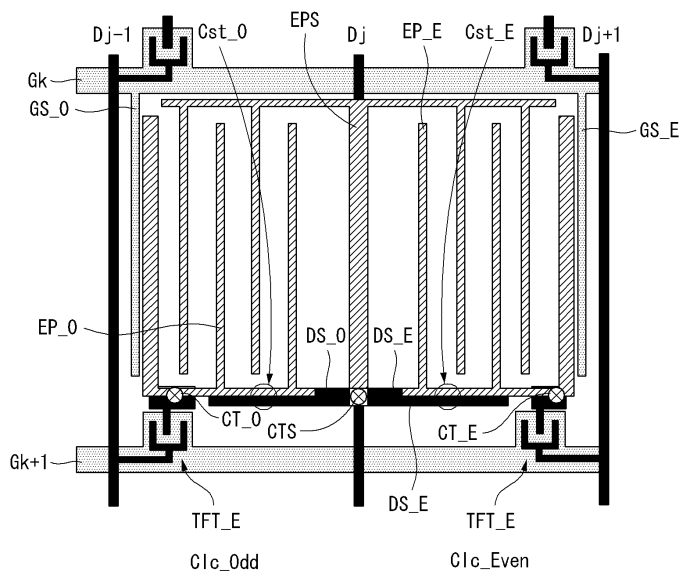
도면8



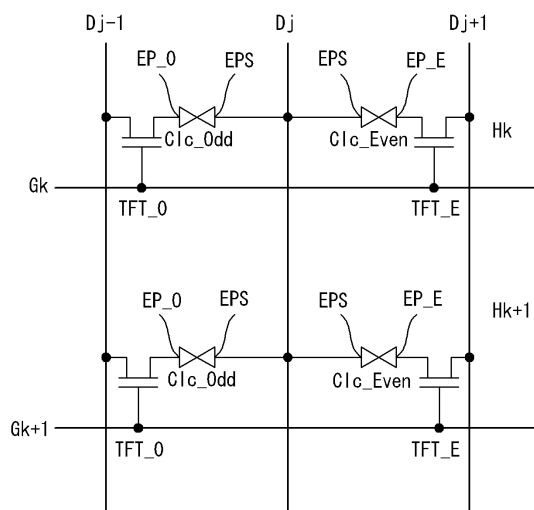
도면9



도면10



도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120031383A	公开(公告)日	2012-04-03
申请号	KR1020100092886	申请日	2010-09-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YOUNG MIN		
发明人	JEONG YOUNG MIN		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/136286 G02F1/1343 G02F2201/40 G09G3/3696		
外部链接	Espacenet		

摘要(译)

第一薄膜晶体管，其中根据本发明的液晶显示器响应于提供与第一数据线交叉的扫描脉冲的栅极线将第一模拟数据电压提供给第一像素电极：第二数据线：第三数据线：提供施加在第四像素电极中的第三模拟数据电压的数据线和施加在第二和第三像素电极中的第二模拟数据电压被提供给施加在第二液晶单元中的第一模拟数据电压：根据第四像素电极和第一液晶单元的电压差驱动的第一像素电极：根据第二像素电极和第一像素电极的电压差驱动的第三像素电极用于第一和第二液晶单元选择：扫描脉冲和第二TFT将第二模拟数据电压提供给第三像素电极包括扫描脉冲，并且在每条水平线中排列的像素结构是相同的。通过线性伽马产生第一至第三模拟数据电压。

