(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월14일
(11) 등록번호 10-2010395
(24) 등록일자 2019년08월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2011-0117786
(22) 출원일자 2011년11월11일
심사청구일자 2016년11월11일
(65) 공개번호 10-2013-0052378
(43) 공개일자 2013년05월22일
(56) 선행기술조사문헌
KR1020080048724 A*
KR1020110056962 A*
KR1020100021236 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
양희정
경기도 양주시 삼숭로58번길 141 704동 1105호 (삼숭동,GS자이7단지아파트)
한규원
경기도 여주군 대신면 초현리 200(37)
(뒷면에 계속)
(74) 대리인
네이트특허법인

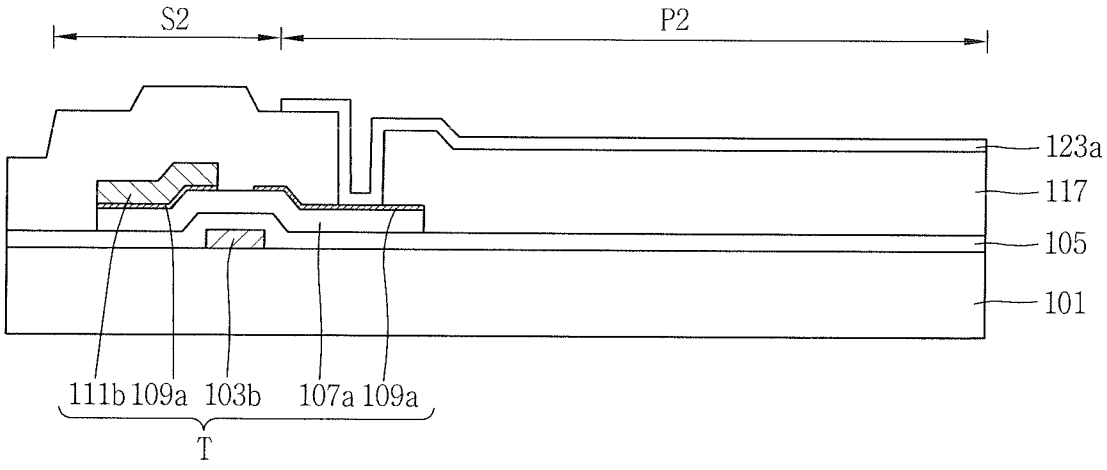
전체 청구항 수 : 총 7 항 심사관 : 김우영

(54) 발명의 명칭 **액정표시장치용 박막트랜지스터 어레이기판 및 그 제조방법**

(57) 요 약

본 발명은 액정표시장치용 박막트랜지스터 어레이기판 및 그 제조방법에 관한 것으로, 개시된 발명은 기판상에 형성된 게이트전극; 상기 게이트전극을 덮는 기판 전면에 형성된 게이트절연막; 상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 형성된 액티브층; 상기 액티브층 상부에 형성되고 상기 액티브층의 채널영역을 기준으로 제1영역 및 제2 영역으로 분할된 배리어막; 상기 액티브층의 일측에 구비된 배리어막의 제1 영역 상부에 형성된 소스전극; 상기 소스전극을 포함한 기판 전면에 형성되고, 상기 배리어막의 제2 영역을 노출시키는 보호막; 및 상기 보호막 상부에 형성되고, 상기 노출된 배리어막의 제2 영역과 전기적으로 연결된 화소전극;을 포함하여 구성된다.

대 표 도 - 도4



(72) 발명자

이재민

경기도 고양시 일산서구 원일로21번길 22 104동 1302호 (일산동,일산휴먼빌아파트)

호원준

전라북도 전주시 완산구 거마평로 125 102동 1206호 (효자동1가,상산타운)

김병서

충청남도 예산군 오가면 내량길 165-42

명 세 서

청구범위

청구항 1

기판상에 배치되어 다수의 화소영역을 정의하는 다수의 게이트배선 및 데이터배선;

상기 복수의 화소영역 각각에 배치되어 상기 게이트배선과 연결되는 게이트전극;

상기 게이트전극을 덮는 기판 전면에 형성된 게이트절연막;

상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 형성된 액티브층;

상기 액티브층 상부에 형성되고 상기 액티브층의 채널영역을 기준으로 이격되어 배치된 제1배리어막 및 제2배리어막; 및

상기 제1배리어막 상부에 형성되어 상기 데이터배선과 연결되는 소스전극으로 구성되며,

상기 제1 배리어막 및 제2 배리어막은 동일 물질로 구성되며,

상기 제1 배리어막은 상기 액티브층의 상면 및 상기 소스전극의 하면과 직접 접촉하여 상기 액티브층과 상기 소스전극을 저항성 접촉시키며, 상기 제2배리어막은 상기 액티브층 상면과 직접 접촉한 상태에서 상기 화소영역으로 연장되는 화소전극인 액정표시장치용 박막트랜지스터 어레이기판.

청구항 2

제1항에 있어서, 상기 게이트전극과 상기 소스전극은 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조인 액정표시장치용 박막트랜지스터 어레이기판.

청구항 3

제1항에 있어서, 상기 액티브층은 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용되는 액정표시장치용 박막트랜지스터 어레이기판.

청구항 4

제1항에 있어서, 상기 제1배리어막 및 제2배리어막은 n+ 불순물이 함유된 비정질 실리콘, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 적어도 어느 하나가 사용되는 액정표시장치용 박막트랜지스터 어레이기판.

청구항 5

제1항에 있어서, 상기 액티브층의 채널영역 상부에 배치된 식각정지막패턴을 추가로 포함하는 액정표시장치용 박막트랜지스터 어레이기판.

청구항 6

제5항에 있어서, 상기 제2배리어막은 상기 식각정지막패턴의 측면으로 연장되는 액정표시장치용 박막트랜지스터 어레이기판.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

제1항에 있어서, 상기 제2배리어막은 상기 액티브층의 측면과 접촉된 상태에서 상기 화소영역으로 연장되는 액정표시장치용 박막트랜지스터 어레이기판.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display; LCD로 칭함)용 박막트랜지스터(Thin Film Transistor; TFT로 칭함)에 관한 것으로, 보다 상세하게는 드레인 전극 없이 액티브층과 화소전극을 직접 연결되도록 하여 드레인 전극이 제거된 부분을 투과영역으로 보상하여 투과율을 개선한 액정표시장치용 박막트랜지스터 어레이기판 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 오늘날과 같은 정보화 사회에 있어서 전자 표시 장치의 역할은 매우 중요해지고 있으며, 각종의 전자 표시장치가 다양한 산업 분야에 광범위하게 사용되고 있다.

[0003] 이러한 전자 표시장치 분야는 발전을 거듭하여 다양화하는 정보화 사회의 요구에 적합한 새로운 기능을 갖는 전자 표시장치가 계속 개발되고 있다.

[0004] 일반적으로 전자 표시장치란 다양한 정보를 시각을 통하여 인간에게 전달하는 장치를 말한다. 즉, 전자 표시장치란 각종의 전자 기기로부터 출력되는 전자적 정보 신호를 인간의 시각으로 인식할 수 있는 광 정보 신호로 변화하는 전자 장치를 말하며, 인간과 전자 기기를 연결하는 가교적인 역할을 담당하는 장치라고 할 수 있다.

[0005] 이러한 전자 표시장치에 있어서, 광 정보 신호가 발광 현상에 의해서 표시되는 경우에는 발광형 표시장치로 일컬어지며, 반사, 산란, 간섭 현상 등에 의하여 광 변조로 표시되는 경우에는 수광형 표시장치로 일컬어진다.

[0006] 능동형 표시장치로도 불리는 발광형 표시장치로는 음극관 표시 장치(Cathode Ray Tube; CRT), 플라즈마 표시장치(Plasma Display Panel; PDP), 유기이엘 표시장치(Organic ElectroLuminiscent Display; OELD), 발광다이오드(Light Emitting Diode; LED) 등을 들 수 있다.

[0007] 그리고, 수동형 표시장치로 불리는 수광형 장치로는 액정표시장치(LCD), 전자 영동 표시장치(ElectroPhoretic Image Display; EPID) 등을 들 수 있다.

[0008] 최근에, 반도체 기술의 급속한 진보에 의하여 각종 전자장치의 저전압화 및 저전력화와 함께 전자 기기의 소형화, 박형화 및 경량화의 추세에 따라 새로운 환경에 적합한 전자 표시장치로서 평판 패널형 표시장치에 대한 요구가 급격히 증대되고 있다.

[0009] 이에 따라 액정표시장치(LCD), 플라즈마 표시장치(PDP), 유기이엘 표시장치 (OELD) 등과 같은 평판 패널형 표시장치가 개발되고 있으며, 이러한 평판 패널형 표시장치 중에서 소형화, 경량화 및 박형화가 용이하며, 낮은 소비 전력 및 낮은 구동 전압을 갖는 액정표시장치가 특히 주목받고 있다.

[0010] 이러한 기존의 액정표시장치의 박막트랜지스터 어레이기판 구조에 대해 도 1을 참조하여 설명하면 다음과 같다.

[0011] 도 1은 종래기술에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 평면도이다.

[0012] 종래기술에 따른 액정표시장치용 박막트랜지스터 어레이기판은, 도 1에 도시된 바와 같이, 투명한 절연기판(미도시, 도 2의 11 참조) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(13)과; 상기 게이트배선(13)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(21)과; 상기 게이트배선(13)과 데이터배선(21)의 교차지점에 마련되고, 게이트전극(13a)과 액티브층 (미도시, 도 2의 17)과 소스전극(21a) 및 드레인전극(21b)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.

[0013] 또한, 상기 게이트배선(13)과 데이터배선(21)이 교차하여 이루는 화소영역에는 대면적의 화소전극(27)이 배치되어 있다. 이때, 상기 화소전극(27)은 상기 드레인전극(21b)과 전기적으로 접속되어 있다.

[0014] 종래기술에 따른 액정표시장치는, 상기 박막트랜지스터(T)와 화소전극(27) 등이 형성되어 있는 투명한 절연기판(101)과, 도면에는 도시하지 않았지만, 공통전극, 컬러필터층, 블랙 매트릭스 등이 형성되어 있는 투명한 칼라필터 기판 사이에 이방성 유전율을 갖는 액정물질을 주입해 놓고, 상기 화소전극(27)과 공통전극(미도시)에 서로 다른 전위를 인가함으로써, 액정물질에 형성되는 전계 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 하부기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 장치이다.

[0015] 이러한 구성으로 이루어진 종래기술에 따른 액정표시장치용 박막트랜지스터 소자에 대해 도 2를 참조하여 설명

하면 다음과 같다.

[0016] 도 2는 도 1의 Ⅱ-Ⅱ선에 따른 단면도로서, 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 개략적인 단면도이다.

[0017] 종래기술에 따른 액정표시장치용 박막트랜지스터 소자는, 도 2에 도시된 바와 같이, 투명한 절연기판(11) 상부에 형성된 불투명한 게이트 전극(13a)과, 상기 게이트전극 (13a) 상부에 형성된 게이트절연막(15)과, 상기 게이트절연막(15) 상부에 도핑되지 않은 비정질 실리콘 물질로 이루어진 반도체층(17)과, 상기 게이트전극(13a)과 대응하는 영역에서 상기 반도체층(17)을 노출시키며 서로 이격되게 위치하여 형성된 불투명한 특성을 가진 소스전극(21a) 및 드레인전극(21b)과, 상기 소스전극 (21a) 및 드레인전극 (21b)과 반도체층(17) 간에 계면에 형성된 n형 불순물이 고농도로 도핑되어 있는 불순물 비정질 실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer; 19)을 포함한다.

[0018] 또한, 상기 소스전극(21a)과 드레인전극(21b) 상부에는 보호막(23)이 형성되어 있으며, 상기 보호막(23)에는 상기 드레인전극(21b)을 노출시키는 콘택홀(25)이 형성되어 있으며, 이 콘택홀(25)을 통하여 상기 드레인전극(21b)에 연결되는 화소전극(27)이 형성되어 있다.

[0019] 그리고, 상기 게이트전극(13a)과 소스전극(21a) 및 드레인전극(21b)은 불투명한 금속 재질로 구성되어 있다.

[0020] 이러한 구성으로 이루어진 종래기술에 따른 액정표시장치용 박막트랜지스터 소자에 따르면, 드레인전극과 화소전극이 전기적으로 연결되어 소자의 안정한 전기적 특성을 얻을 수는 있지만, 화소전극과 함께 상기 화소전극과 전기적으로 연결되는 드레인전극은 불투명한 금속 재질로 구성되어 있어, 이 화소전극과 함께 드레인전극의 면적만큼 투과영역을 가려 주는 역할을 하게 된다.

[0021] 따라서, 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 경우에, 불투명한 소스전극과 함께 드레인전극을 통해서는 광이 투과되지 않기 때문에, 박막트랜지스터 소자의 투과율이 감소하게 된다. 특히, 불투명한 드레인전극을 통해서는 광이 투과되지 않기 때문에, 이 드레인전극과 전기적으로 연결된 화소전극의 영역으로도 광이 투과되지 않게 되어 그만큼 개구율이 감소하게 되고, 그로 인해 박막트랜지스터 소자의 투과율이 감소하게 된다.

발명의 내용

해결하려는 과제

[0022] 이에 본 발명은 종래기술의 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 드레인 전극 없이 액티브층과 화소전극이 직접 연결되도록 하여 제거된 드레인전극 영역을 투과영역으로 보상하여 박막트랜지스터 소자의 투과율을 향상시킬 수 있는 액정표시장치용 박막트랜지스터 어레이기판 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0023] 상기 목적을 달성하기 위한 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판은, 투명한 절연기판상에 형성된 게이트전극; 상기 게이트전극을 덮는 기판 전면에 형성된 게이트절연막; 상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 형성된 액티브층; 상기 액티브층 상부에 형성되고 상기 액티브층의 채널영역을 기준으로 제1영역 및 제2 영역으로 분할된 배리어막; 상기 액티브층의 일측에 구비된 배리어막의 제1 영역 상부에 형성된 소스전극; 상기 소스전극을 포함한 기판 전면에 형성되고, 상기 배리어막의 제2 영역을 노출시키는 보호막; 및 상기 보호막 상부에 형성되고, 상기 노출된 배리어막의 제2 영역과 전기적으로 연결된 화소전극;을 포함하여 구성되는 것을 특징으로 한다.

[0024] 상기 목적을 달성하기 위한 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판 제조방법은, 투명한 절연기판상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 기판 전면에 게이트절연막을 형성하는 단계; 상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 액티브층을 형성하는 단계; 상기 액티브층 상부에 상기 액티브층의 채널영역을 기준으로 분할되는 제1영역 및 제2 영역을 구비한 배리어막을 형성하는 단계; 상기 액티브층의 일측에 구비된 배리어막의 제1 영역 상부에 소스전극을 형성하는 단계; 상기 소스전극을 포함한 기판 전면에 상기 배리어막의 제2 영역을 노출시키는 보호막을 형성하는 단계; 및 상기 보호막 상부에 상기 노출된 배리어막의 제2 영역과 전기적으로 연결되는 화소전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

[0025] 상기 목적을 달성하기 위한 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판은, 투명한 절연기판상에 형성된 게이트전극; 상기 게이트전극을 덮는 기판 전면에 형성된 게이트절연막; 상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 형성된 액티브층; 상기 액티브층의 채널영역을 기준으로 상기 액티브층의 일측 상부에 구비된 배리어막; 상기 배리어막 상부에 형성된 소스전극; 상기 액티브층의 채널영역을 기준으로 상기 액티브층의 타측을 포함한 게이트절연막 상부에 형성된 화소전극;을 포함하여 구성되는 것을 특징으로 한다.

[0026] 상기 목적을 달성하기 위한 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판 제조방법은, 투명한 절연기판상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 기판 전면에 게이트절연막을 형성하는 단계; 상기 게이트전극과 오버랩되는 상기 게이트절연막 상부에 액티브층을 형성하는 단계; 상기 액티브층의 채널영역을 기준으로 상기 액티브층의 일측 상부에 배리어막을 형성하는 단계; 상기 배리어막 상부에 소스전극을 형성하는 단계; 상기 액티브층의 채널영역을 기준으로 상기 액티브층의 타측을 포함한 게이트절연막 상부에 화소전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0027] 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면 다음과 같은 효과들이 있다.

[0028] 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면, 신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시키거나, 배리어막을 통해 접촉하도록 함으로써 기존의 드레인전극이 차지하였던 면적이 투과영역으로 보상되어 개구 영역이 확장되고, 그로 인해 소자의 투과율이 증가된다.

[0029] 또한, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면,신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시킴으로써, 화소전극과 배리어막, 즉 저저항 접촉층(ohmic contact layer)과의 접촉 문제를 해결할 수 있다.

도면의 간단한 설명

[0030] 도 1은 종래기술에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 평면도이다.

도 2는 도 1의 Ⅱ-Ⅱ선에 따른 단면도로서, 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 개략적인 단면도이다.

도 3은 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 평면도이다.

도 4는 도 3의 Ⅳ-Ⅳ선에 따른 단면도로서, 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

도 5a 내지 5p는 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도들이다.

도 6은 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

도 7a 내지 7n는 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도들이다.

도 8은 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

도 9a 내지 9n는 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도들이다.

도 10은 본 발명의 제4 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

도 11은 본 발명의 제5 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0032] 도 3은 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 평면도이다.

[0033] 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판 은, 도 3에 도시된 바와 같이, 투명한 절연기판(미도시, 도 4의 101 참조) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(103a)과; 상기 게이트배선(103a)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(111a)과; 상기 게이트배선(103a)과 데이터배선(111a)의 교차지점에 마련되고, 게이트전극(103a)과 액티브층(미도시, 도 4의 107a)과 소스전극(111b)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.

[0034] 여기서, 상기 게이트배선(103a)과 데이터배선(111a)이 교차하여 이루는 화소영역에는 대면적의 화소전극(123a)이 배치되어 있다. 이때, 상기 화소전극(123a)은 상기 액티브층(107a) 상부에 형성된 배리어막, 즉 저저항 접촉층(109a)과 접촉되어 있다. 또한, 상기 화소전극(123a)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다.

[0035] 그리고, 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이기판에는 별도의 드레인전극이 형성되지 않는다.

[0036] 도 4는 도 3의 Ⅳ-Ⅳ선에 따른 단면도로서, 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

[0037] 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이 기판은, 도 4에 도시된 바와 같이, 투명한 절연기판(101) 상부에 형성된 불투명한 게이트 전극(103b)과, 상기 게이트전극(103b) 상부에 형성된 게이트절연막(105)과, 상기 게이트절연막(105) 상부에 형성된 액티브층(107a)과, 상기 게이트전극(103b)과 대응하는 영역에서 상기 액티브층(107a)의 채널 영역을 노출시키며 이 채널영역을 기준으로 일측에 형성된 불투명한 소스전극(111b)과, 상기 소스전극(111b)과 액티브층(107a) 간의 계면 및 상기 액티브층(107a)의 채널영역을 기준으로 타측에 형성된 배리어막(barrier layer; 109a)을 포함한다.

[0038] 또한, 상기 소스전극(111b)과 배리어막(109a)을 포함한 기판 전면에는 보호막(117)이 형성되어 있으며, 상기 보호막(117)에는 상기 배리어막(109a)을 노출시키는 콘택홀(121)이 형성되어 있으며, 상기 노출된 배리어막(109a)을 통해 상기 액티브층(107a)과 접촉하는 화소전극(123a)이 형성되어 있다. 이때, 상기 화소전극 (123a)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다. 즉, 본 발명의 제1 실시 예에 따른 박막트랜지스터(T) 구조에서는 기존에 형성하였던 드레인전극이 형성되지 않는다.

[0039] 그리고, 상기 게이트전극(103b)과 소스전극(111b)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조가 사용된다.

[0040] 더욱이, 상기 액티브층(107a)의 재질로는, 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용된다.

[0041] 한편, 상기 배리어막(109a)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다. 또한, 상기 배리어막(109a)의 재질로는, n+ 불순물이 함유된 비정질 실리콘을 사용할 수도 있다.

[0042] 따라서, 본 발명의 경우에 기존에 형성하였던 드레인전극이 제거됨으로 인해, 이 드레인전극이 차지하였던 영역이 개구 영역으로 보상됨으로써 그만큼 개구 영역이 확장되어 소자의 투과율이 상승하게 된다.

[0043] 또한, 도 4에 도시된 바와 같이, 광차단영역(S2)은 게이트전극(103b)과 소스전극(111b)에 형성되지만, 광투과영역(P2)은 드레인전극이 제거된 영역을 포함한 화소전극(123a) 전체에 형성되므로, 그만큼 기존에 비해 광투과영역(P2)이 확장된다. 즉, 기존의 광투과영역(P1)은 게이트전극, 소스전극 및 드레인전극이 형성된 영역을 제외한 화소전극 영역에만 해당하지만, 본 발명의 경우에는 드레인전극이 제거된 영역을 포함한 화소전극 전 영역이 광투과영역(P2)에 해당하기 때문에, 그만큼 기존보다는 투과영역이 확장되게 된다.

[0044] 상기와 같은 구성으로 이루어진 본 발명에 따른 박막 트랜지스터 어레이기판은 TN (Twisted Nematic), IPS(In-Plane Switching), FFS(Fringe Field Switchig), VA(Vertical Align) 모드의 구동방식을 이용하는 표시장치에 모두 적용가능하다.

[0045] 한편, 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조방법에 대해 도 5a 내지 5p를 참조하여 설명하면 다음과 같다.

[0046] 도 5a 내지 5p는 본 발명의 제1 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도

들이다.

[0047] 도 5a에 도시된 바와 같이, 투명한 절연기판(101) 상에 스위칭 영역을 포함하는 다수의 화소영역이 정의하고, 상기 투명한 절연기판(101) 상에 제1 금속층 (103)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 금속층(103)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리 (Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄 (Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0048] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 금속층(103) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제1 감광막(104)을 형성한다.

[0049] 이어서, 포토리소그라피 공정기술을 이용하여 상기 제 1 감광막(104)을 노광한 후 현상공정을 통해 상기 제1 감광막(104)을 선택적으로 제거하여 제1 감광막패턴(104a)을 형성한다.

[0050] 그 다음, 도 5b에 도시된 바와 같이, 상기 제1 감광막패턴(104a)을 차단막으로 하여 상기 제1 금속층(103)을 식각하여, 게이트배선(미도시, 도 3의 103a 참조)과, 이 게이트배선(103a)으로부터 연장된 게이트전극(103b)을 형성한다.

[0051] 이어서, 도 5c에 도시된 바와 같이, 상기 제1 감광막패턴(104a)을 제거한 후 상기 게이트전극(103b)을 포함한 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO_2)으로 이루어진 게이트절연막(105)을 형성하고, 상기 게이트절연막(105) 상에 반도체층(107), 배리어막(109) 및 제2 금속층(111)를 차례로 적층한다. 이때, 상기 반도체층(107)의 재질로는 비정질실리콘(a-Si:H)을 포함한 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나를 사용한다.

[0052] 또한, 상기 배리어막(109)의 재질로는, n+ 불순물이 함유된 비정질 실리콘, 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다.

[0053] 그리고, 상기 제2 금속층(111)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0054] 그 다음, 도 5d에 도시된 바와 같이, 상기 제2 금속층(111) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제2 감광막(113)을 형성한다.

[0055] 이어서, 회절마스크를 이용한 포토리소그라피 공정기술을 통해 상기 제2 감광막(113)에 노광 공정을 진행한다. 이때, 상기 회절마스크로는 하프톤마스크(Half-Tone mask) 또는 슬릿마스크(slit mask)가 사용되는데, 본 발명에서는 하프톤 마스크를 사용한 경우를 예로 들어 설명한다.

[0056] 도 5d에 도시된 하프톤 마스크(115)는 투명기판(115d)과, 이 투명기판(115d)에 형성된 광차단막패턴(115a)과 제1 및 2 반투과막패턴(115b, 115c)들로 구성된다. 이때, 상기 광차단막패턴(115a)은 크롬막으로 구성되며, 상기 제1 및 2 반투과막패턴(115b, 115c)들은 크롬산화막으로 구성된다. 또한, 상기 제1 및 2 반투과막패턴(115b, 115c)들은 투과한 광이 회절 현상에 의해 광량이 줄어 투과될 수 있도록 서로 다른 두께를 갖는데, 상기 제1 반투과막패턴(115b)은 상기 제2 반투과막패턴(115c)보다 조금 두껍게 형성된다. 따라서, 상기 제1 반투과막패턴(115b)을 통해 투과되는 광은 상기 제2 반투과막패턴(115b)을 통해 투과되는 광보다 적다.

[0057] 여기서, 상기 하프톤 마스크(115)은 상기 제2 감광막(113) 상측에 배치되는데, 상기 광차단막패턴(115a)은 소스전극이 형성될 지역과 대응되며, 상기 제1 반투과막패턴(115b)은 더미전극이 형성될 영역에 대응되며, 상기 제2 반투과막패턴(115c)은 채널영역에 대응된다.

[0058] 그 다음, 도 5e에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제2 감광막(113)을 식각하여 제2 감광막패턴(113a, 113b, 113c)을 형성한다. 이때, 상기 제2 감광막패턴의 제1 영역(113a)은 소스전극 형성될 지역에 위치하고, 제2 영역(113b)은 더미패턴이 형성될 지역에 위치하며, 제3 영역(113c)은 채널영역이 형성될 위치에 형성된다. 또한, 상기 제2 영역(113b)의 두께는 제1 영역(113a)의 두께보다 얇고, 상기 제3 영역(113c)의 두께는 상기 제2 영역(113b)의 두께보다 얇게 형성된다.

[0059] 이어서, 도 5f에 도시된 바와 같이, 상기 제2 감광막패턴(113a, 113b, 113c)을 식각 마스크로 상기 제2 금속층(111), 배리어막(109) 및 반도체층(107)을 순차적으로 식각하여, 상기 게이트전극(103b)에 대응하는 게이트절연

막(105) 상부에 액티브층(107a)과 배리어막패턴(109a)을 형성한다.

[0060] 그 다음, 도 5g에 도시된 바와 같이, 1차 애싱(ashing) 공정을 통해 상기 채널영역과 대응하는 제2 감광막패턴의 제3 영역(113c)을 제거하여 상기 채널영역과 대응하는 위치에 있는 제2 금속층(111) 상부를 노출시킨다.

[0061] 이어서, 도 5h에 도시된 바와 같이, 남아 있는 제2 감광막패턴의 제1 및 2 영역(113a, 113b)을 식각 마스크로, 상기 노출된 제2 금속층(111) 부위를 식각하여, 상기 게이트배선(미도시, 도 3의 103a 참조)과 교차되게 배치되는 데이터배선(미도시, 도 3의 111a 참조)과 함께 서로 이격된 소스전극(111b) 및 더미패턴(111c)을 각각 형성한다. 이때, 상기 서로 이격된 소스전극(111b) 및 더미패턴(111c) 사이에 있는 배리어막(109a)의 일부가 외부로 노출된다.

[0062] 그 다음, 상기 소스전극(111b) 및 더미패턴(111c) 사이에 노출된 배리어막(109a) 부분도 추가로 식각하여 이격시킨다. 이때, 상기 이격된 배리어막패턴(109a) 하부에 있는 액티브층(107a)에는 채널영역이 형성된다.

[0063] 이어서, 도 5i에 도시된 바와 같이, 2차 애싱(ashing) 공정을 통해 상기 더미패턴(111c) 상부에 남아 있는 제2 감광막패턴의 제2 영역(113b)을 식각하여, 상기 더미패턴(111c)을 노출시킨다.

[0064] 이어서, 남아 있는 상기 제2 감광막패턴의 제1 영역(113a)을 식각 마스크로, 상기 더미패턴(111c)을 식각하여 배리어막패턴(109a)을 노출시킨다.

[0065] 그 다음, 도 5j에 도시된 바와 같이, 상기 제2 감광막패턴의 제1 영역(113a)을 완전히 제거한다.

[0066] 이어서, 도 5k에 도시된 바와 같이, 상기 소스전극(111b)과 외부로 노출된 배리어막패턴(109a)을 포함한 기판 전면에 질화실리콘(SiNx) 및 실리콘산화막(SiO_2)을 포함하는 무기절연물질 또는 유기절연물질 중에서 어느 하나로 이루어진 보호막(117)을 화학기상 증착법으로 증착한다.

[0067] 그 다음, 상기 보호막(117) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(119)을 형성한다.

[0068] 이어서, 도 5l에 도시된 바와 같이, 노광마스크(미도시)에 의한 포토리소그라피 공정기술을 이용하여 상기 제3 감광막(119)을 노광한 후 현상공정을 통해 상기 제3 감광막(119)을 선택적으로 제거하여 제3 감광막패턴(119a)을 형성한다.

[0069] 그 다음, 도 5m에 도시된 바와 같이, 상기 제3 감광막패턴(119a)을 식각 마스크로 상기 보호막(117)을 선택적으로 식각하여, 상기 노출된 배리어막패턴(109a)을 노출시키는 콘택홀(121)을 형성한다.

[0070] 이어서, 도 5n에 도시된 바와 같이, 상기 제3 감광막패턴(119a)을 제거한 후, 상기 콘택홀(121)을 포함한 보호막(117) 상부에 투명 도전물질을 스퍼터링 방법으로 증착하여 투명 도전물질층(123)을 증착한다. 이때, 상기 투명 도전물질층(123)의 재질로는 ITO, ZnO 를 포함한 투명 도전물질 중에서 어느 하나를 사용한다.

[0071] 그 다음, 상기 투명 도전물질층(123) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제4 감광막(125)을 형성한다.

[0072] 이어서, 도 5o에 도시된 바와 같이, 노광마스크(미도시)에 의한 포토리소그라피 공정기술을 이용하여 상기 제4 감광막(125)을 노광한 후 현상공정을 통해 상기 제4 감광막(125)을 선택적으로 제거하여 제4 감광막패턴(125a)을 형성한다.

[0073] 그 다음, 도 5p에 도시된 바와 같이, 상기 제4 감광막패턴(125a)을 식각 마스크로 상기 투명 도전물질층(123) 선택적으로 식각하여 상기 콘택홀(121)을 통해상기 배리어막패턴(109a)과 전기적으로 연결되는 화소전극(123a)을 형성한다. 이때, 상기 화소전극(123a)은 상기 배리어막패턴(109a)을 통해 상기 액티브층(107a)와 전기적으로 연결되는데, 상기 화소전극(123a)은 드레인전극의 역할도 함께 수행한다.

[0074] 따라서, 기판 하부에서 입사되는 광은 상기 배리어막패턴(109a) 지역을 포함한 화소전극(123a) 전체를 투과한다. 즉, 기존에는 상기 배리어막패턴(109a) 상부에 불투명한 드레인전극이 형성되어 있어, 이 드레인전극을 통해서는 기판 하부에서 입사되는 광이 차단되었지만, 본 발명에서는 드레인전극을 형성하지 않고, 화소전극(123a)이 드레인전극 역할을 수행하도록 함으로써, 드레인전극이 있던 지역이 투과영역으로 보상되어 투과영역이 확장되므로, 그만큼 투과율이 증가된다.

[0075] 이어서, 상기 제4 감광막패턴(125a)을 제거함으로써 본 발명의 제1 실시 예에 따른 액정표시장치용 어레이기판 제조공정을 완료하게 된다.

[0076] 상기한 바와 같이, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면, 신호 전달을 위한 금속배선 형성시에 드레인전극 없이 배리어막을 통해 화소전극과 액티브층을 접촉하도록 함으로써 기존의 드레인 전극이 차지하였던 면적이 투과영역으로 보상되어 개구 영역이 확장되고, 그로 인해 소자의 투과율이 증가된다.

[0077] 또한, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면,신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시킴으로써, 화소전극과 배리어막, 즉 저저항 접촉층(ohmic contact layer)과의 접촉 문제를 해결할 수 있다.

[0078] 한편, 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판에 대해 도 6을 참조하여 설명하면 다음과 같다.

[0079] 도 6은 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

[0080] 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이 기판은, 도 6에 도시된 바와 같이, 투명한 절연기판(201) 상부에 형성된 불투명한 게이트 전극(203a)과, 상기 게이트전극(203a) 상부에 형성된 게이트절연막(205)과, 상기 게이트절연막(205) 상부에 형성된 액티브층(207a)과, 상기 게이트전극(203a)과 대응하는 영역에서 상기 액티브층(207a)의 채널 영역을 노출시키며 이 채널영역을 기준으로 일측에 형성된 불투명한 소스전극(211a)과, 상기 소스전극(211a)과 액티브층(207a) 간의 계면 및 상기 액티브층(207a)의 채널영역을 기준으로 타측에 형성된 배리어막(barrier layer; 209a)을 포함한다.

[0081] 또한, 상기 소스전극(211a)과 이격되어 노출된 상기 배리어막(209a)을 포함한 액티브층(207a) 및 게이트절연막(205) 상부에는 화소전극(217a)이 형성되어, 상기 배리어막(209a)과 직접 연결되어 있으며, 상기 화소전극(217a)과 소스전극 (211a)을 포함한 기판 전면에는 보호막(221)이 형성되어 있다.

[0082] 이때, 상기 화소전극(217a)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다. 즉, 본 발명의 제2 실시 예에 따른 박막트랜지스터(T) 구조에서는 기존에 형성하였던 드레인전극이 형성되지 않는다.

[0083] 그리고, 상기 게이트전극(203a)과 소스전극(211a)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조가 사용된다.

[0084] 더욱이, 상기 액티브층(207a)의 재질로는, 비정질 실리콘을 포함한 실리콘 (Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용된다.

[0085] 한편, 상기 배리어막(209a)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다. 또한, 상기 배리어막(209a)의 재질로는, n+ 불순물이 함유된 비정질 실리콘을 사용할 수도 있다.

[0086] 따라서, 본 발명의 경우에 기존에 형성하였던 드레인전극이 제거됨으로 인해, 이 드레인전극이 차지하였던 영역이 개구 영역으로 보상됨으로써 그만큼 개구 영역이 확장되어 소자의 투과율이 상승하게 된다.

[0087] 또한, 도 6에 도시된 바와 같이, 광차단영역(S2)은 게이트전극(203a)과 소스전극(211a)을 포함하지만, 광투과영역(P2)은 드레인전극이 제거된 영역을 포함한 화소전극(217a) 전체를 포함하므로, 그만큼 기존에 비해 광투과영역(P2)이 확장된다. 즉, 도 2에서와 같이 기존의 광투과영역(P1)은 게이트전극, 소스전극 및 드레인전극이 형성된 영역을 제외한 화소전극 영역에만 해당하지만, 본 발명의 경우에는 드레인전극이 제거된 영역을 포함한 화소전극 전 영역이 광투과영역(P2)에 해당하기 때문에, 그만큼 기존보다는 투과영역이 확장된다.

[0088] 상기와 같은 구성으로 이루어진 본 발명에 따른 박막 트랜지스터 어레이기판은 TN (Twisted Nematic), IPS(In-Plane Switching), FFS(Fringe Field Switchig), VA(Vertical Align) 모드의 구동방식을 이용하는 표시장치에 모두 적용가능하다.

[0089] 한편, 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조방법에 대해 도 7a 내지 7o를 참조하여 설명하면 다음과 같다.

[0090] 도 7a 내지 7o는 본 발명의 제2 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도들이다.

[0091] 도 7a에 도시된 바와 같이, 투명한 절연기판(201) 상에 스위칭 영역을 포함하는 다수의 화소영역이 정의하고,

상기 투명한 절연기판(201) 상에 제1 금속층 (203)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 금속층(203)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리 (Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄 (Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0092] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 금속층(203) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막(204)을 형성한다.

[0093] 이어서, 포토리소그라피 공정기술을 이용하여 상기 제 1 감광막(204)을 노광한 후 현상공정을 통해 상기 제1 감광막(204)을 선택적으로 제거하여 제1 감광막패턴(204a)을 형성한다.

[0094] 그 다음, 도 7b에 도시된 바와 같이, 상기 제1 감광막패턴(204a)을 차단막으로 하여 상기 제1 금속층(203)을 식각하여, 게이트배선(미도시)과, 이 게이트배선(미도시)으로부터 연장된 게이트전극(103a)을 형성한다.

[0095] 이어서, 도 7c에 도시된 바와 같이, 상기 제1 감광막패턴(204a)을 제거한 후 상기 게이트전극(203a)을 포함한 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO_2)으로 이루어진 게이트절연막(205)을 형성하고, 상기 게이트절연막(205) 상에 반도체층(207), 배리어막(209) 및 제2 금속층(211)를 차례로 적층한다. 이때, 상기 반도체층(207)의 재질로는 비정질실리콘(a-Si:H)을 포함한 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나를 사용한다.

[0096] 또한, 상기 배리어막(209)의 재질로는, n+ 불순물이 함유된 비정질 실리콘, 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다.

[0097] 그리고, 상기 제2 금속층(211)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0098] 그 다음, 도 7d에 도시된 바와 같이, 상기 제2 금속층(211) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제2 감광막(213)을 형성한다.

[0099] 이어서, 회절마스크를 이용한 포토리소그라피 공정기술을 통해 상기 제2 감광막(213)에 노광 공정을 진행한다. 이때, 상기 회절마스크로는 하프톤마스크(Half -Tone mask) 또는 슬릿마스크(slit mask)가 사용되는데, 본 발명에서는 하프톤 마스크를 사용한 경우를 예로 들어 설명한다.

[0100] 도 7d에 도시된 하프톤 마스크(215)는 투명기판(215d)과, 이 투명기판(215d)에 형성된 광차단막패턴(215a)과 제1 및 2 반투과막패턴(215b, 215c)들로 구성된다. 이때, 상기 광차단막패턴(115a)은 크롬막으로 구성되며, 상기 제1 및 2 반투과막패턴(215b, 215c)들은 크롬산화막으로 구성된다. 또한, 상기 제1 및 2 반투과막패턴(215b, 215c)들은 투과한 광이 회절 현상에 의해 광량이 줄어 투과될 수 있도록 서로 다른 두께를 갖는데, 상기 제1 반투과막패턴(215b)은 상기 제2 반투과막패턴(215c)보다 조금 두껍게 형성된다. 따라서, 상기 제1 반투과막패턴(215b)을 통해 투과되는 광은 상기 제2 반투과막패턴(215c)을 통해 투과되는 광보다 적다.

[0101] 여기서, 상기 하프톤 마스크(215)은 상기 제2 감광막(213) 상측에 배치되는데, 상기 광차단막패턴(215a)은 소스전극이 형성될 지역과 대응되며, 상기 제1 반투과막패턴(215b)은 더미전극이 형성될 영역에 대응되며, 상기 제2 반투과막패턴(215c)은 채널영역에 대응된다.

[0102] 그 다음, 도 7e에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제2 감광막(213)을 식각하여 제2 감광막패턴(213a, 213b, 213c)을 형성한다. 이때, 상기 제2 감광막패턴의 제1 영역(213a)은 소스전극 형성될 지역에 위치하고, 제2 영역(213b)은 더미전극이 형성될 지역에 위치하며, 제3 영역(213c)은 채널영역이 형성될 위치에 형성된다. 또한, 상기 제2 영역(213b)의 두께는 제1 영역(213a)의 두께보다 얇고, 상기 제3 영역(213c)의 두께는 상기 제2 영역(213b)의 두께보다 얇게 형성된다.

[0103] 이어서, 도 7f에 도시된 바와 같이, 상기 제2 감광막패턴(213a, 213b, 213c)을 식각 마스크로 상기 제2 금속층(211), 배리어막(209) 및 반도체층(207)을 순차적으로 식각하여, 상기 게이트전극(203b)에 대응하는 게이트절연막(205) 상부에 액티브층(207a)과 배리어막패턴(209a)을 형성한다.

[0104] 그 다음, 도 7g에 도시된 바와 같이, 1차 애싱(ashing) 공정을 통해 상기 채널영역과 대응하는 제2 감광막패턴의 제3 영역(213c)을 제거하여 상기 채널영역과 대응하는 위치에 있는 제2 금속층(211) 상부를 노출시킨다.

[0105] 이어서, 도 7h에 도시된 바와 같이, 남아 있는 제2 감광막패턴의 제1 및 2 영역(213a, 213b)을 식각 마스크로, 상기 노출된 제2 금속층(211) 부분을 식각하여, 상기 게이트배선(미도시)과 교차되게 배치되는 데이터배선(미도시)과 함께 서로 이격된 소스전극(211a) 및 더미패턴(211b)을 각각 형성한다. 이때, 상기 서로 이격된 소스전극(111a) 및 더미패턴(111b) 사이에 있는 배리어막(209a)의 일부가 외부로 노출된다.

[0106] 그 다음, 상기 소스전극(211b) 및 더미패턴(211c) 사이에 노출된 배리어막(209a) 부분도 추가로 식각하여 이격시킨다. 이때, 상기 이격된 배리어막패턴(209a) 하부에 있는 액티브층(207a)에는 채널영역이 형성된다.

[0107] 이어서, 도 7i에 도시된 바와 같이, 2차 애싱(ashing) 공정을 통해 상기 더미패턴(211b) 상부에 남아 있는 제2 감광막패턴의 제2 영역(213b)을 식각하여, 상기 더미패턴(211b)을 노출시킨다.

[0108] 이어서, 남아 있는 상기 제2 감광막패턴의 제1 영역(213a)을 식각 마스크로, 상기 더미패턴(211b)을 식각하여 배리어막패턴(209a)을 노출시킨다.

[0109] 그 다음, 도 7j에 도시된 바와 같이, 상기 제2 감광막패턴의 제1 영역(213a)을 완전히 제거한다.

[0110] 이어서, 도 7k에 도시된 바와 같이, 상기 소스전극(211a)과 배리어막패턴(209a)을 포함한 기판 전면에 투명 도전물질을 스퍼터링 방법으로 증착하여 투명 도전물질층(217)을 증착한다. 이때, 상기 투명 도전물질층(217)의 재질로는 ITO, ZnO 를 포함한 투명 도전물질 중에서 어느 하나를 사용한다.

[0111] 그 다음, 상기 투명 도전물질층(217) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제3 감광막(219)을 형성한다.

[0112] 이어서, 도 7l에 도시된 바와 같이, 노광마스크(미도시)에 의한 포토리소그라피 공정기술을 이용하여 상기 제3 감광막(219)을 노광한 후 현상공정을 통해 상기 제3 감광막(219)을 선택적으로 제거하여 제3 감광막패턴(219a)을 형성한다.

[0113] 그 다음, 도 7m에 도시된 바와 같이, 상기 제3 감광막패턴(219a)을 식각 마스크로 상기 투명 도전물질층(217)을 선택적으로 식각하여, 화소전극(217a)을 형성한다. 이때, 상기 화소전극(217a)은 상기 배리어막패턴(209a)을 통해 상기 액티브층(207a)와 전기적으로 연결되는데, 상기 화소전극(217a)은 드레인전극의 역할도 함께 수행한다.

[0114] 따라서, 기판 하부에서 입사되는 광은 상기 배리어막패턴(209a) 지역을 포함한 화소전극(217a) 전체를 투과한다. 즉, 기존에는 상기 배리어막패턴(209a) 상부에 불투명한 드레인전극이 형성되어 있어, 이 드레인전극을 통해서는 기판 하부에서 입사되는 광이 차단되었지만, 본 발명에서는 드레인전극을 형성하지 않고, 화소전극(217a)이 드레인전극 역할을 수행하도록 함으로써, 드레인전극이 있던 지역이 투과영역으로 보상되어 투과영역이 확장되므로, 그만큼 투과율이 증가된다.

[0115] 이어서, 도 7n에 도시된 바와 같이, 상기 제3 감광막패턴(219a)을 제거하고, 상기 화소전극(217a)을 포함한 기판 전면에 질화실리콘(SiNx) 및 실리콘산화막(SiO_2)을 포함하는 무기절연물질 또는 유기절연물질 중에서 어느 하나로 이루어진 보호막(221)을 형성함으로써 본 발명의 제2 실시 예에 따른 액정표시장치용 어레이기판 제조공정을 완료한다.

[0116] 상기한 바와 같이, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면, 신호 전달을 위한 금속배선 형성시에 드레인전극 없이 배리어막을 통해 화소전극과 액티브층을 접촉하도록 함으로써 기존의 드레인전극이 차지하였던 면적이 투과영역으로 보상되어 개구 영역이 확장되고, 그로 인해 소자의 투과율이 증가된다.

[0117] 또한, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면,신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시킴으로써, 화소전극과 배리어막, 즉 저저항 접촉층(ohmic contact layer)과의 접촉 문제를 해결할 수 있다.

[0118] 또 한편, 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판에 대해 도 8을 참조하여 설명하면 다음과 같다.

[0119] 도 8은 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

[0120] 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이 기판은, 도 8에 도시된 바와 같이, 투명한 절연기판(301) 상부에 형성된 불투명한 게이트 전극(303a)과, 상기 게이트전극(303a) 상부에 형성된 게이트절연막(305)과, 상기 게이트절연막(305) 상부에 형성된 액티브층(307a)과, 상기 게이트전극(303a)과 대응하는 영역에서 상기 액티브층(307a)의 채널 영역을 노출시키며 이 채널영역을 기준으로 일측에 형성된 불투명한 소스

전극(313a)과, 상기 소스전극(313a)과 액티브층(307a) 간의 계면에 형성된 배리어막(barrier layer; 311a), 및 상기 액티브층 (307a)의 채널영역을 기준으로 상기 액티브층(307a)의 타측 상부에 형성된 화소전극(311b)을 포함한다.

[0121] 여기서, 상기 화소전극(311b)은 상기 액티브층(307a)의 타측 상부를 포함한 게이트절연막(305) 상부에 걸쳐 형성된다. 이때, 상기 화소전극(311b)은 도면에는 도시하지 않았지만, 게이트배선(미도시)과 데이터배선(미도시)이 교차하여 이루는 화소영역에 형성된다.

[0122] 상기 화소전극(311b)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다. 즉, 본 발명의 제3 실시 예에 따른 박막트랜지스터(T) 구조에서는 기존에 형성하였던 드레인전극이 형성되지 않는다.

[0123] 또한, 상기 게이트전극(303a)과 소스전극(313a)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조가 사용된다.

[0124] 더욱이, 상기 액티브층(307a)의 재질로는, 비정질 실리콘을 포함한 실리콘 (Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용된다.

[0125] 한편, 상기 배리어막(311a) 및 화소전극(311b)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다. 또한, 상기 배리어막(209a)의 재질로는, n+ 불순물이 함유된 비정질 실리콘을 사용할 수도 있다.

[0126] 따라서, 본 발명의 경우에 기존에 형성하였던 드레인전극이 제거됨으로 인해, 이 드레인전극이 차지하였던 영역이 개구 영역으로 보상됨으로써 그만큼 개구 영역이 확장되어 소자의 투과율이 상승하게 된다.

[0127] 또한, 도 8에 도시된 바와 같이, 광차단영역(S2)은 게이트전극(303a)과 소스전극(313a)을 포함하지만, 광투과영역(P2)은 드레인전극이 제거된 영역을 포함한 화소전극(311b) 전체를 포함하므로, 그만큼 기존에 비해 광투과영역(P2)이 확장된다. 즉, 도 2에서와 같이 기존의 광투과영역(P1)은 게이트전극, 소스전극 및 드레인전극이 형성된 영역을 제외한 화소전극 영역에만 해당하지만, 본 발명의 경우에는 드레인전극이 제거된 영역을 포함한 화소전극 전 영역이 광투과영역(P2)에 해당하기 때문에, 그만큼 기존보다는 투과영역이 확장된다.

[0128] 상기와 같은 구성으로 이루어진 본 발명에 따른 박막 트랜지스터 어레이기판은 TN (Twisted Nematic), IPS(In-Plane Switching), FFS(Fringe Field Switchig), VA(Vertical Align) 모드의 구동방식을 이용하는 표시장치에 모두 적용가능하다.

[0129] 한편, 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조방법에 대해 도 9a 내지 7o를 참조하여 설명하면 다음과 같다.

[0130] 도 9a 내지 9n은 본 발명의 제3 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 제조공정 단면도들이다.

[0131] 도 9a에 도시된 바와 같이, 투명한 절연기판(301) 상에 스위칭 영역을 포함하는 다수의 화소영역이 정의하고, 상기 투명한 절연기판(301) 상에 제1 금속층 (303)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 금속층(303)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리 (Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄 (Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0132] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 금속층(303) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막(304)을 형성한다.

[0133] 이어서, 노광마스크(미도시)에 의한 포토리소그라피 공정기술을 이용하여 상기 제 1 감광막(304)을 노광한 후 현상공정을 통해 상기 제1 감광막(304)을 선택적으로 제거하여 제1 감광막패턴(304a)을 형성한다.

[0134] 그 다음, 도 9b에 도시된 바와 같이, 상기 제1 감광막패턴(304a)을 차단막으로 하여 상기 제1 금속층(303)을 식각하여, 게이트배선(미도시)과, 이 게이트배선(미도시)으로부터 연장된 게이트전극(303a)을 형성한다.

[0135] 이어서, 도 9c에 도시된 바와 같이, 상기 제1 감광막패턴(304a)을 제거한 후 상기 게이트전극(303a)을 포함한 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO_2)으로 이루어진 게이트절연막(305)과 반도체층(307)을 차

례로 증착한다. 이때, 상기 반도체층(307)의 재질로는 비정질실리콘(a-Si:H)을 포함한 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나를 사용한다.

[0136] 그 다음, 상기 반도체층(307) 상부에 투과율이 높은 포토레지스트 (photo -resist) 를 도포하여 제2 감광막(309)을 형성한다.

[0137] 이어서, 도 9d에 도시된 바와 같이, 노광마스크(미도시)에 의한 포토리소그라피 공정기술을 이용하여 상기 제 2 감광막(309)을 노광한 후 현상공정을 통해 상기 제2 감광막(309)을 선택적으로 제거하여 제2 감광막패턴(309a)을 형성한다.

[0138] 그 다음, 도 9e에 도시된 바와 같이, 상기 제2 감광막패턴(309a)을 식각 마스크로 상기 반도체층(307)을 선택적으로 식각하여, 액티브층(307a)을 형성한다.

[0139] 이어서, 도 9f에 도시된 바와 같이, 상기 제2 감광막패턴(309a)을 제거한 후 상기 액티브층(307a)을 포함한 기판 전면에 배리어막(311)과 제2 금속층(313)를 차례로 적층한다. 이때, 상기 배리어막(311)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다. 특히, 상기 배리어막(311)의 재질로는 투명하고, 도전성을 갖는 물질로 형성하는 것이 바람직하다.

[0140] 그리고, 상기 제2 금속층(313)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 사용되며, 적어도 1층 이상의 적층 구조로 구성된다.

[0141] 그 다음, 도 9g에 도시된 바와 같이, 상기 제2 금속층(313) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(315)을 형성한다.

[0142] 이어서, 회절마스크를 이용한 포토리소그라피 공정기술을 통해 상기 제3 감광막(315)에 노광 공정을 진행한다. 이때, 상기 회절마스크로는 하프톤마스크(Half -Tone mask) 또는 슬릿마스크(slit mask)가 사용되는데, 본 발명에서는 하프톤 마스크를 사용한 경우를 예로 들어 설명한다.

[0143] 도 9g에 도시된 하프톤 마스크(317)는 투명기판(317d)과, 이 투명기판(317d)에 형성된 광차단막패턴(317a)과 제1 및 2 반투과막패턴(317b, 317c)들로 구성된다. 이때, 상기 광차단막패턴(317a)은 불투명한 재질의 크롬막으로 구성되며, 상기 제1 및 2 반투과막패턴(317b, 317c)들은 크롬산화막으로 구성된다. 또한, 상기 제1 및 2 반투과막패턴(317b, 317c)들은 투과한 광이 회절 현상에 의해 광량이 줄어 투과될 수 있도록 서로 다른 두께를 갖는데, 상기 제1 반투과막패턴(317b)은 상기 제2 반투과막패턴(317c)보다 조금 두껍게 형성된다. 따라서, 상기 제1 반투과막패턴(317b)을 통해 투과되는 광은 상기 제2 반투과막패턴(317c)을 통해 투과되는 광보다 적다.

[0144] 여기서, 상기 하프톤 마스크(317)은 상기 제3 감광막(315) 상측에 배치되는데, 상기 광차단막패턴(317a)은 소스전극이 형성될 지역과 대응되며, 상기 제1 반투과막패턴(317b)은 화소전극이 형성될 영역에 대응되며, 상기 제2 반투과막패턴(317c)은 채널영역에 대응된다.

[0145] 그 다음, 도 9h에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제3 감광막(315)을 식각하여 제3 감광막패턴(315a, 315b, 315c)을 형성한다. 이때, 상기 제3 감광막패턴의 제1 영역(315a)은 소스전극 형성될 지역에 위치하고, 제2 영역(315b)은 화소전극이 형성될 지역에 위치하며, 제3 영역(315c)은 채널영역이 형성될 위치에 형성된다. 또한, 상기 제2 영역(315b)의 두께는 제1 영역(315a)의 두께보다 얇고, 상기 제3 영역(315c)의 두께는 상기 제2 영역(315b)의 두께보다 얇게 형성된다.

[0146] 이어서, 도 9i에 도시된 바와 같이, 상기 제3 감광막패턴(315a, 315b, 315c)을 식각 마스크로 상기 제2 금속층(313) 및 배리어막(311)을 선택적으로 식각한다.

[0147] 그 다음, 1차 애싱(ashing) 공정을 통해 상기 채널영역과 대응하는 제3 감광막패턴의 제3 영역(315c)을 제거하여 상기 채널영역과 대응하는 위치에 있는 제2 금속층(313) 상부를 노출시킨다.

[0148] 이어서, 도 9j 및 9k에 도시된 바와 같이, 남아 있는 제3 감광막패턴의 제1 및 2 영역(315, 315b)을 식각 마스크로, 상기 노출된 제2 금속층(313) 부분을 식각하여, 상기 게이트배선(미도시)과 교차되게 배치되는 데이터배선(미도시)과 함께 서로 이격된 소스전극(313a) 및 더미패턴(313b)을 각각 형성한다.

[0149] 그 다음, 서로 이격된 소스전극(313a) 및 더미패턴(313b) 사이에 노출된 배리어막(311) 부분도 추가로 식각하여 서로 이격된 배리어막패턴(311a)과 함께 화소전극(311b)을 형성한다. 이때, 상기 배리어막패턴(311a)은 상기 소

스전극(313a)과 액티브층(307a) 간의 계면에 형성되며, 상기 화소전극(311b)은 상기 액티브층 (307a)의 채널영역을 기준으로 액티브층(307a)의 타측 상부를 포함한 게이트절연막(305) 상부에 걸쳐 형성된다.

[0150] 상기 화소전극(311b)은 상기 액티브층(307a)와 직접 연결되는데, 상기 화소전극(311b)은 드레인전극의 역할도 함께 수행한다.

[0151] 따라서, 기판 하부에서 입사되는 광은 상기 화소전극(311b) 전체를 투과한다. 즉, 기존에는 상기 액티브층 상부에 불투명한 드레인전극이 형성되어 있어, 이 드레인전극을 통해서는 기판 하부에서 입사되는 광이 차단되었지만, 본 발명에서는 드레인전극을 형성하지 않고, 화소전극(311b)이 드레인전극 역할을 수행하도록 함으로써, 드레인전극이 있던 지역이 투과영역으로 보상되어 투과영역이 확장되므로, 그만큼 투과율이 증가된다.

[0152] 이어서, 2차 애싱(ashing) 공정을 통해 상기 더미패턴(313b) 상부에 남아 있는 제3 감광막패턴의 제2 영역(315b)을 전부 제거하여 상기 더미패턴(313b)을 노출시킨다.

[0153] 그 다음, 도 9m에 도시된 바와 같이, 남아 있는 상기 제3 감광막패턴의 제1 영역(315a)을 식각 마스크로 상기 더미패턴(313b)을 제거하여, 상기 화소전극(311b)을 외부로 노출시킨다.

[0154] 이어서, 도 9n에 도시된 바와 같이, 상기 제3 감광막패턴(315a)을 제거함으로써 본 발명의 제3 실시 예에 따른 액정표시장치용 어레이기판 제조공정을 완료한다.

[0155] 상기한 바와 같이, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면, 신호 전달을 위한 금속배선 형성시에 드레인전극 없이 배리어막을 통해 화소전극과 액티브층을 접촉하도록 함으로써 기존의 드레인전극이 차지하였던 면적이 투과영역으로 보상되어 개구 영역이 확장되고, 그로 인해 소자의 투과율이 증가된다.

[0156] 또한, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면,신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시킴으로써, 화소전극과 배리어막, 즉 저저항 접촉층(ohmic contact layer)과의 접촉 문제를 해결할 수 있다.

[0157] 또 한편, 본 발명의 제4 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판에 대해 도 10을 참조하여 설명하면 다음과 같다.

[0158] 도 10은 본 발명의 제4 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

[0159] 본 발명의 제4 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이 기판은, 도 10에 도시된 바와 같이, 투명한 절연기판(401) 상부에 형성된 불투명한 게이트 전극(403a)과, 상기 게이트전극(403a) 상부에 형성된 게이트절연막(405)과, 상기 게이트절연막(405) 상부에 형성된 액티브층(407a)과, 상기 게이트전극(403a)과 대응하는 영역에서 상기 액티브층(407a)의 채널 영역을 노출시키며 이 채널영역을 기준으로 일측에 형성된 불투명한 소스전극(417a)과, 상기 소스전극(417a)과 액티브층(407a) 간의 계면 및 상기 액티브층(407a)의 채널영역을 기준으로 타측에 형성된 배리어막(barrier layer; 415a)을 포함한다.

[0160] 또한, 상기 소스전극(417a)과 배리어막(415a)을 포함한 기판 전면에는 보호막(423)이 형성되어 있으며, 상기 보호막(423)에는 상기 배리어막(415a)을 노출시키는 콘택홀(미도시)이 형성되어 있으며, 상기 노출된 배리어막(415a)을 통해 상기 액티브층(407a)과 접촉하는 화소전극(429a)이 형성되어 있다. 이때, 상기 화소전극 (429a)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다. 즉, 본 발명의 제4 실시 예에 따른 박막트랜지스터(T) 구조에서는 기존에 형성하였던 드레인전극이 형성되지 않는다.

[0161] 그리고, 상기 액티브층(407a)의 채널영역 상부에는 식각정지막(411a)이 형성되어 있다.

[0162] 더욱이, 상기 배리어막(415a)은 상기 액티브층(407a)의 채널영역 상부에 형성된 식각정지막(411a)을 기준으로 이격되어 있으며, 상기 이격된 배리어막(415a)의 일측에는 소스전극(417a)이 형성되어 있으며, 상기 배리어막(415a)의 타측에는 화소전극(429a)이 연결되어 있다.

[0163] 이때, 상기 게이트전극(403a)과 소스전극(417a)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조가 사용된다.

[0164] 더욱이, 상기 액티브층(407a)의 재질로는, 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용된다.

[0165] 한편, 상기 배리어막(415a)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc),

코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다. 또한, 상기 배리어막(415a)의 재질로는, n+ 불순물이 함유된 비정질 실리콘을 사용할 수도 있다.

[0166] 따라서, 본 발명의 경우에 기존에 형성하였던 드레인전극이 제거됨으로 인해, 이 드레인전극이 차지하였던 영역이 개구 영역으로 보상됨으로써 그만큼 개구 영역이 확장되어 소자의 투과율이 상승하게 된다.

[0167] 또한, 도 10에 도시된 바와 같이, 광차단영역(S2)은 게이트전극(403a)과 소스전극(417a)에 형성되지만, 광투과영역(P2)은 드레인전극이 제거된 영역을 포함한 화소전극(429a) 전체에 형성되므로, 그만큼 기존에 비해 광투과영역(P2)이 확장된다. 즉, 기존의 광투과영역(P1)은 게이트전극, 소스전극 및 드레인전극이 형성된 영역을 제외한 화소전극 영역에만 해당하지만, 본 발명의 경우에는 드레인전극이 제거된 영역을 포함한 화소전극 전 영역이 광투과영역(P2)에 해당하기 때문에, 그만큼 기존보다는 투과영역이 확장되게 된다.

[0168] 상기와 같은 구성으로 이루어진 본 발명에 따른 박막 트랜지스터 어레이기판은 TN (Twisted Nematic), IPS(In-Plane Switching), FFS(Fringe Field Switchig), VA(Vertical Align) 모드의 구동방식을 이용하는 표시장치에 모두 적용가능하다.

[0169] 또 한편, 본 발명의 제5 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판에 대해 도 11을 참조하여 설명하면 다음과 같다.

[0170] 도 11은 본 발명의 제5 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이기판의 개략적인 단면도이다.

[0171] 본 발명의 제5 실시 예에 따른 액정표시장치용 박막트랜지스터 어레이 기판은, 도 11에 도시된 바와 같이, 투명한 절연기판(501) 상부에 형성된 불투명한 게이트 전극(503a)과, 상기 게이트전극(503a) 상부에 형성된 게이트절연막(505)과, 상기 게이트절연막(505) 상부에 형성된 액티브층(507a)과, 상기 게이트전극(503a)과 대응하는 영역에서 상기 액티브층(507a)의 채널 영역을 노출시키며 이 채널영역을 기준으로 일측에 형성된 불투명한 소스전극(517a)과, 상기 소스전극(517a)과 액티브층(507a) 간의 계면에 형성된 배리어막(515a) 및 상기 액티브층(507a)의 채널영역을 기준으로 상기 액티브층(507a)의 타측 상부에 형성된 화소전극(515b)을 포함한다.

[0172] 여기서, 상기 화소전극(515b)은 상기 액티브층(507a)의 타측 상부를 포함한 게이트절연막(505) 상부에 걸쳐 형성된다. 이때, 상기 화소전극(515b)은 도면에는 도시하지 않았지만, 게이트배선(미도시)과 데이터배선(미도시)이 교차하여 이루는 화소영역에 형성된다.

[0173] 상기 화소전극(515b)은 박막트랜지스터(T)의 드레인전극 역할도 함께 수행한다. 즉, 본 발명의 제5 실시 예에 따른 박막트랜지스터(T) 구조에서는 기존에 형성하였던 드레인전극이 형성되지 않는다.

[0174] 그리고, 상기 액티브층(507a)의 채널영역 상부에는 식각정지막(509)이 형성되어 있다.

[0175] 더욱이, 상기 배리어막(515a)과 화소전극(515b)은 상기 액티브층(507a)의 채널영역 상부에 형성된 식각정지막(509)을 기준으로 이격되어 있다. 이때, 상기 화소전극(515b)은 상기 액티브층(507a)과 직접 연결되어 있다.

[0176] 상기 게이트전극(503a)과 소스전극(517a)은 불투명한 금속 재질로 구성되는데, 예를 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu), 구리 합금, 금(Ag), 금 합금, 몰리브덴(Mo), 몰리브덴 합금, 티타늄(Ti), 티타늄 합금을 포함하는 불투명한 도전 물질 그룹 중에서 적어도 어느 하나 이상이 적층된 구조가 사용된다.

[0177] 더욱이, 상기 액티브층(507a)의 재질로는, 실리콘(Si) 계열, 산화물(IGZO; Indium Ga Zinc Oxide) 계열, 그라핀, 유기 반도체를 포함한 그룹 중에서 어느 하나가 사용된다.

[0178] 한편, 상기 배리어막(515a) 및 화소전극(515b)의 재질로는, 티타늄(Ti), 몰리브덴(Mo), 텅스텐 (W), 지르코늄(Zr), 아연(Zinc), 코발트(Co), V, Nb, Hf, Fe, Ru, Ag, ITO, IZO 계열, Cu_2O, 구리 합금 산화막(Cu alloy oxide)을 포함한 그룹 중에서 선택하여 사용한다.

[0179] 따라서, 본 발명의 경우에 기존에 형성하였던 드레인전극이 제거됨으로 인해, 이 드레인전극이 차지하였던 영역이 개구 영역으로 보상됨으로써 그만큼 개구 영역이 확장되어 소자의 투과율이 상승하게 된다.

[0180] 또한, 도 11에 도시된 바와 같이, 광차단영역(S2)은 게이트전극(503a)과 소스전극(517a)에 형성되지만, 광투과영역(P2)은 드레인전극이 제거된 영역을 포함한 화소전극(515b) 전체에 형성되므로, 그만큼 기존에 비해 광투과영역(P2)이 확장된다. 즉, 기존의 광투과영역(P1)은 게이트전극, 소스전극 및 드레인전극이 형성된 영역을 제외한 화소전극 영역에만 해당하지만, 본 발명의 경우에는 드레인전극이 제거된 영역을 포함한 화소전극 전 영역이

광투과영역(P2)에 해당하기 때문에, 그만큼 기존보다는 투과영역이 확장되게 된다.

[0181] 상기와 같은 구성으로 이루어진 본 발명에 따른 박막 트랜지스터 어레이기판은 TN (Twisted Nematic), IPS(In-Plane Switching), FFS(Fringe Field Switchig), VA(Vertical Align) 모드의 구동방식을 이용하는 표시장치에 모두 적용가능하다.

[0182] 상기한 바와 같이, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면, 신호 전달을 위한 금속배선 형성시에 드레인전극 없이 배리어막을 통해 화소전극과 액티브층을 접촉하도록 함으로써 기존의 드레인 전극이 차지하였던 면적이 투과영역으로 보상되어 개구 영역이 확장되고, 그로 인해 소자의 투과율이 증가된다.

[0183] 또한, 본 발명에 따른 박막트랜지스터 어레이기판 및 그 제조방법에 따르면,신호 전달을 위한 금속배선 형성시에 드레인전극 없이 화소전극과 액티브층을 직접 접촉시킴으로써, 화소전극과 배리어막, 즉 저저항 접촉층(ohmic contact layer)과의 접촉 문제를 해결할 수 있다.

[0184] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

[0185] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0186] 101: 절연기판 103a: 게이트배선

103b: 게이트전극 105: 게이트절연막

107a: 액티브층 109a: 배리어막

111a: 데이터배선 111b: 소스전극 111c: 더미패턴

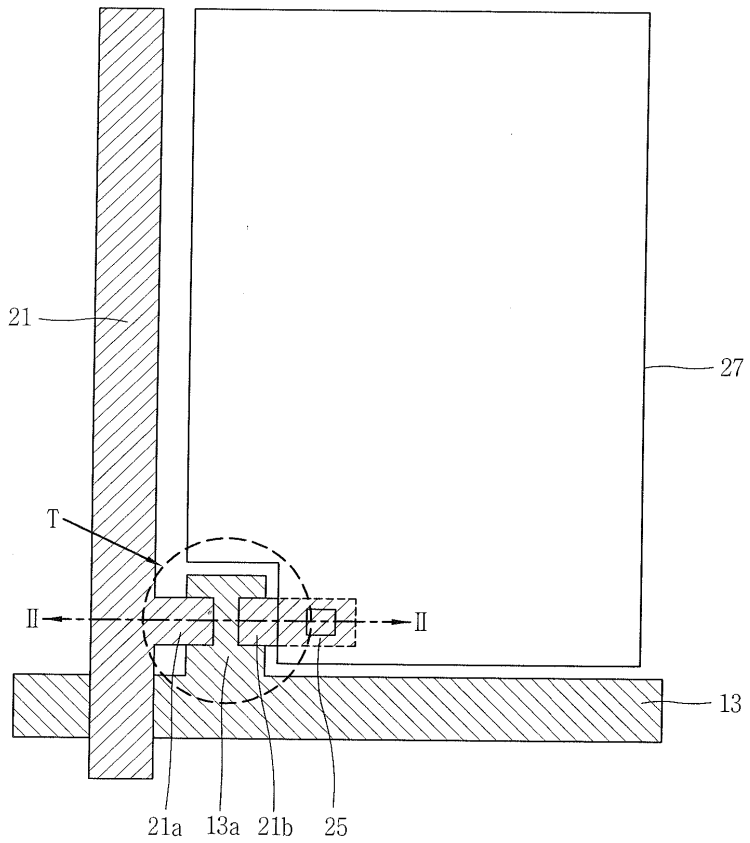
117: 보호막

121: 콘택홀 123a: 화소전극 S2: 광차단영역

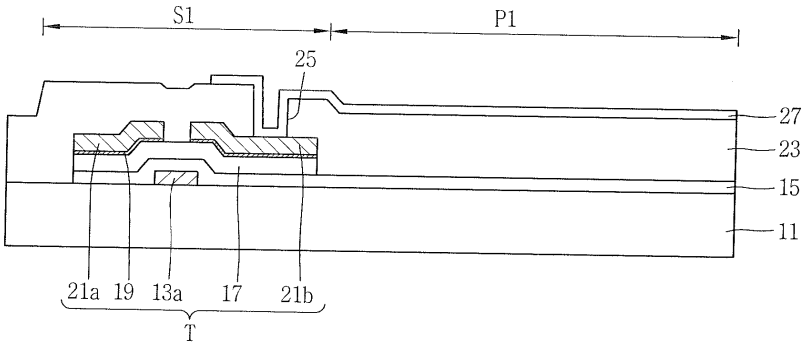
P2: 광투과영역

도면

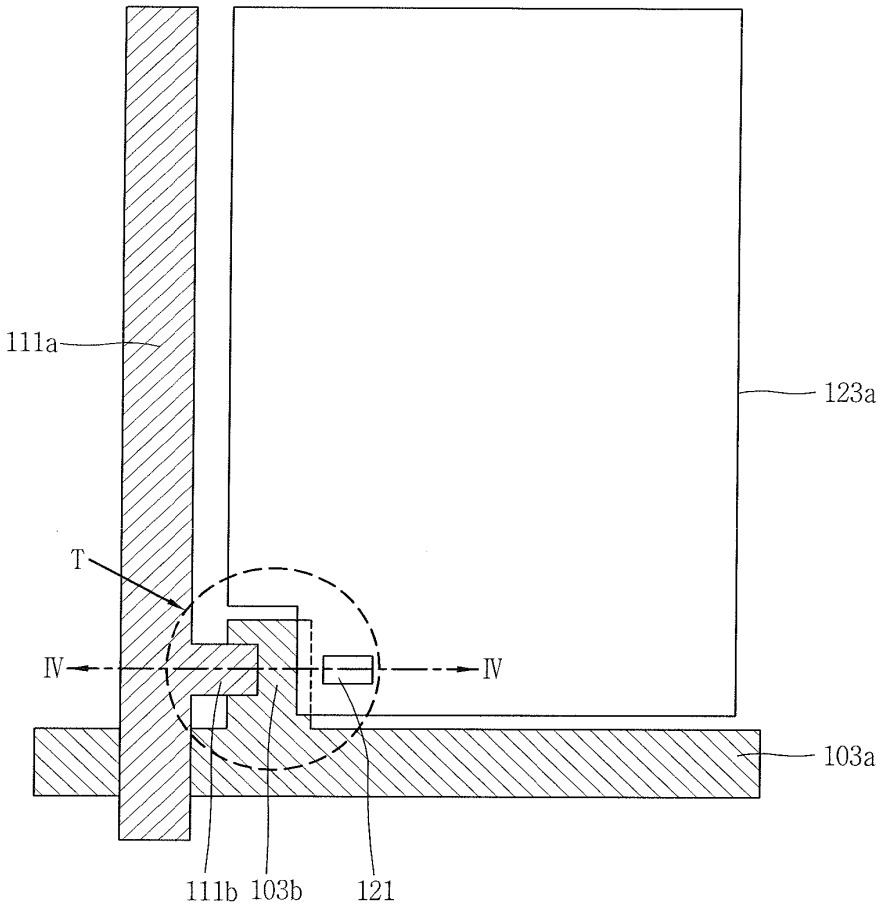
도면1


21
27
T
II
II
13
21a
13a
21b
25

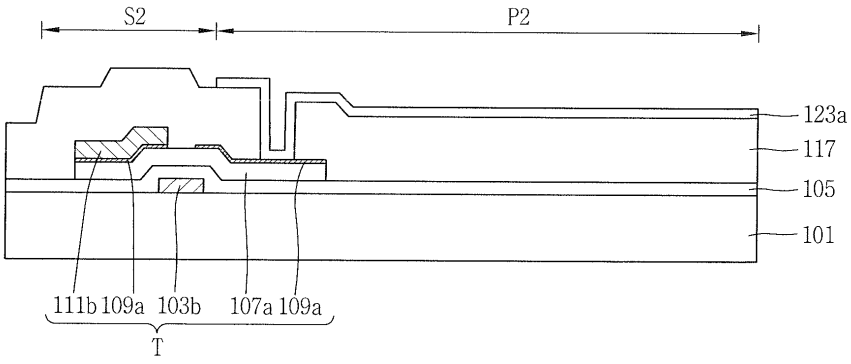
도면2


S1
P1
25
27
23
15
11
21a
19
13a
17
21b
T

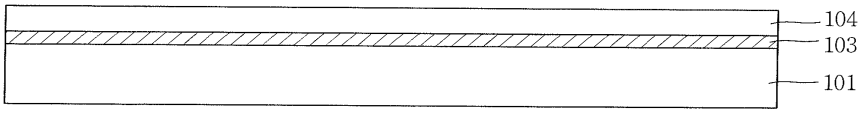
도면3


111a
123a
T
IV
IV
103a
111b
103b
121

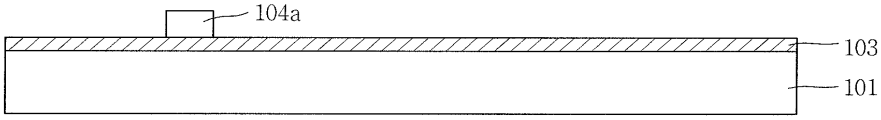
도면4


S2
P2
123a
117
105
101
111b
109a
103b
107a
109a
T

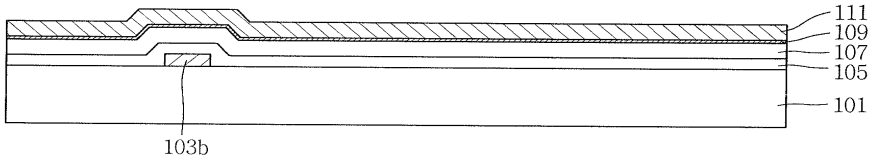
도면5a


104
103
101

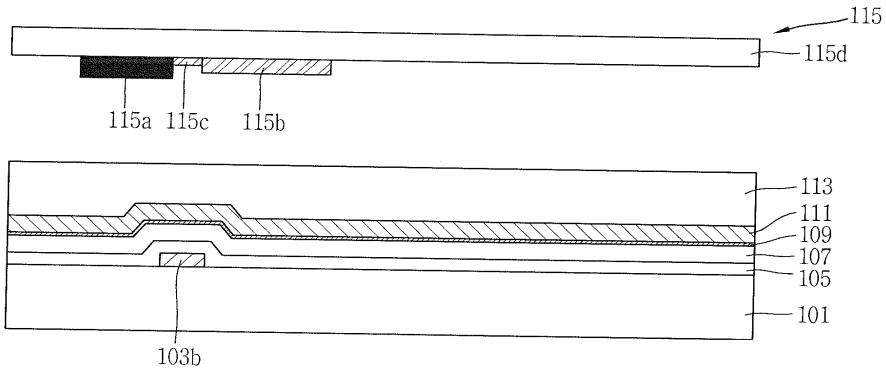
도면5b



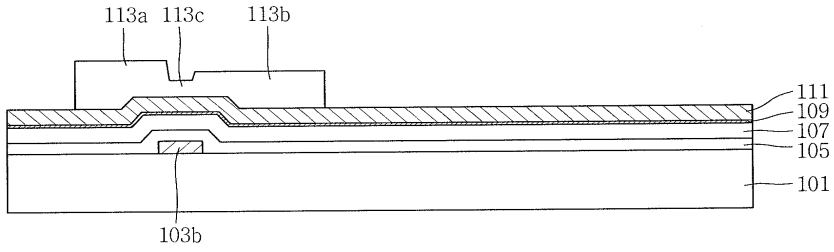
도면5c



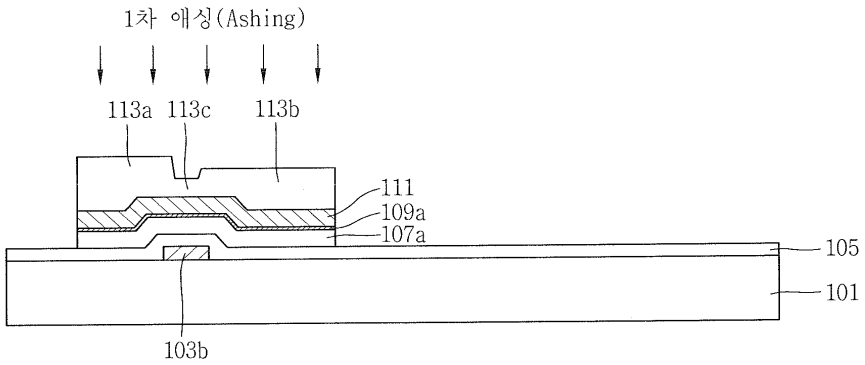
도면5d



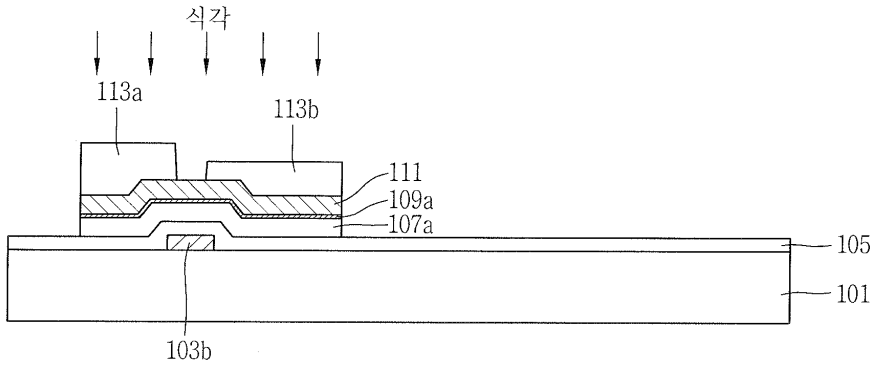
도면5e



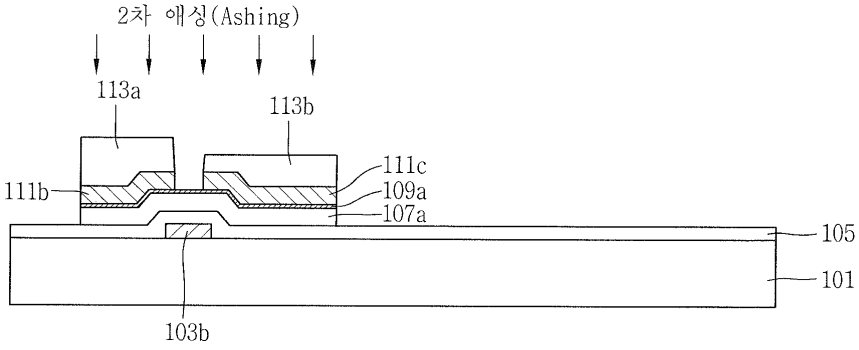
도면5f



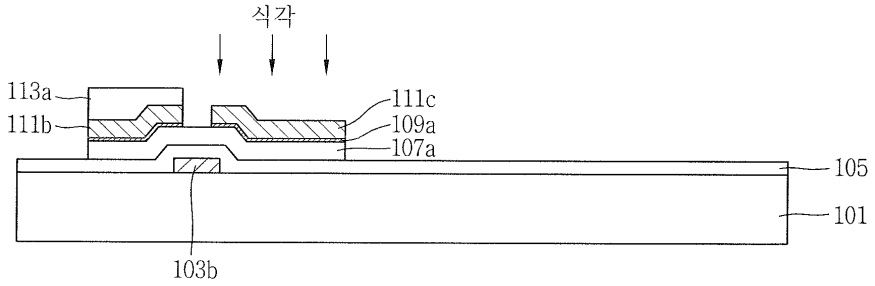
도면5g



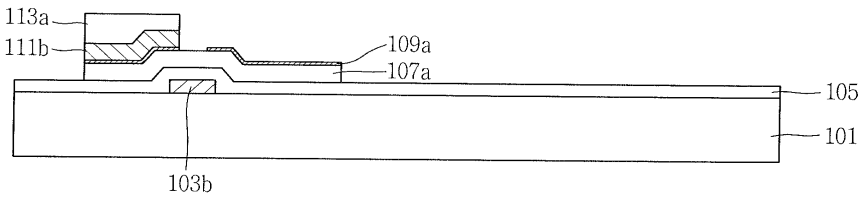
도면5h



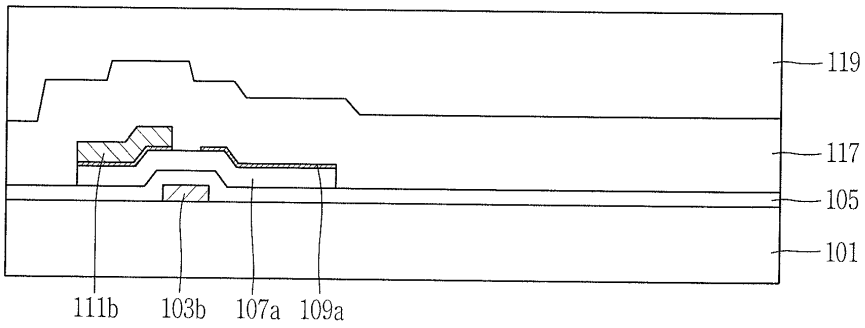
도면5i



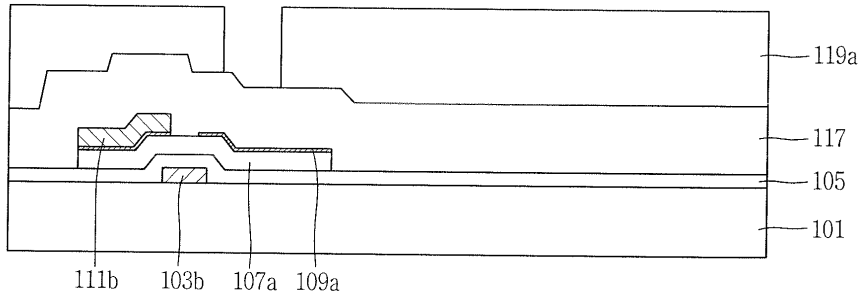
도면5j



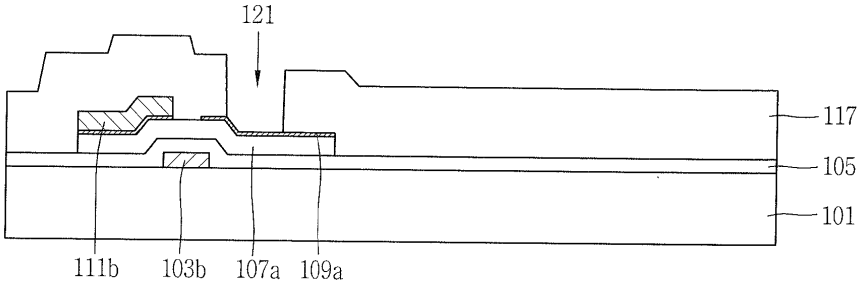
도면5k



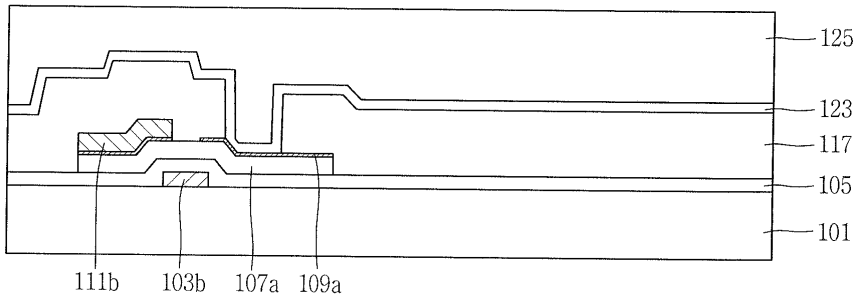
도면5l



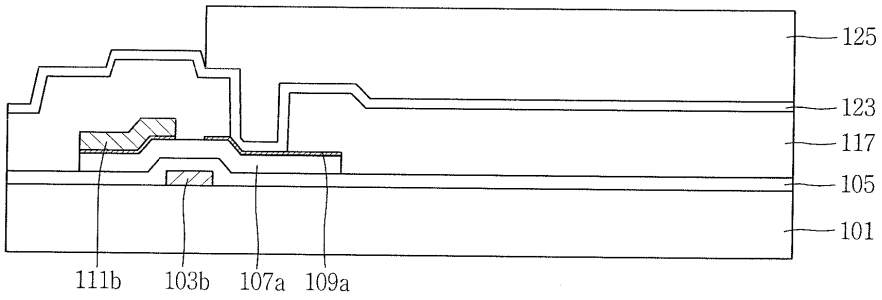
도면5m



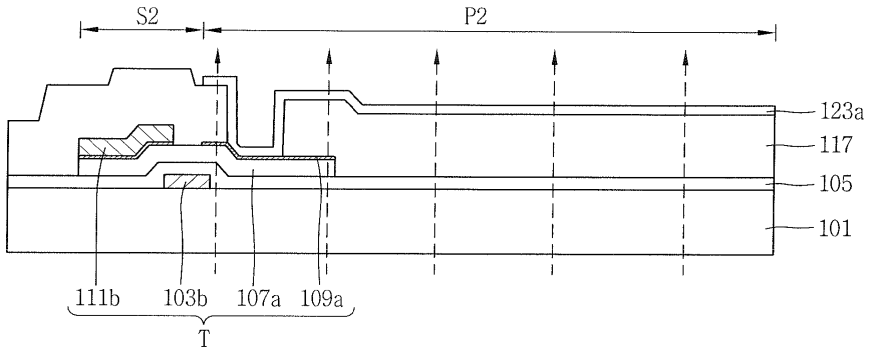
도면5n



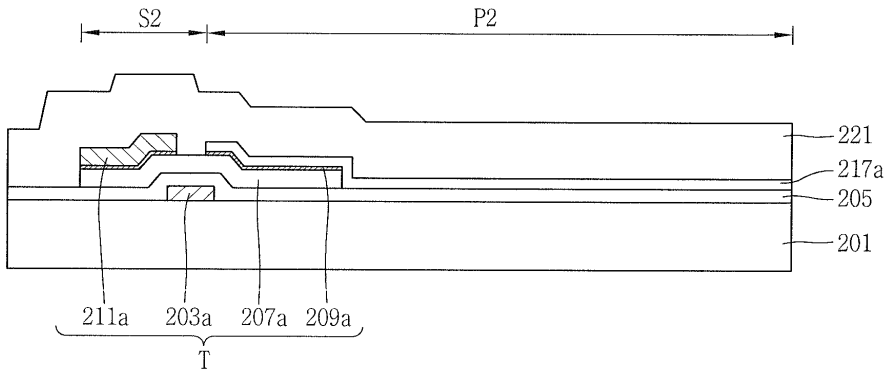
도면5o



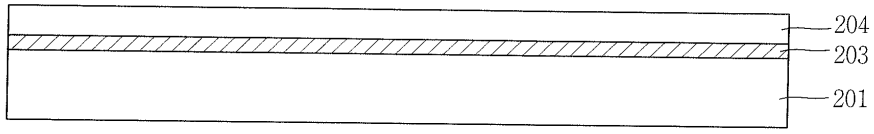
도면5p



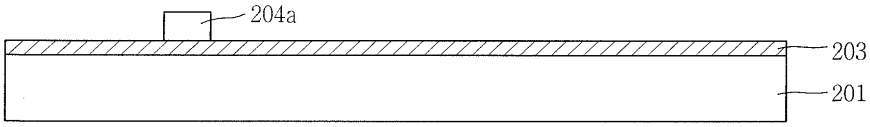
도면6



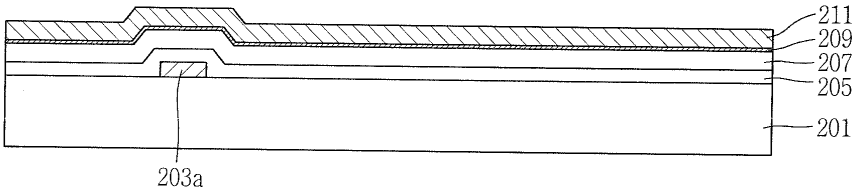
도면7a



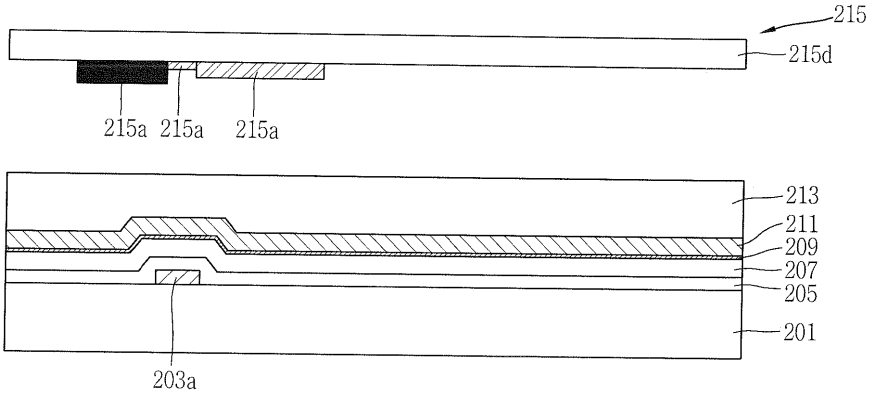
도면7b



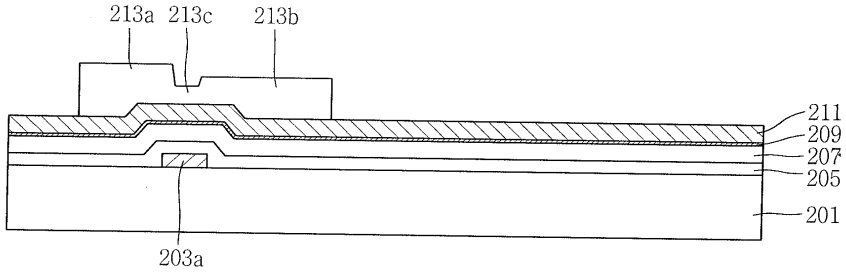
도면7c



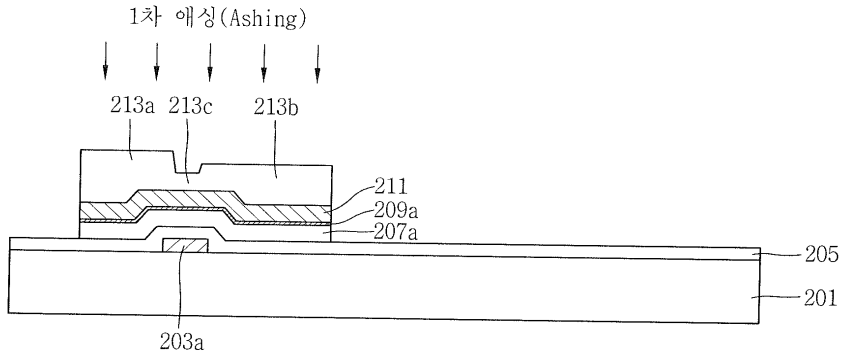
도면7d



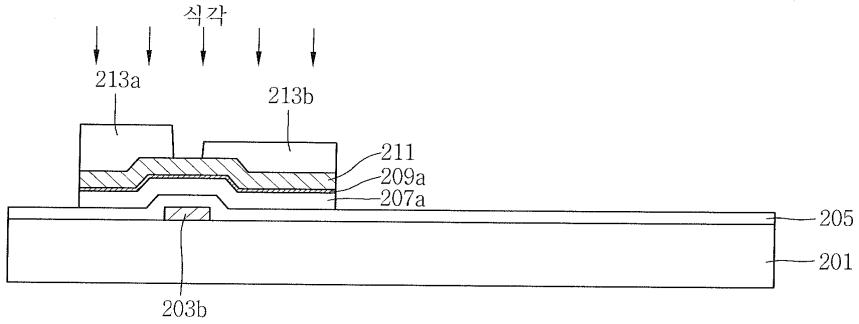
도면7e



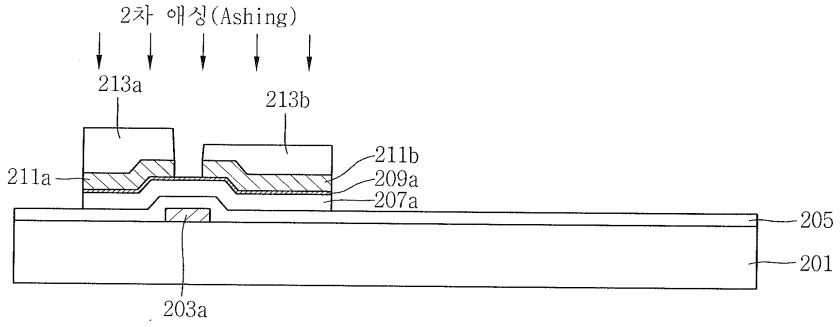
도면7f



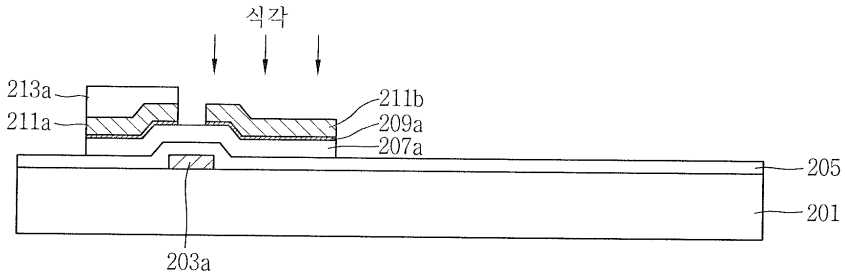
도면7g



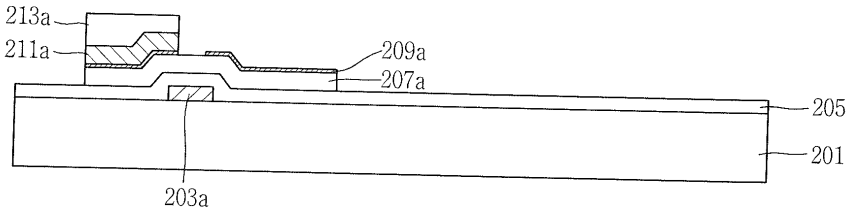
도면7h



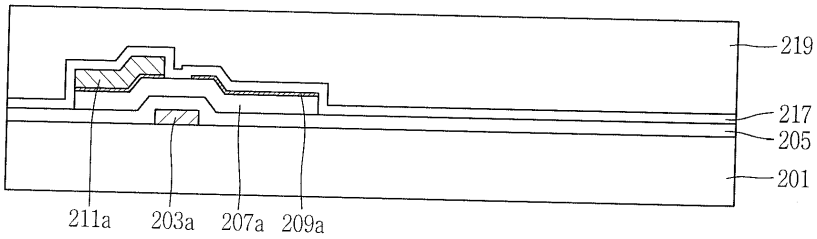
도면7i



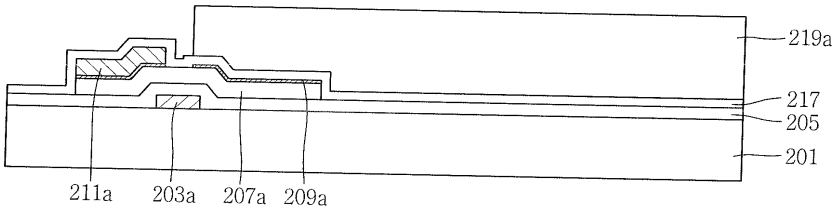
도면7j



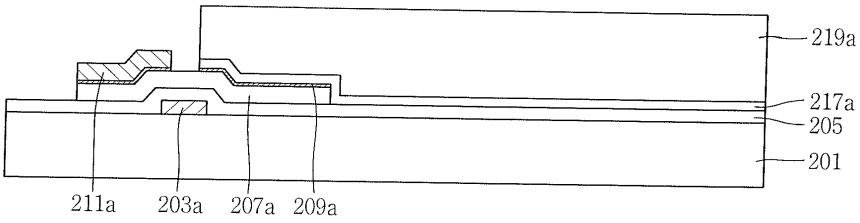
도면7k



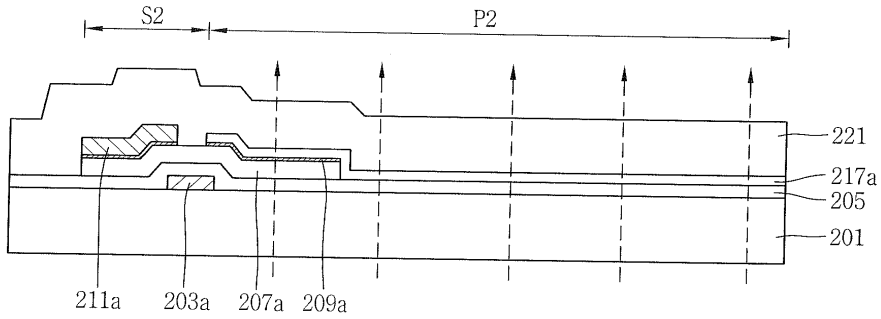
도면7l



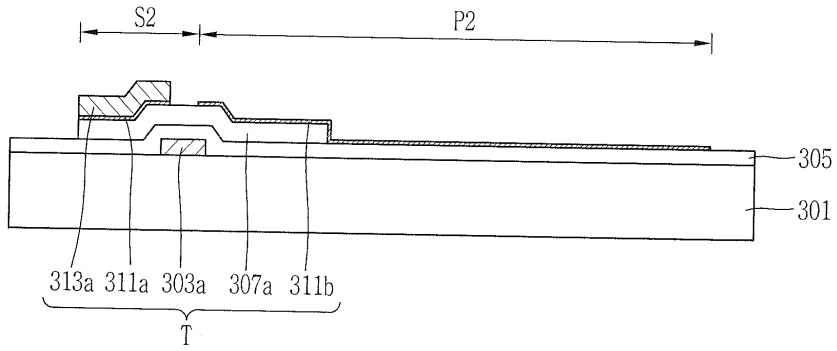
도면7m



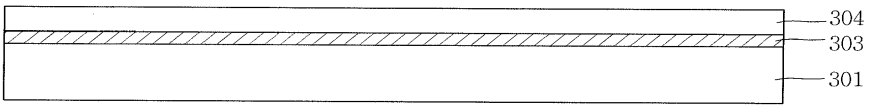
도면7n



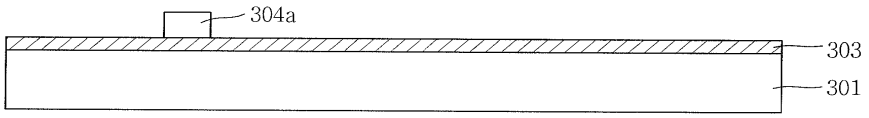
도면8



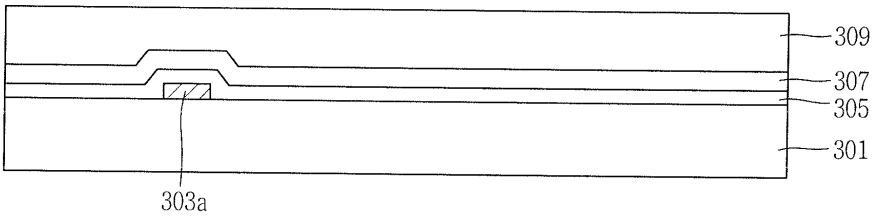
도면9a



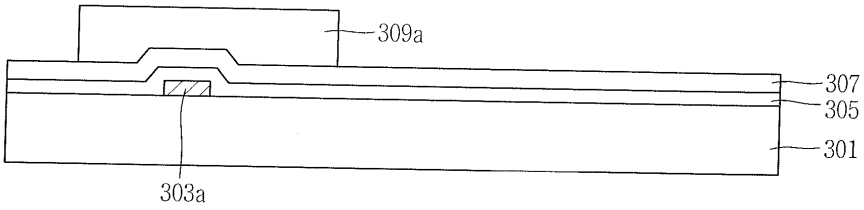
도면9b



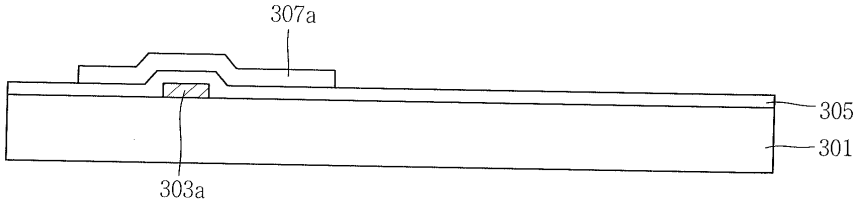
도면9c



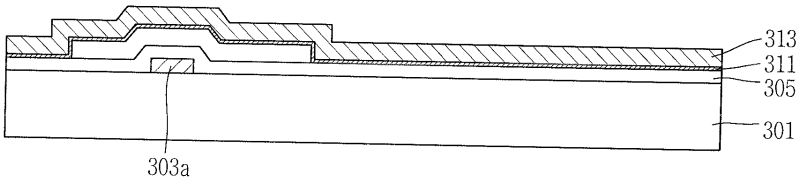
도면9d



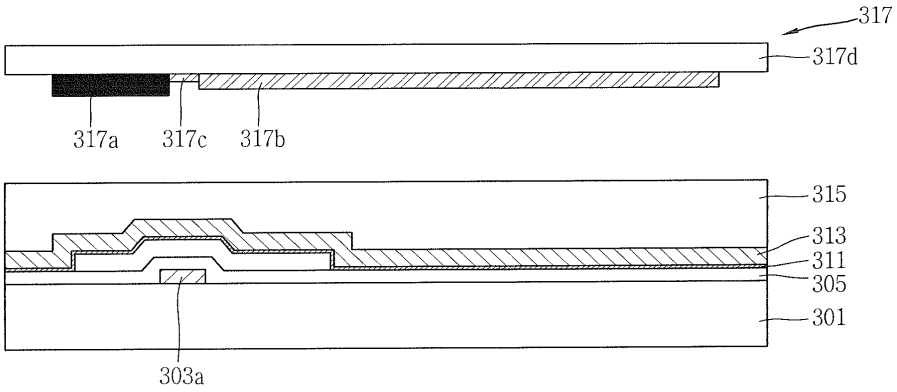
도면9e



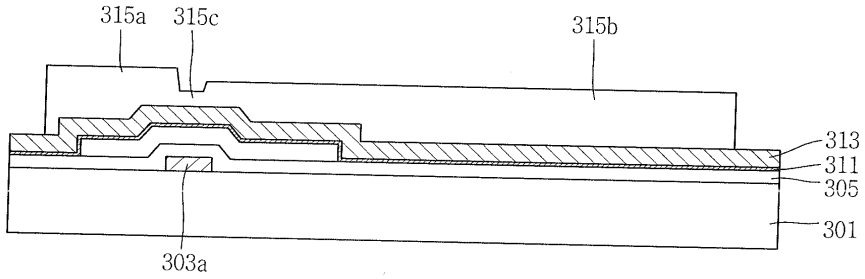
도면9f



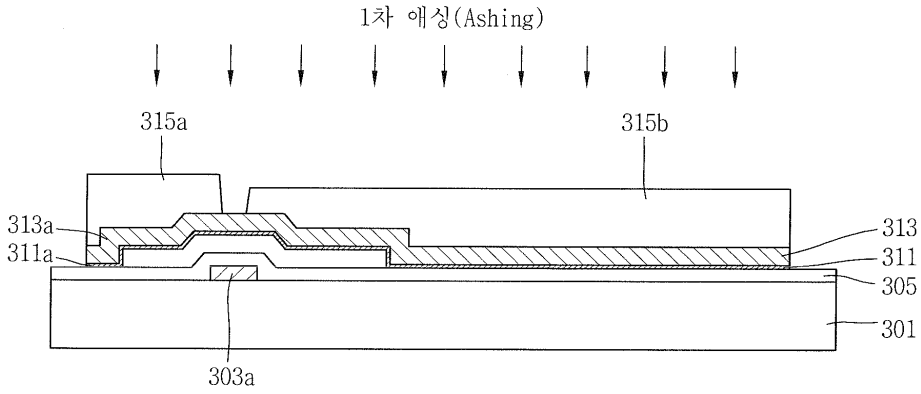
도면9g



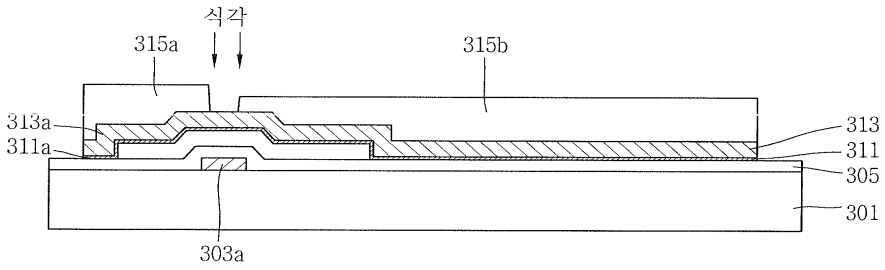
도면9h



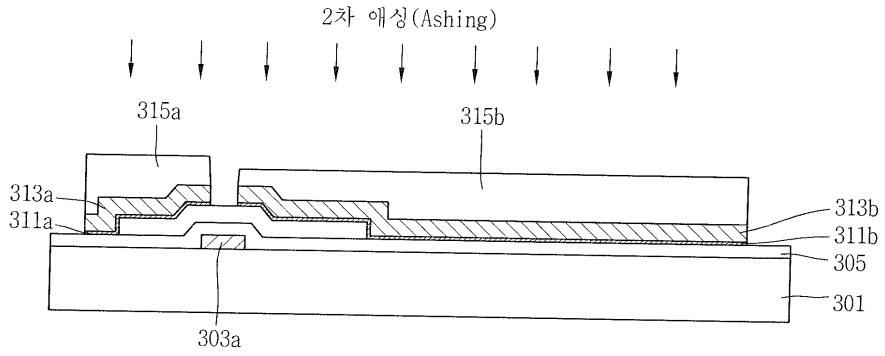
도면9i



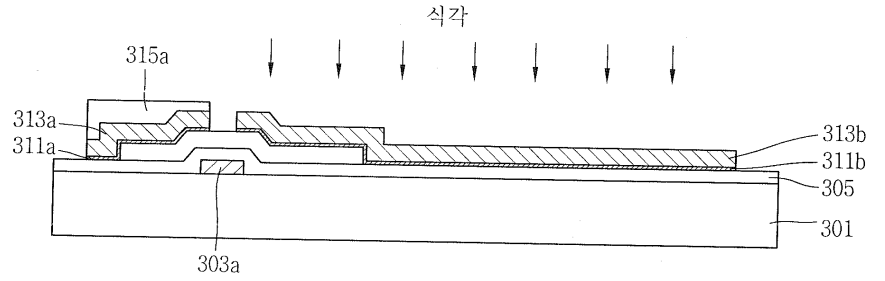
도면9j



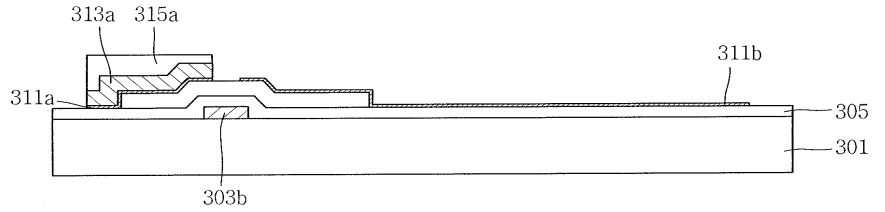
도면9k



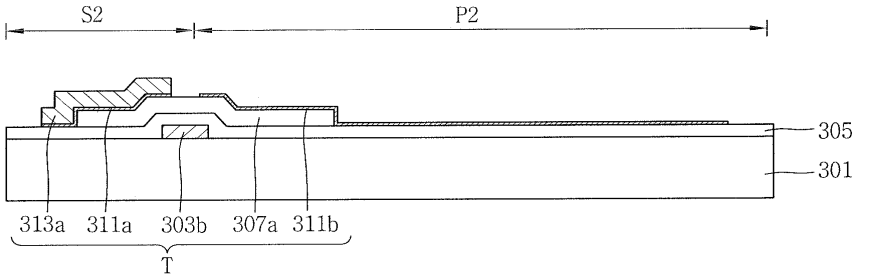
도면9l



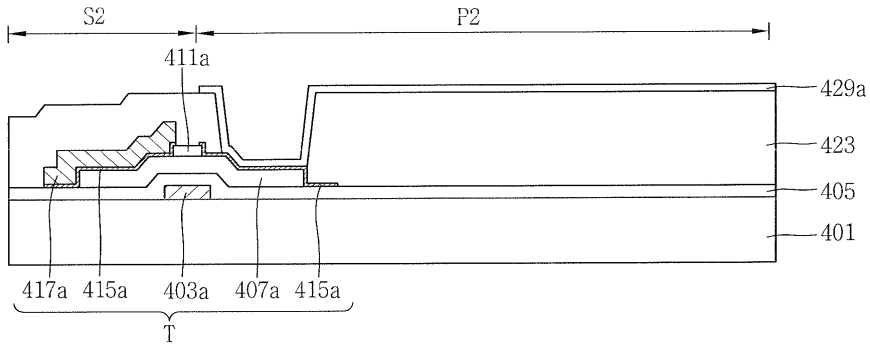
도면9m



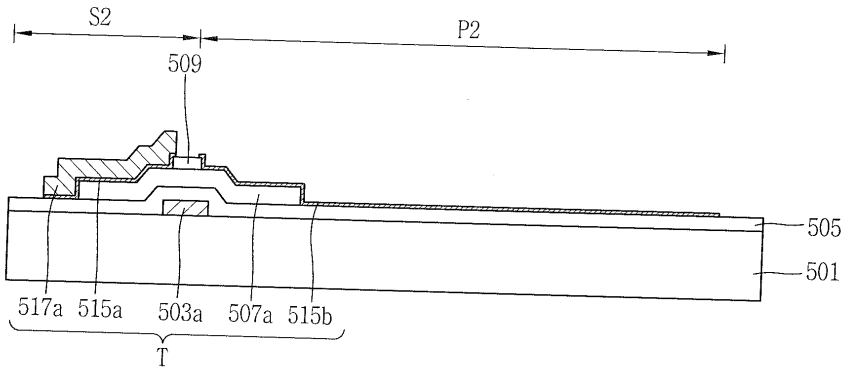
도면9n



도면10


S2
P2
411a
429a
423
405
401
417a
415a
403a
407a
415a
T

도면11


S2
P2
509
505
501
517a
515a
503a
507a
515b
T

专利名称(译)	用于液晶显示装置的薄膜晶体管阵列基板和制造方法		
公开(公告)号	KR102010395B1	公开(公告)日	2019-08-14
申请号	KR1020110117786	申请日	2011-11-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	양희정 한규원 이재민 호원준 김병서		
发明人	양희정 한규원 이재민 호원준 김병서		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/1368 H01L29/41733 H01L29/45 H01L29/66765		
审查员(译)	김우영		
其他公开文献	KR1020130052378A		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于LCD（液晶显示）装置的TFT（薄膜晶体管）阵列板及其制造方法，以通过将像素电极通过阻挡层连接至有源层来扩展开口面积。 构成：在有源层（107a）上形成阻挡层（109a）。 根据有源层的沟道面积将阻挡层分为第一和第二区域。 源电极（111b）形成在第一区域上。 钝化层（117）暴露出阻挡层的第二区域。 像素电极（123a）形成在钝化层上以便电连接到暴露的第二区域。