



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월03일

(11) 등록번호 10-1541353

(24) 등록일자 2015년07월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1362 (2006.01)

(21) 출원번호 10-2014-0044831

(22) 출원일자 2014년04월15일

심사청구일자 2014년04월15일

(56) 선행기술조사문헌

KR1020060077952 A

KR1020130067923 A

KR1020140003242 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박주언

경기도 파주시 쇠재로 133, 514동 504호(금촌동, 쇠재마을아파트)

이원호

경기도 파주시 후곡로 77, 105동 2002호(금촌동, 쇠재마을풍림아이원아파트)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 8 항

심사관 : 김민수

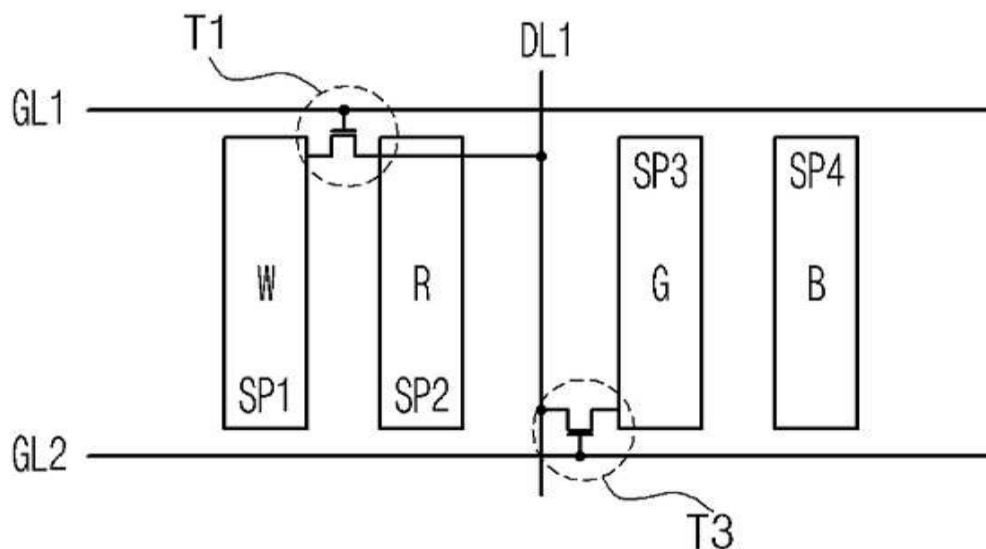
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정 표시 장치 및 그의 구동 방법에 관한 것으로, 더욱 상세하게는 적색(R), 녹색(G), 청색(B), 백색(W)으로 이루어진 RGBW 4 서브 픽셀 구조에서 화질 열화를 개선하기 위한 액정 표시 장치에 관한 것이다.

이에 본 발명은, 수평으로 배열되는 제 1 내지 제 4 서브픽셀; 상기 제 1 내지 제 4 서브픽셀의 상하에 각각 형 (뒷면에 계속)

대표도 - 도4a



성되는 제 1 및 제 2 게이트배선; 상기 제 1 및 제 2 게이트배선과 교차하고 상기 제 2 및 제 3 서브픽셀 사이에 형성되는 제 1 데이터배선; 및 상기 제 1 내지 제 4 서브픽셀에 각각 형성되는 제 1 내지 제 4 박막트랜지스터를 포함하고, 상기 제 1 및 제 2 박막트랜지스터는 상기 제 1 게이트배선에 연결되고, 상기 제 3 및 제 4 박막트랜지스터는 상기 제 2 게이트배선에 연결되고, 상기 제 1 데이터배선은 상기 제 1 또는 제 2 박막트랜지스터 중 하나와 연결되고, 상기 제 3 또는 제 4 박막트랜지스터 중 하나와 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치를 제공한다.

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

4행 8열로 배열되는 제 1 내지 제 32 서브픽셀;

상기 4행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선;

상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및

상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고,

상기 제 1 게이트배선은 상기 제 2, 제 4, 제 5 및 제 7 박막트랜지스터와 연결되고,

상기 제 2 게이트배선은 상기 제 1, 제 3, 제 6 및 제 8 박막트랜지스터와 연결되고,

상기 제 3 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고,

상기 제 4 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고,

상기 제 5 게이트배선은 상기 제 17, 제 19, 제 22 및 제 24 박막트랜지스터와 연결되고,

상기 제 6 게이트배선은 상기 제 18, 제 20, 제 21 및 제 23 박막트랜지스터와 연결되고,

상기 제 7 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고,

상기 제 8 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고,

상기 제 1 데이터배선은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터에 연결되고,

상기 제 2 데이터배선은 제 2, 제 3, 제 10, 제 11, 제 17, 제 20, 제 25 및 제 28 박막트랜지스터에 연결되고,

상기 제 3 데이터배선은 제 4, 제 6, 제 12, 제 14, 제 19, 제 21, 제 27 및 제 29 박막트랜지스터에 연결되고,

상기 제 4 데이터배선은 제 5, 제 8, 제 13, 제 16, 제 22, 제 23, 제 30 및 제 31 박막트랜지스터에 연결되고,

상기 제 5 데이터배선은 제 7, 제 15, 제 24 및 제 32 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방

식의 액정표시장치.

청구항 7

4행 8열로 배열되는 제 1 내지 제 32 서브픽셀;

상기 4행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선;

상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및

상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고,

상기 제 1 게이트배선은 상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터와 연결되고,

상기 제 2 게이트배선은 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터와 연결되고,

상기 제 3 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고,

상기 제 4 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고,

상기 제 5 게이트배선은 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터와 연결되고,

상기 제 6 게이트배선은 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터와 연결되고,

상기 제 7 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고,

상기 제 8 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고,

상기 제 1 데이터배선은 제 1, 제 10, 제 18 및 제 25 박막트랜지스터에 연결되고,

상기 제 2 데이터배선은 제 2, 제 4, 제 9, 제 12, 제 17, 제 19, 제 26 및 제 27 박막트랜지스터에 연결되고,

상기 제 3 데이터배선은 제 3, 제 6, 제 11, 제 13, 제 20, 제 21, 제 28 및 제 30 박막트랜지스터에 연결되고,

상기 제 4 데이터배선은 제 5, 제 7, 제 14, 제 15, 제 22, 제 24, 제 29 및 제 32 박막트랜지스터에 연결되고,

상기 제 5 데이터배선은 제 8, 제 16, 제 23 및 제 31 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 8

4행 8열로 배열되는 제 1 내지 제 32 서브픽셀;

상기 4행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선;

상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및

상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고,

상기 제 1 게이트배선은 상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터와 연결되고,

상기 제 2 게이트배선은 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터와 연결되고,

상기 제 3 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고,

상기 제 4 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고,

상기 제 5 게이트배선은 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터와 연결되고,

상기 제 6 게이트배선은 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터와 연결되고,

상기 제 7 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고,
 상기 제 8 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고,
 상기 제 1 데이터배선은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터에 연결되고,
 상기 제 2 데이터배선은 제 2, 제 4, 제 10, 제 11, 제 17, 제 19, 제 25 및 제 28 박막트랜지스터에 연결되고,
 상기 제 3 데이터배선은 제 3, 제 6, 제 12, 제 14, 제 20, 제 21, 제 27 및 제 29 박막트랜지스터에 연결되고,
 상기 제 4 데이터배선은 제 5, 제 7, 제 13, 제 16, 제 22, 제 24, 제 30 및 제 31 박막트랜지스터에 연결되고,
 상기 제 5 데이터배선은 제 8, 제 15, 제 23 및 제 32 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,
 상기 제 1 내지 제 32 서브픽셀은 Z 인버전 방식으로 구동되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 10

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,
 상기 제 1 내지 제 32 서브픽셀은 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀을 포함하고, 인접하는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀이 하나의 픽셀을 이루는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 11

제 10 항에 있어서,
 상기 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀에는 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되는 데이터신호가 인가되거나,
 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되는 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 12

제 10 항에 있어서,
 상기 백색(W) 서브픽셀은 광 투과량을 조절하는 것을 특징으로 하는 DRD 방식의 액정표시장치.

청구항 13

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,
 상기 제 1 내지 제 8 게이트배선과 연결되어 게이트구동신호를 공급하는 게이트 구동부; 및,

상기 제 1 내지 제 5 데이터배선과 연결되어 영상신호를 공급하는 소스구동부를 더 포함하는 것을 특징으로 하는 DRD 방식 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그의 구동 방법에 관한 것으로, 더욱 상세하게는 적색(R), 녹색(G), 청색(B), 백색(W)으로 이루어진 RGBW 4 서브 픽셀 구조에서 화질 열화를 개선하기 위한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 반도체 기술의 급속한 진보에 의하여 각종 전자 장치의 저전압화 및 저전력화와 함께 전자 기기의 소형화, 박형화 및 경량화의 추세에 따라 새로운 환경에 적합한 전자 표시 장치로서 평판 패널형 표시 장치에 대한 요구가 급격히 증대되고 있다. 이에 따라 액정 표시 장치(LCD), 플라즈마 표시 장치(PDP), 유기 이엘 표시 장치(OELD) 등과 같은 평판 패널형 표시 장치가 개발되고 있으며, 이러한 평판 패널형 표시 장치 중에서 소형화, 경량화 및 박형화가 용이하며, 낮은 소비 전력 및 낮은 구동 전압을 갖는 액정 표시 장치가 특히 주목받고 있다.

[0003] 액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기관과 스위칭 소자, 화소 전극등이 형성되어 있는 하부 투명 절연 기관 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기장의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor; TFT) 소자를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

[0004] 이러한 액정 표시 장치는 화상이 표시되는 액정 표시 패널을 포함하게 되는데, 액정 표시 패널을 구동할 때에는 내부 액정의 열화를 방지하고, 화상의 표시 품질을 향상시키기 위하여 일정한 단위로 극성을 반전하여 구동하는 인버전 구동 방법이 사용되는 것이 일반적이다.

[0005] 인버전 구동 방법은 극성이 반전되는 단위에 따라 프레임 인버전(Frame Inversion) 방식, 라인 인버전(Line Inversion) 방식, 도트 인버전 방식(Dot Inversion)으로 구분된다. 근래들어 위와 같은 방식과 달리 전압 변이 감소를 통해 회로부 소비전력을 감소시키기 위한 Z 인버전(Z inversion) 방식이 제안되었다.

[0006] Z 인버전 방식은 액정패널 상에 형성된 TFT들을 수직라인방향에서 지그재그로 배열하고 컬럼 인버전 방식의 데이터 구동회로를 이용하여 그 액정패널에 컬럼 인버전 방식으로 극성이 제어된 데이터를 공급함으로써 액정패널을 도트 인버전으로 구동시키는 방식이다. 이 Z 인버전 방식은 도트 인버전으로 액정패널이 구동됨으로써 수직 및 수평 라인간의 플리커를 최소화하여 표시품질을 높일 수 있음은 물론, 도트 인버전 방식의 데이터 구동회로를 이용하여 액정패널을 구동하는 경우에 비하여 소비전력을 절감할 수 있게 된다.

[0007] 액정표시장치는 게이트배선(GL)들을 구동하기 위한 게이트 구동부와 데이터배선(DL)들을 구동하기 위한 데이터 구동부를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 IC의 갯수는 증가하고 있다.

[0008] 그런데, 데이터 구동부의 IC는 타 소자에 비해 상대적으로 매우 고가이기 때문에, 최근에는 액정표시장치의 생산단가를 낮추기 IC 갯수를 줄이기 위한 여러 방법들이 연구 개발되고 있으며, 이중 하나로써 기존 대비 게이트배선들의 갯수는 2배로 늘리는 대신 데이터배선들의 갯수를 1/2배로 줄여 필요로 하는 IC의 갯수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 제안되었다.

[0009] DRD 방식 액정표시장치는 하나의 수평라인에 배치된 복수의 액정셀들을 두개의 게이트배선들과 상기 복수의 액정셀들의 1/2 배수의 데이터배선들을 이용하여 구동시킨다. 이러한 DRD 방식 액정표시장치는 플리커를 최소화함과 아울러 소비전력을 줄이기 위해 수직 2 도트 인버전 방식으로 구동시킨다. 이에 따라, 하나의 데이터라인을 사이에 두고 서로 인접한 두개의 서브픽셀들은 두개의 게이트배선들에 각각 접속되어 데이터배선을 통해 공급되

는 동일 극성의 데이터전압을 충전한다.

[0010] 또한 각 서브픽셀은 인접한 데이터배선과만 연결되어 데이터 신호를 입력받는다.

[0011] 도 1은 DRD 방식의 액정표시장치에서 종래의 데이터배선, 게이트배선, 서브픽셀 및 박막트랜지스터의 연결구조를 나타내는 도면이다. 수평으로 배열되는 제 1 내지 제 6 서브픽셀(SP1 내지 SP6)과 상기 제 1 내지 제 6 서브픽셀(SP1 내지 SP6)의 상하에 형성되는 제 1 및 제 2 게이트배선(GL1 및 GL2)과 상기 제 1 및 제 2 게이트배선(GL1 및 GL2)과 교차하고 홀수 번째 서브픽셀과 짝수 번째 서브픽셀 사이에 각각 형성되는 제 1 내지 제 3 데이터배선(DL1 내지 DL3)과 상기 제 1 내지 제 6 서브픽셀(SP1 내지 SP6)에 각각 형성되는 제 1 내지 제 6 박막트랜지스터(T1 내지 T6)를 포함한다. 제 1 게이트배선(GL1)은 제 1, 제 4 및 제 5 박막트랜지스터(T1, T4 및 T5)와 연결되고, 제 2 게이트배선(GL2)은 제 2, 제 3 및 제 6 박막트랜지스터(T2, T3 및 T6)와 연결되고, 제 1 데이터배선(DL1)은 제 1 및 제 2 박막트랜지스터(T1 및 T2)와 연결되고, 제 2 데이터배선(DL2)은 제 3 및 제 4 박막트랜지스터(T3 및 T4)와 연결되고, 제 3 데이터배선(DL3)은 제 5 및 제 6 박막트랜지스터(T5 및 T6)와 연결된다. 도 1에 도시된 바와 같이, 종래의 연결구조는 RGB 서브픽셀을 DRD구동과 동시에 수직 2 dot 인버전 구동을 하는 경우에 각 RGB 서브픽셀 마다 극성의 반전 시킬 수 있다.

[0012] 한편, 다양한 색상을 표현하기 위하여 액정 표시 패널에 기본적으로 사용되는 적색(R), 녹색(G), 청색(B) 서브픽셀 이외에 어떠한 컬러도 없는 투명 필터가 설치되어 광량의 조절만이 가능한 백색(W) 서브 픽셀이 추가됨으로써, 적색(R), 녹색(G), 청색(B), 백색(W) 서브픽셀로 이루어진 RGBW 4 서브 픽셀 구조를 기본으로 하는 액정 표시 패널이 도입되는 등, 화소 구조를 개선하고, 이를 통하여 휘도를 향상시키고자 하는 노력도 계속되고 있는 실정이다.

[0013] RGBW 서브픽셀의 경우 액정 열화 방지 및 화상 품질을 개선하기 위해서는 각 RGBW 서브픽셀에 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되는 데이터신호가 인가 되거나,

[0014] 각 RGBW 서브픽셀에 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되는 데이터신호가 인가되어야 한다.

[0015] 도 2a와 도 2b는 종래의 DRD 방식에 따른 RGBW 4 서브픽셀 구조에서 각 서브픽셀에 인가되는 데이터신호의 극성배치를 나타내는 도면이다.

[0016] 종래의 DRD 방식의 액정표시장치의 경우 도 2a와 도 2b에 도시된 바와 같이 각 RGBW 서브픽셀에는 대각선방향 및 역대각선방향으로 정극성(+) 또는 부극성(-)으로 모두 동일 극성이 되는 데이터신호가 인가된다.

[0017] 따라서, 액정표시장치에 DRD 방식 적용시 종래의 서브픽셀과 데이터라인 연결방식만으로는 각 RGBW 서브픽셀 별로 극성이 반전되는 데이터신호를 인가할 수 없었기 때문에 화질 열화의 문제점이 있었다.

발명의 내용

해결하려는 과제

[0018] 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로, RGBW 4 서브픽셀 구조에서 DRD 구동 및 Z 인버전 구동을 하더라도, 액정 열화를 방지하고 화상 불량을 개선할 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0019] 수평으로 배열되는 제 1 내지 제 4 서브픽셀; 상기 제 1 내지 제 4 서브픽셀의 상하에 각각 형성되는 제 1 및 제 2 게이트배선; 상기 제 1 및 제 2 게이트배선과 교차하고 상기 제 2 및 제 3 서브픽셀 사이에 형성되는 제 1 데이터배선; 및 상기 제 1 내지 제 4 서브픽셀에 각각 형성되는 제 1 내지 제 4 박막트랜지스터를 포함하고,

[0020] 상기 제 1 및 제 2 박막트랜지스터는 상기 제 1 게이트배선에 연결되고, 상기 제 3 및 제 4 박막트랜지스터는 상기 제 2 게이트배선에 연결되고, 상기 제 1 데이터배선은 상기 제 1 또는 제 2 박막트랜지스터 중 하나와 연

결되고, 상기 제 3 또는 제 4 박막트랜지스터 중 하나와 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치를 제공한다.

[0021] 상기 제 1 내지 제 4 서브픽셀은 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀 구조이고, 인접하는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀이 하나의 픽셀을 이루는 것을 특징으로 한다.

[0022] 상기 백색(W) 서브픽셀은 광 투과량을 조절하는 것을 특징으로 한다.

[0023] 상기 제 1 내지 제 4 서브픽셀은 Z 인버전 방식으로 구동되는 것을 특징으로 한다.

[0024] 본 발명의 액정표시장치는 상기 제 1 및 제 2 게이트배선과 연결되어 게이트구동신호를 공급하는 게이트구동부; 및, 상기 제 1 데이터배선과 연결되어 영상신호를 공급하는 소스구동부를 더 포함한다.

[0025] 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀; 상기 각 행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선; 상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및 상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고, 상기 제 1 게이트배선은 상기 제 2, 제 4, 제 5 및 제 7 박막트랜지스터와 연결되고, 상기 제 2 게이트배선은 상기 제 1, 제 3, 제 6 및 제 8 박막트랜지스터와 연결되고, 상기 제 3 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고, 상기 제 4 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고, 상기 제 5 게이트배선은 상기 제 17, 제 19, 제 22 및 제 24 박막트랜지스터와 연결되고, 상기 제 6 게이트배선은 상기 제 18, 제 20, 제 21 및 제 23 박막트랜지스터와 연결되고, 상기 제 7 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고, 상기 제 8 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고, 상기 제 1 데이터배선은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터에 연결되고, 상기 제 1 데이터배선은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터에 연결되고, 상기 제 2 데이터배선은 제 2, 제 3, 제 10, 제 11, 제 17, 제 20, 제 25 및 제 28 박막트랜지스터에 연결되고, 상기 제 3 데이터배선은 제 4, 제 6, 제 12, 제 14, 제 19, 제 21, 제 27 및 제 29 박막트랜지스터에 연결되고, 상기 제 4 데이터배선은 제 5, 제 8, 제 13, 제 16, 제 22, 제 23, 제 30 및 제 31 박막트랜지스터에 연결되고, 상기 제 5 데이터배선은 제 7, 제 15, 제 24 및 제 32 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치를 제공한다.

[0026] 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀; 상기 각 행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선; 상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및 상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고, 상기 제 1 게이트배선은 상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터와 연결되고, 상기 제 2 게이트배선(GL1)은 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터와 연결되고, 상기 제 3 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고, 상기 제 4 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고, 상기 제 5 게이트배선은 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터와 연결되고, 상기 제 6 게이트배선은 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터와 연결되고, 상기 제 7 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고, 상기 제 8 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고, 상기 제 1 데이터배선은 제 1, 제 10, 제 18 및 제 25 박막트랜지스터에 연결되고, 상기 제 2 데이터배선은 제 2, 제 4, 제 9, 제 12, 제 17, 제 19, 제 26 및 제 27 박막트랜지스터에 연결되고, 상기 제 3 데이터배선은 제 3, 제 6, 제 11, 제 13, 제 20, 제 21, 제 28 및 제 30 박막트랜지스터에 연결되고, 상기 제 4 데이터배선은 제 5, 제 7, 제 14, 제 15, 제 22, 제 24, 제 29 및 제 32 박막트랜지스터에 연결되고, 상기 제 5 데이터배선은 제 8, 제 16, 제 23 및 제 31 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치를 제공한다.

[0027] 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀; 상기 4행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선; 상기 제 1 내지 제 8 게이트배선과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선; 및 상기 제 1 내지 제 32 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터를 포함하고,

[0028] 상기 제 1 게이트배선은 상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터와 연결되고, 상기 제 2 게이트배선은 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터와 연결되고, 상기 제 3 게이트배선은 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터와 연결되고, 상기 제 4 게이트배선은 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터와 연결되고, 상기 제 5 게이트배선은 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터와 연결되고, 상기

제 6 게이트배선은 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터와 연결되고, 상기 제 7 게이트배선은 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터와 연결되고, 상기 제 8 게이트배선은 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터와 연결되고, 상기 제 1 데이터배선은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터에 연결되고, 상기 제 2 데이터배선은 제 2, 제 4, 제 10, 제 11, 제 17, 제 19, 제 25 및 제 28 박막트랜지스터에 연결되고, 상기 제 3 데이터배선은 제 3, 제 6, 제 12, 제 14, 제 20, 제 21, 제 27 및 제 29 박막트랜지스터에 연결되고, 상기 제 4 데이터배선은 제 5, 제 7, 제 13, 제 16, 제 22, 제 24, 제 30 및 제 31 박막트랜지스터에 연결되고, 상기 제 5 데이터배선은 제 8, 제 15, 제 23 및 제 32 박막트랜지스터에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치를 제공한다.

[0029] 상기 제 1 내지 제 32 서브픽셀은 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀 구조이고, 인접하는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀이 하나의 픽셀을 이루는 것을 특징으로 한다.

[0030] 상기 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀에는 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되는 데이터신호가 인가되거나, 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되는 데이터신호가 인가되는 것을 특징으로 한다.

[0031] 상기 백색(W) 서브픽셀은 광 투과량을 조절하는 것을 특징으로 한다.

[0032] 상기 제 1 내지 제 32 서브픽셀은 Z 인버전 방식으로 구동되는 것을 특징으로 한다.

[0033] 본 발명의 액정표시장치는 상기 제 1 내지 제 8 게이트배선과 연결되어 게이트구동신호를 공급하는 게이트 구동부; 및, 상기 제 1 내지 제 5 데이터배선과 연결되어 영상신호를 공급하는 소스구동부를 더 포함한다.

발명의 효과

[0034] 본 발명은 RGBW 4 서브픽셀 구조에서 화이트 픽셀을 추가함으로써 액정화면의 휘도를 증가시키고, DRD 구동을 통해 데이터IC의 개수를 줄여 비용을 절감시키고, Z 인버전 구동을 통해 소비전력을 절감시킨다. 특히 DRD 구동 및 Z 인버전 구동을 하더라도, 액정 열화를 방지하고 화상 불량을 개선할 수 있다.

도면의 간단한 설명

[0035] 도 1은 종래의 DRD 방식의 액정표시장치에서 데이터배선, 게이트배선, 서브픽셀 및 박막트랜지스터의 연결관계를 나타내는 도면이다.

도 2a와 도 2b는 종래의 DRD 방식에 따른 RGBW 4 서브픽셀 구조에서 각 서브픽셀에 인가되는 데이터신호의 극성배치를 나타내는 도면이다.

도 3a와 도 3b는 본 발명에 따른 RGBW 4 서브픽셀 구조에서 각 서브픽셀에 인가되는 최적의 데이터신호의 극성배치를 나타내는 도면이다.

도 4a 내지 도 4d는 본 발명의 액정표시장치에서 데이터배선, 게이트배선, 서브픽셀 및 박막트랜지스터의 연결관계를 나타내는 도면이다.

도 5는 본 발명의 제 1 실시예를 나타내는 도면이다.

도 6는 본 발명의 제 2 실시예를 나타내는 도면이다.

도 7은 본 발명의 제 3 실시예를 나타내는 도면이다.

도 8a는 본 발명의 제 4 실시예를 나타내는 도면이다.

도 8b는 본 발명의 제 5 실시예를 나타내는 도면이다.

도 8c는 본 발명의 제 6 실시예를 나타내는 도면이다.

도 8d는 본 발명의 제 7 실시예를 나타내는 도면이다.

도 8e은 본 발명의 제 8 실시예를 나타내는 도면이다.
 도 8f는 본 발명의 제 9 실시예를 나타내는 도면이다.
 도 8g은 본 발명의 제 10 실시예를 나타내는 도면이다.
 도 9a는 본 발명의 제 11 실시예를 나타내는 도면이다.
 도 9b는 본 발명의 제 12 실시예를 나타내는 도면이다.
 도 9c은 본 발명의 제 13 실시예를 나타내는 도면이다.
 도 10a은 본 발명의 제 14 실시예를 나타내는 도면이다.
 도 10b는 본 발명의 제 15 실시예를 나타내는 도면이다.
 도 10c는 본 발명의 제 16 실시예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하의 설명에서, 본 명세서의 실시예들에 대해 참조된 도면은 구성요소의 형상 및 위치가 도시된 형태로 한정하도록 의도된 것이 아니며, 특히 도면에서는 본 발명의 기술적 특징인 구조 및 형상의 이해를 돕기 위해 일부 구성요소의 스케일을 과장하거나 축소하여 표현하였다. 또한, 이하의 설명에서는 종래의 액정표시장치와 중복되는 구성요소는 설명의 편의상 생략하였다.
- [0037] 이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치를 보다 상세히 설명하면 다음과 같다.
- [0038] 도 3a와 도 3b는 본 발명에 따른 RGBW 4 서브픽셀 구조에서 각 서브픽셀에 인가되는 데이터신호의 최적의 극성 배치를 나타내는 도면이다. 도 3a와 도 3b의 구성은 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)과 상기 4행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선(DL1 내지 DL5)을 포함한다. 도 3a와 도 3b에 도시된 바와 같이, 화질 열화가 발생되지 않는 최적의 극성배치는 적색(R), 녹색(G), 청색(B), 백색(W) 서브픽셀 중 하나이며 동일한 색상을 갖는 예를들어 제 1, 5, 11, 15, 17, 21, 27, 31의 서브픽셀에는 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되는 데이터신호가 인가되거나,
- [0039] 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되는 데이터신호가 인가된다.
- [0040] 도 4a 내지 도 4d는 본 발명의 액정표시장치에서 단위픽셀의 데이터배선, 게이트배선, 서브픽셀 및 박막트랜지스터의 연결관계를 나타낸 도면이다.
- [0041] 도 4a 내지 도 4d에 도시된 바와 같이, 본 발명에 따른 액정표시장치는 수평으로 배열되는 제 1 내지 제 4 서브픽셀(SP1 내지 SP4)과 상기 제 1 내지 제 4 서브픽셀(SP1 내지 SP4)의 상하에 각각 형성되는 제 1 및 제 2 게이트배선(GL1 및 GL2)과 상기 제 1 및 제 2 게이트배선(GL1 및 GL2)과 교차하고 상기 제 2 및 제 3 서브픽셀(SP2 및 SP3) 사이에 형성되는 제 1 데이터배선(DL1) 및 상기 제 1 내지 제 4 서브픽셀(SP1 내지 SP4)에 각각 형성되는 제 1 내지 제 4 박막트랜지스터(T1 내지 T4)를 포함하고, 상기 제 1 게이트배선(GL1)은 상기 제 1 및 제 2 박막트랜지스터(T1 및 T2)와 연결되고, 상기 제 2 게이트배선(GL2)은 상기 제 3 및 제 4 박막트랜지스터(T3 및 T4)와 연결되고, 상기 제 1 데이터배선(DL1)은 상기 제 1 및 제 2 박막트랜지스터(T1 및 T2) 중 하나와 연결될 수 있고, 상기 제 2 데이터배선(DL2)은 상기 제 3 및 제 4 박막트랜지스터(T3 및 T4)중 하나와 연결될 수 있다.
- [0042] 본 발명에 따른 제 1 데이터배선(DL1)이 제 1 내지 제 4 박막트랜지스터(T1 내지 T4)와 연결되는 경우의 수는 네 가지가 있다.
- [0043] 첫 번째로, 도면 4a에 도시된 바와 같이 제 1 게이트배선(GL1)에 게이트신호가 인가되면 제 1 박막트랜지스터(T1)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 1 서브픽셀(SP1)에 데이터 신호가 인가되고, 순차적으로 제 2 게이트배선(GL2)에 게이트신호가 인가되면 제 3 박막트랜지스터(T3)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 3 서브픽셀(SP3)에 상기 데이터 신호가 인가될 수 있다.
- [0044] 두 번째로, 도면 4b에 도시된 바와 같이 제 1 게이트배선(GL1)에 게이트신호가 인가되면 제 1 박막트랜지스터

(T1)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 1 서브픽셀(SP1)에 데이터 신호가 인가되고, 순차적으로 제 2 게이트배선(GL2)에 게이트신호가 인가되면 제 4 박막트랜지스터(T4)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 4 서브픽셀(SP4)에 데이터 신호가 인가될 수 있다.

[0045] 세 번째로, 도면 4c에 도시된 바와 같이 제 1 게이트배선(GL1)에 게이트신호가 인가되면 제 2 박막트랜지스터(T2)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 2 서브픽셀(SP2)에 데이터 신호가 인가되고, 순차적으로 제 2 게이트배선(GL2)에 게이트신호가 인가되면 제 3 박막트랜지스터(T3)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 3 서브픽셀(SP3)에 상기 데이터 신호가 인가될 수 있다.

[0046] 네 번째로, 도 4d에 도시된 바와 같이 제 1 게이트배선(GL1)에 게이트신호가 인가되면 제 2 박막트랜지스터(T2)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 2 서브픽셀(SP2)에 데이터 신호가 인가되고, 순차적으로 제 2 게이트배선(GL2)에 게이트신호가 인가되면 제 4 박막트랜지스터(T4)를 턴-온시켜 제 1 데이터배선(DL1)을 통해 제 4 서브픽셀(SP4)에 데이터 신호가 인가될 수 있다.

[0047] 본 발명은 액정표시장치의 다수의 서브픽셀을 상기 네 가지 단위픽셀 중 하나를 선택하여 형성하면 각 서브 픽셀의 극성 최적조건을 만족시키며 DRD 구동을 할 수 있다. 따라서 각 서브픽셀의 극성 치우침으로 인한 화질 열화를 방지할 수 있다.

[0048] 제 1 내지 제 4 서브 픽셀(SP1 내지 SP4)은 RGBW 4 서브픽셀 구조로 인접하는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀이 하나의 픽셀을 이룰 수 있다.

[0049] 상기 RGBW 4 서브픽셀 구조는 RGB 서브픽셀에 어떠한 컬러도 없는 투명 필터가 설치되어 광량의 조절만이 가능한 백색(W) 서브 픽셀이 추가됨으로써 광 투과율을 조절하여 액정화면의 휘도를 증가시킬 수 있다.

[0050] 또한, 상기 제 1 내지 제 4 서브 픽셀(SP1 내지 SP4)은 소스구동부의 전압 변이 감소를 통해 회로부 소비전력을 감소시키기 위한 Z 인버전 방식으로 구동 될 수 있다.

[0051] 또한, 본 발명의 액정표시장치는 상기 제 1 및 제 2 게이트배선(GL1 및 GL2)과 연결되어 게이트 구동신호를 공급하는 게이트 구동부와 상기 제 1 데이터배선(DL1)과 연결되어 영상신호를 공급하는 소스 구동부를 더 포함할 수 있다.

[0052] 도 5는 본 발명의 제 1 실시예에 따른 액정표시장치이다.

[0053] 도 5에 도시된 바와 같이, 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)과 상기 각 행의 서브 픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터 배선(DL1 내지 DL5) 및 상기 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)에 각각 형성되는 제 1 내지 제 32 박막 트랜지스터(T1 내지 T32)를 포함한다.

[0054] 상기 제 2, 제 4, 제 5 및 제 7 박막트랜지스터(T2, T4, T5 및 T7)는 상기 제 1 게이트배선(GL1)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 1 게이트배선(GL1)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 1, 제 3, 제 6 및 제 8 박막트랜지스터(T1, T3, T6 및 T8)는 상기 제 2 게이트배선(GL2)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 2 게이트배선(GL2)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터(T10, T12, T13 및 T15)는 상기 제 3 게이트배선(GL3)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 3 게이트배선(GL3)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터(T9, T11, T14 및 T16)는 상기 제 4 게이트배선(GL4)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 4 게이트배선(GL4)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 17, 제 19, 제 22 및 제 24 박막트랜지스터(T17, T19, T22 및 T24)는 상기 제 5 게이트배선(GL5)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 5 게이트배선(GL5)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 18, 제 20, 제 21 및 제 23 박막트랜지스터(T18, T20, T21 및 T23)는 상기 제 6 게이트배선(GL6)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 6 게이트배선(GL6)에 연결된 박막트랜지스터는 턴-온 된다. 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터(T25, T27, T30 및 T32)는 상기 제 7 게이트배선(GL7)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 7 게이트배선(GL7)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터(T26, T28, T29 및 T31)는 상기 제 8 게이트배선(GL8)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 8 게이트배선(GL8)과 연결된 박막트랜지스터는 턴-온 된다. 또한 상기 게이트 신호는 순차적으로 상기 제 1

내지 제 8 게이트배선(GL1 내지 GL8)과 연결된 각 1 내지 제 32 박막트랜지스터(T1 내지 T32)에 인가된다.

[0055] 상기 제 1 데이터배선(DL1)은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터(T1, T9, T18 및 T26)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 1 데이터배선(DL1)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 1, 제 9, 제 18 및 제 26 서브픽셀(SP1, SP9, SP18 및 SP26)의 극성은 정극성(+)이다. 상기 제 2 데이터배선(DL2)은 제 2, 제 3, 제 10, 제 11, 제 17, 제 20, 제 25 및 제 28 박막트랜지스터(T2, T3, T10, T11, T17, T20, T25 및 T28)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 2 데이터배선(DL2)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 2, 제 3, 제 10, 제 11, 제 17, 제 20, 제 25 및 제 28 서브픽셀의 극성(SP2, SP3, SP10, SP11, SP17, SP20, SP25 및 SP28)은 부극성(-)이다. 상기 제 3 데이터배선(DL3)은 제 4, 제 6, 제 12, 제 14, 제 19, 제 21, 제 27 및 제 29 박막트랜지스터(T4, T6, T12, T14, T19, T21, T27 및 T29)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 3 데이터배선(DL3)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 4, 제 6, 제 12, 제 14, 제 19, 제 21, 제 27 및 제 29 서브픽셀의 극성(SP4, SP6, SP12, SP14, SP19, SP21, SP27 및 SP29)은 정극성(+)이다. 상기 제 4 데이터배선(DL4)은 제 5, 제 8, 제 13, 제 16, 제 22, 제 23, 제 30 및 제 31 박막트랜지스터(T5, T8, T13, T16, T22, T23, T30 및 T31)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 4 데이터배선(DL4)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 5, 제 8, 제 13, 제 16, 제 22, 제 23, 제 30 및 제 31 서브픽셀(SP5, SP8, SP13, SP16, SP22, SP23, SP30 및 SP31)의 극성은 부극성(-)이다. 상기 제 5 데이터배선(DL5)은 제 7, 제 15, 제 24 및 제 32 박막트랜지스터(T7, T15, T24 및 T32)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 5 데이터배선(DL5)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 7, 제 15, 제 24 및 제 32 서브픽셀(SP7, SP15, SP24 및 SP32)의 극성은 정극성(+)이다.

[0056] 상기 제 1 내지 제 5 데이터배선(DL1 내지 DL5)을 통해 인가되는 데이터신호는 동시에 상기 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 인가 된다.

[0057] 또한 홀수 번째 행의 서브픽셀은 백색(W), 적색(R), 녹색(G), 청색(B) 서브픽셀 순으로 네 개가 한 픽셀을 이루며 반복되고, 짝수 번째 행의 서브픽셀은 녹색(G), 청색(B), 백색(W), 적색(R) 순으로 네 개가 한 픽셀을 이루며 반복될 수 있다.

[0058] 따라서 본 발명의 제 1 실시예에 따른 액정표시장치의 상기 백색(W), 적색(R) 서브픽셀의 극성은 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고,

[0059] 녹색(G), 청색(B) 서브픽셀의 극성은 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전된다.

[0060] 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치이다.

[0061] 도 6에 도시된 바와 같이, 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)과 상기 각 행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터배선(DL1 내지 DL5) 및 상기 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)에 각각 형성되는 제 1 내지 제 32 박막트랜지스터(T1 내지 T32)를 포함한다.

[0062] 상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터(T2, T3, T5 및 T8)는 상기 제 1 게이트배선(GL1)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 1 게이트배선(GL1)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터(T1, T4, T6 및 T7)는 상기 제 2 게이트배선(GL2)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 2 게이트배선(GL2)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터(T9, T11, T14 및 T16)는 상기 제 3 게이트배선(GL3)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 3 게이트배선(GL3)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터(T10, T12, T13 및 T15)는 상기 제 4 게이트배선

(GL4)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 4 게이트배선(GL4)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터(T17, T20, T22 및 T23)는 상기 제 5 게이트배선(GL5)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 5 게이트배선(GL5)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터(T18, T19, T21 및 T24)는 상기 제 6 게이트배선(GL6)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 6 게이트배선(GL6)에 연결된 박막트랜지스터는 턴-온 된다. 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터(T26, T28, T29 및 T31)는 상기 제 7 게이트배선(GL7)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 7 게이트배선(GL7)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터(T25, T27, T30 및 T32)는 상기 제 8 게이트배선(GL8)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 8 게이트배선(GL8)과 연결된 박막트랜지스터는 턴-온 된다. 또한 상기 게이트 신호는 순차적으로 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 연결된 각 1 내지 제 32 박막트랜지스터(T1 내지 T32)에 인가된다.

[0063]

상기 제 1 데이터배선(DL1)은 제 1, 제 10, 제 18 및 제 25 박막트랜지스터(T1, T10, T18 및 T25)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 1 데이터배선(DL1)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 1, 제 10, 제 18 및 제 25 서브픽셀(SP1, SP10, SP18 및 SP25)의 극성은 정극성(+)이다. 상기 제 2 데이터배선은 제 2, 제 4, 제 9, 제 12, 제 17, 제 19, 제 26 및 제 27 박막트랜지스터(T2, T4, T9, T12, T17, T19, T26 및 T27)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 2 데이터배선(DL2)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 2, 제 4, 제 9, 제 12, 제 17, 제 19, 제 26 및 제 27 서브픽셀(SP2, SP4, SP9, SP12, SP17, SP19, SP26 및 SP27)의 극성은 부극성(-)이다. 상기 제 3 데이터배선(DL3)은 제 3, 제 6, 제 11, 제 13, 제 20, 제 21, 제 28 및 제 30 박막트랜지스터(T3, T6, T11, T13, T20, T21, T28 및 T30)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 3 데이터배선(DL3)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 3, 제 6, 제 11, 제 13, 제 20, 제 21, 제 28 및 제 30 서브픽셀의 극성(SP3, SP6, SP11, SP13, SP20, SP21, SP28 및 SP30)은 정극성(+)이다. 상기 제 4 데이터배선(DL4)은 제 5, 제 7, 제 14, 제 15, 제 22, 제 24, 제 29 및 제 32 박막트랜지스터(T5, T7, T14, T15, T22, T24, T29 및 T32)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 4 데이터배선(DL4)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 5, 제 7, 제 14, 제 15, 제 22, 제 24, 제 29 및 제 32 서브픽셀(SP5, SP7, SP14, SP15, SP22, SP24, SP29 및 SP32)의 극성은 부극성(-)이다. 상기 제 5 데이터배선(DL5)은 제 8, 제 16, 제 23 및 제 31 박막트랜지스터(T8, T16, T23 및 T31)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 5 데이터배선(DL5)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 8, 제 16, 제 23 및 제 31 서브픽셀(SP8, SP16, SP23 및 SP31)의 극성은 정극성(+)이다.

[0064]

상기 제 1 내지 제 5 데이터배선(DL1 내지 DL5)을 통해 인가되는 데이터신호는 동시에 상기 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 인가 된다.

[0065]

또한 홀수 번째 행의 서브픽셀은 백색(W), 적색(R), 녹색(G), 청색(B) 서브픽셀 순으로 네 개가 한 픽셀을 이루며 반복되고, 짝수 번째 행의 서브픽셀은 녹색(G), 청색(B), 백색(W), 적색(R) 순으로 네 개가 한 픽셀을 이루며 반복될 수 있다.

[0066]

따라서 본 발명의 제 2 실시예에 따른 액정표시장치의 상기 백색(W), 적색(R), 녹색(G) 및 청색(B) 서브픽셀의 극성은 대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 되고, 역대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로 반전된다.

[0067]

도 7은 본 발명의 제 3 실시예에 따른 액정표시장치이다.

[0068]

도 7에 도시된 바와 같이, 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)과 상기 각 행의 서브픽셀 상하마다 각각 형성되는 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 교차하고 첫 번째 열의 서브픽셀의 좌측부터 2열의 서브픽셀마다 형성되는 제 1 내지 제 5 데이터배선(DL1 내지 DL5) 및 상기 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)에 각각 형성되는 제 1 내지 제 32 박막

트랜지스터(T1 내지 T32)를 포함한다.

[0069]

상기 제 2, 제 3, 제 5 및 제 8 박막트랜지스터(T2, T3, T5 및 T8)는 상기 제 1 게이트배선(GL1)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 1 게이트배선(GL1)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 1, 제 4, 제 6 및 제 7 박막트랜지스터(T1, T4, T6 및 T7)는 상기 제 2 게이트배선(GL2)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 2 게이트배선(GL2)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 10, 제 12, 제 13 및 제 15 박막트랜지스터(T10, T12, T13 및 T15)는 상기 제 3 게이트배선(GL3)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 3 게이트배선(GL3)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 9, 제 11, 제 14 및 제 16 박막트랜지스터(T9, T11, T14 및 T16)는 상기 제 4 게이트배선(GL4)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 4 게이트배선(GL4)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 17, 제 20, 제 22 및 제 23 박막트랜지스터(T17, T20, T22 및 T23)는 상기 제 5 게이트배선(GL5)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 5 게이트배선(GL5)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 18, 제 19, 제 21 및 제 24 박막트랜지스터(T18, T19, T21 및 T24)는 상기 제 6 게이트배선(GL6)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 6 게이트배선(GL6)에 연결된 박막트랜지스터는 턴-온 된다. 상기 제 25, 제 27, 제 30 및 제 32 박막트랜지스터(T25, T27, T30 및 T32)는 상기 제 7 게이트배선(GL7)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 7 게이트배선(GL7)과 연결된 박막트랜지스터는 턴-온 된다. 상기 제 26, 제 28, 제 29 및 제 31 박막트랜지스터(T26, T28, T29 및 T31)는 상기 제 8 게이트배선(GL8)에 연결되고, 게이트구동부로부터 게이트신호가 인가되면 상기 제 8 게이트배선(GL8)과 연결된 박막트랜지스터는 턴-온 된다. 또한 상기 게이트 신호는 순차적으로 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 연결된 각 1 내지 제 32 박막트랜지스터(T1 내지 T32)에 인가된다.

[0070]

상기 제 1 데이터배선(DL1)은 제 1, 제 9, 제 18 및 제 26 박막트랜지스터(T1, T9, T18 및 T26)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 1 데이터배선(DL1)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 1, 제 9, 제 18 및 제 26 서브픽셀(SP1, SP9, SP18 및 SP26)의 극성은 정극성(+)이다. 상기 제 2 데이터배선(DL2)은 제 2, 제 4, 제 10, 제 11, 제 17, 제 19, 제 25 및 제 28 박막트랜지스터(T2, T4, T10, T11, T17, T19, T25 및 T28)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 2 데이터배선(DL2)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 2, 제 4, 제 10, 제 11, 제 17, 제 19, 제 25 및 제 28 서브픽셀(SP2, SP4, SP10, SP11, SP17, SP19, SP25 및 SP28)의 극성은 부극성(-)이다. 상기 제 3 데이터배선은 제 3, 제 6, 제 12, 제 14, 제 20, 제 21, 제 27 및 제 29 박막트랜지스터(T3, T6, T12, T14, T20, T21, T27 및 T29)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 3 데이터배선(DL3)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 3, 제 6, 제 12, 제 14, 제 20, 제 21, 제 27 및 제 29 서브픽셀(SP3, SP6, SP12, SP14, SP20, SP21, SP27 및 SP29)의 극성은 정극성(+)이다. 상기 제 4 데이터배선(DL4)은 제 5, 제 7, 제 13, 제 16, 제 22, 제 24, 제 30 및 제 31 박막트랜지스터(T5, T7, T13, T16, T22, T24, T30 및 T31)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 4 데이터배선(DL4)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 부극성(-)일 수 있으며, 제 5, 제 7, 제 13, 제 16, 제 22, 제 24, 제 30 및 제 31 서브픽셀(SP5, SP7, SP13, SP16, SP22, SP24, SP30 및 SP31)의 극성은 부극성(-)이다. 상기 제 5 데이터배선(DL5)은 제 8, 제 15, 제 23 및 제 32 박막트랜지스터(T8, T15, T23 및 T32)에 연결되고, 순차적으로 인가된 게이트신호에 따라 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 데이터신호가 인가된다. 또한 상기 제 5 데이터배선(DL5)을 통해 상기 서브픽셀에 인가되는 데이터신호의 극성은 정극성(+)일 수 있으며, 제 8, 제 15, 제 23 및 제 32 서브픽셀(SP8, SP15, SP23 및 SP32)의 극성은 정극성(+)이다.

[0071]

상기 제 1 내지 제 5 데이터배선(DL1 내지 DL5)을 통해 인가되는 데이터신호는 동시에 상기 턴-온 된 박막트랜지스터와 연결된 서브픽셀에 인가 된다.

[0072]

또한 홀수 번째 행의 서브픽셀은 백색(W), 적색(R), 녹색(G), 청색(B) 서브픽셀 순으로 네 개가 한 픽셀을 이루며 반복되고, 짝수 번째 행의 서브픽셀은 녹색(G), 청색(B), 백색(W), 적색(R) 순으로 네 개가 한 픽셀을 이루며 반복될 수 있다.

[0073]

따라서 본 발명의 제 3 실시예에 따른 액정표시장치의 상기 백색(W), 적색(R), 녹색(G), 청색(B) 서브픽셀의 극성은 대각선방향으로 정극성(+), 부극성(-), 정극성(+) 또는 부극성(-), 정극성(+), 부극성(-) 순으로

반전되고, 역대각선방향으로 정극성(+) 또는 부극성(-)으로 동일 극성이 된다.

- [0074] 도 5 내지 도 7의 제 1내지 제 3 실시예의 4행 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1 내지 SP32)과 제 1 내지 제 32 박막트랜지스터(T1 내지 T32)와 제 1 내지 제 8 게이트배선(GL1 내지 GL8) 및 제 1 내지 제 5 데이터배선(DL1 내지 DL5)은 좌에서 우로, 위에서 아래로 반복되어 하나의 액정표시장치로 구현 될 수 있다.
- [0075] 도 8a 내지 도 8g는 본 발명의 제 4 내지 제 10 실시예로, 도 5의 제 1 실시예가 상기와 같이 반복 구현되는 경우, 상기 제 1 실시예를 기준으로 RGBW 컬러필터만 오른쪽 또는 아래로 2개의 서브픽셀단위로 각각 이동되어 구현된 액정표시장치이다. 도 9a 내지 도 9c는 본 발명의 제 11 내지 제 13 실시예로, 도 6의 제 2 실시예가 상기와 같이 반복 구현되는 경우, 상기 제 2 실시예를 기준으로 RGBW 컬러필터만 오른쪽 또는 아래로 2개의 서브픽셀단위로 각각 이동되어 구현된 액정표시장치이다. 도 10a 내지 도 10c는 본 발명의 제 14 내지 제 16 실시예로, 도 7의 제 3 실시예가 상기와 같이 반복 구현되는 경우, 상기 제 3 실시예를 기준으로 RGBW 컬러필터만 오른쪽 또는 아래로 2개의 서브픽셀단위로 각각 이동되어 구현된 액정표시장치이다.
- [0076] 도 8a는 본 발명의 제 4 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 1번 이동 되거나, 오른쪽으로 3번 및 아래로 2번 이동 된 액정표시장치이다.
- [0077] 도 8b는 본 발명의 제 5 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 2번 이동 되거나, 아래로 2번 이동 된 액정표시장치이다.
- [0078] 도 8c는 본 발명의 제 6 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 3번 이동 되거나, 오른쪽으로 1번 및 아래로 2번 이동 된 액정표시장치이다.
- [0079] 도 8d는 본 발명의 제 7 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 아래로 1번 이동 되거나, 오른쪽으로 2번 및 아래로 3번 이동 된 액정표시장치이다.
- [0080] 도 8e는 본 발명의 제 8 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 아래로 3번 이동 되거나, 오른쪽으로 2번 및 아래로 1번 이동 된 액정표시장치이다.
- [0081] 도 8f는 본 발명의 제 9 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 1번 및 아래로 1번 이동 되거나, 오른쪽으로 3번 및 아래로 3번 이동 된 액정표시장치이다.
- [0082] 도 8g는 본 발명의 제 10 실시예로 도 4의 제 1 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 3번 및 아래로 1번 이동 되거나, 오른쪽으로 1번 및 아래로 3번 이동 된 액정표시장치이다.
- [0083] 도 9a는 본 발명의 제 11 실시예로 도 5의 제 2 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 1번 이동 되거나, 아래로 1번 이동 되거나, 오른쪽으로 2번 및 아래쪽으로 3번 이동 되거나, 오른쪽으로 3번 및 아래로 2번 이동 된 액정표시장치이다.
- [0084] 도 9b는 본 발명의 제 12 실시예로 도 5의 제 2 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 2번 이동 되거나, 아래로 2번 이동 되거나, 오른쪽으로 1번 및 아래쪽으로 1번 이동 되거나, 오른쪽으로 3번 및 아래로 3번 이동 된 액정표시장치이다.
- [0085] 도 9c는 본 발명의 제 13 실시예로 도 5의 제 2 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 3번 이동 되거나, 아래로 3번 이동 되거나, 오른쪽으로 2번 및 아래쪽으로 1번 이동 되거나, 오른쪽으로 1번 및 아래로 2번 이동 된 액정표시장치이다.
- [0086] 도 10a는 본 발명의 제 14 실시예로 도 6의 제 3 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 1번 이동 되거나, 아래로 3번 이동 되거나, 오른쪽으로 2번 및 아래쪽으로 1번 이동 되거나, 오른쪽으로 3번 및 아래로 2번 이동 된 액정표시장치이다.
- [0087] 도 10b는 본 발명의 제 15 실시예로 도 6의 제 3 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 2번 이동 되거나, 아래로 2번 이동 되거나, 오른쪽으로 1번 및 아래쪽으로 3번 이동 되거나, 오른쪽으로 3번 및 아래로 1번 이동 된 액정표시장치이다.
- [0088] 도 10c는 본 발명의 제 16 실시예로 도 6의 제 3 실시예를 기준으로 RGBW 컬러필터만 각각 2개의 서브픽셀단위로 오른쪽으로 3번 이동 되거나, 아래로 1번 이동 되거나, 오른쪽으로 1번 및 아래쪽으로 2번 이동 되거나, 오른쪽으로 2번 및 아래로 3번 이동 된 액정표시장치이다.
- [0089] 상기 제1 내지 제 16 실시예는 각 서브 픽셀의 극성 최적조건을 만족시키며 DRD 구동을 할 수 있다. 따라서 각

서브픽셀의 극성 치우침으로 인한 화질 열화를 방지할 수 있다.

[0090] 또한, 제 1 내지 제 32 서브 픽셀(SP1 내지 SP32)은 RGBW 4 서브픽셀 구조로 인접하는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브픽셀이 하나의 픽셀을 이룰 수 있고, 상기 RGBW 4 서브픽셀구조는 어떠한 컬러도 없는 투명 필터가 설치되어 광량의 조절만이 가능한 백색(W) 서브 픽셀이 추가됨으로써 광 투과율을 조절하여 액정화면의 휘도를 증가시킬 수 있다.

[0091] 또한, 상기 제 1 내지 제 32 서브 픽셀(SP1 내지 SP32)은 소스구동부의 전압 변이 감소를 통해 회로부 소비전력을 감소시키기 위한 Z 인버전 방식으로 구동 될 수 있다.

[0092] 또한, 본 발명에 따른 액정표시장치는 상기 제 1 내지 제 8 게이트배선(GL1 내지 GL8)과 연결되어 게이트 구동 신호를 공급하는 게이트 구동부와 상기 제 1 내지 제 5 데이터배선(DL1 내지 DL5)과 연결되어 영상신호를 공급하는 소스 구동부를 더 포함할 수 있다.

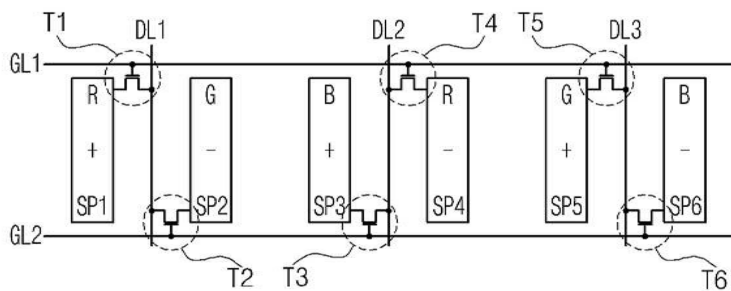
[0093] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 따라서 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

부호의 설명

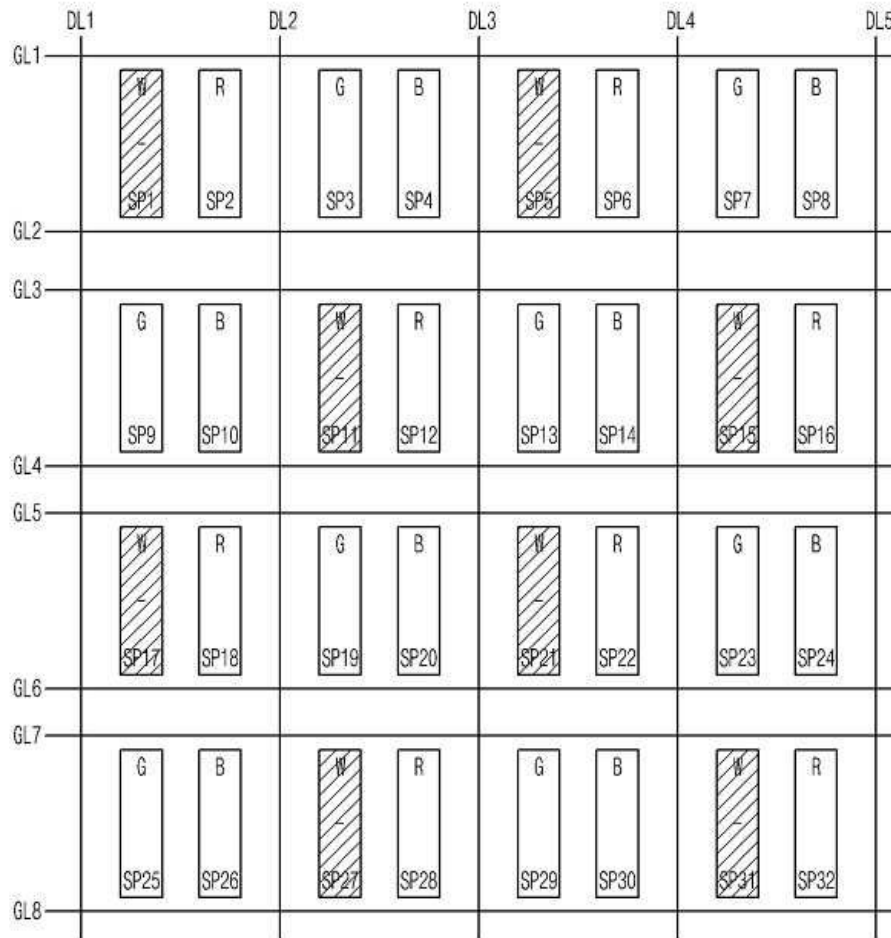
[0094] GL1 ~ GL8 : 게이트배선 DL1 ~ DL5 : 데이터배선
SP1 ~ SP32 : 서브픽셀 T1 ~ T32 : 박막트랜지스터

도면

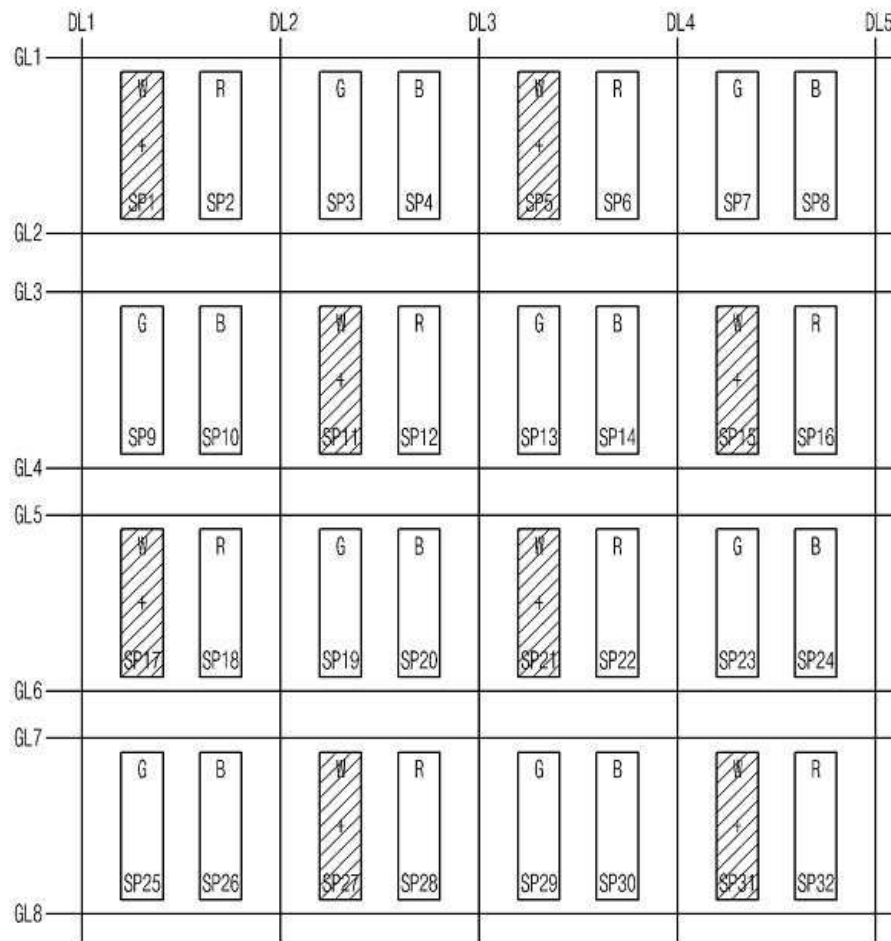
도면1



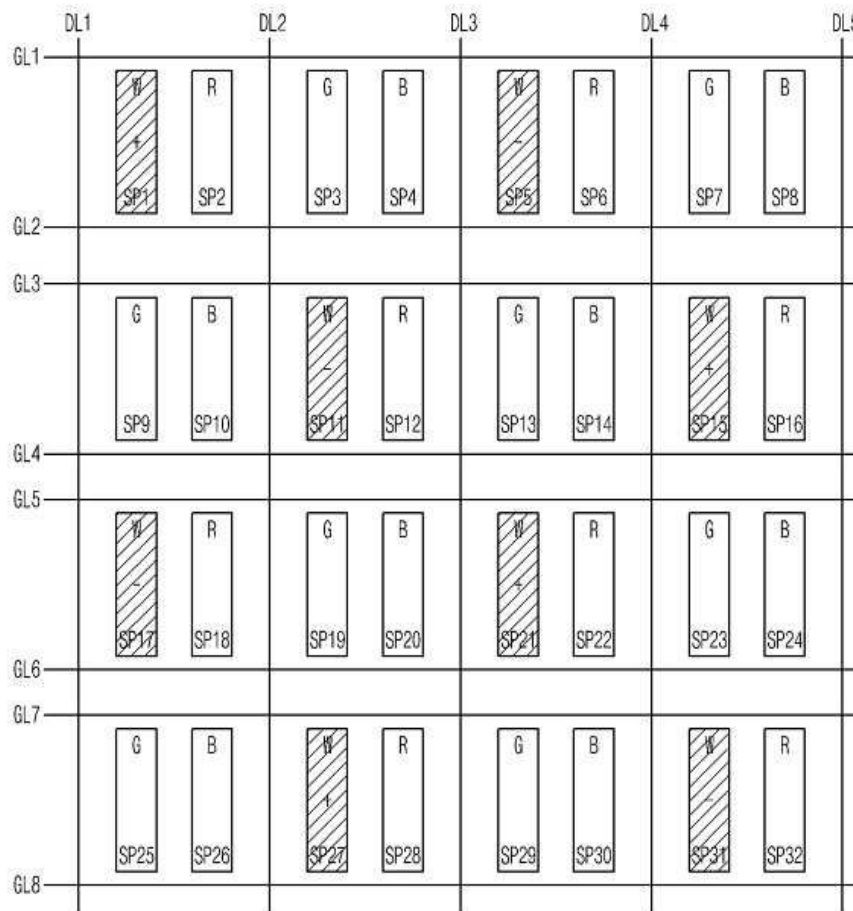
도면2a



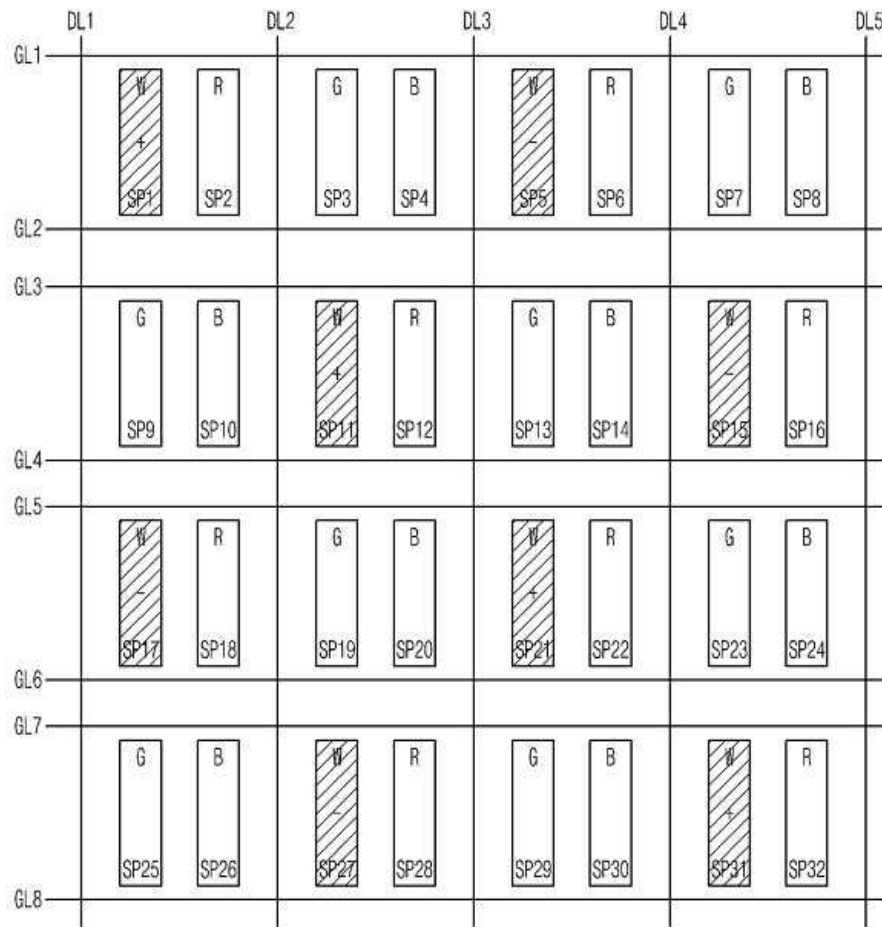
도면2b



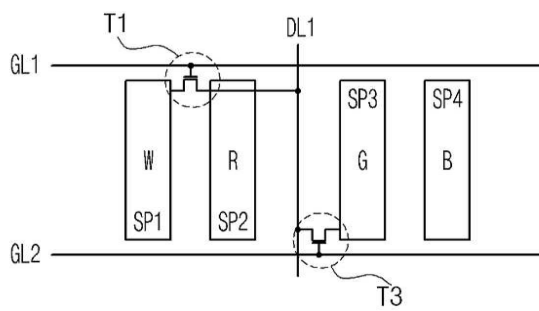
도면3a



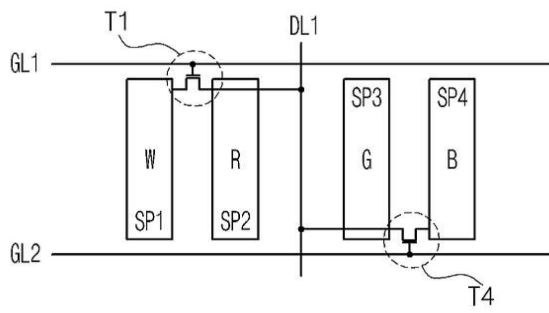
도면3b



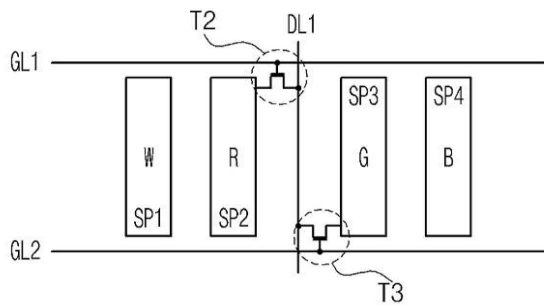
도면4a



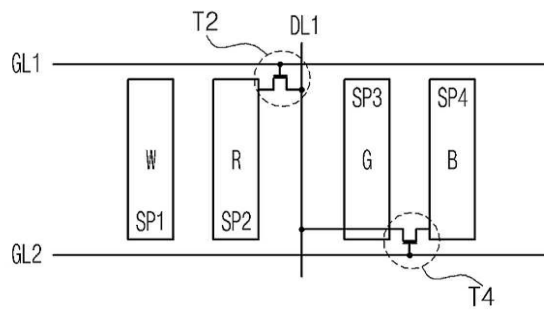
도면4b



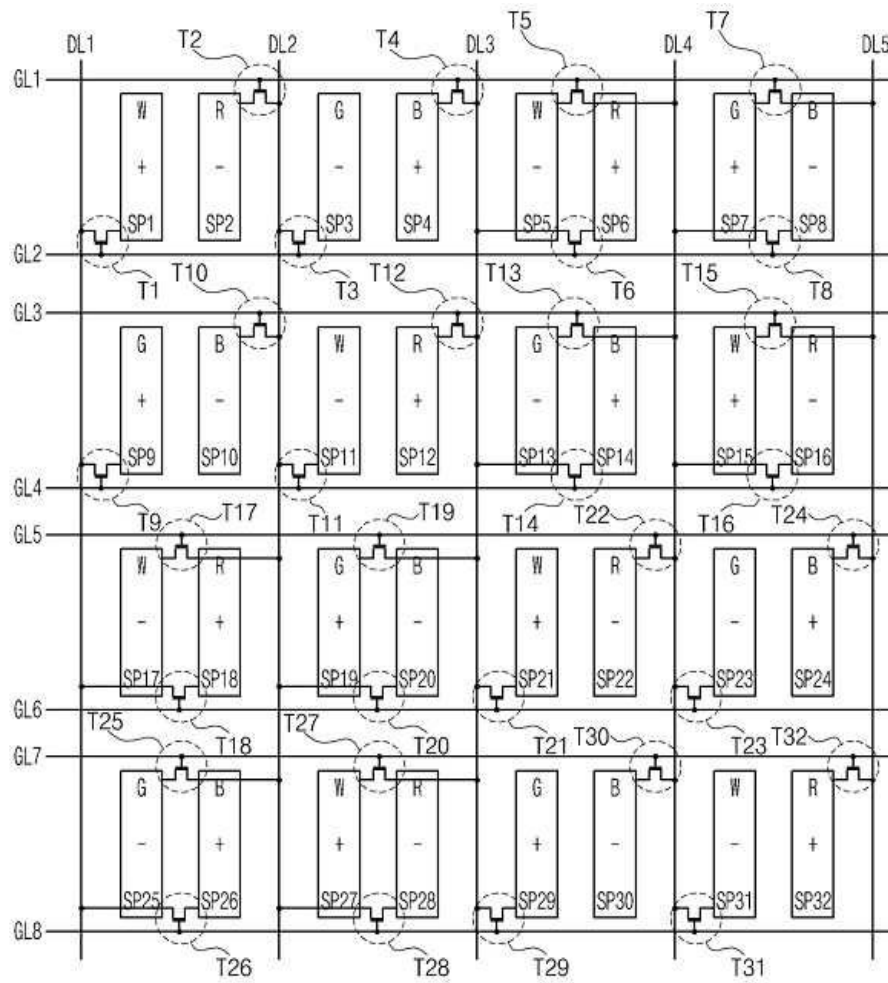
도면4c



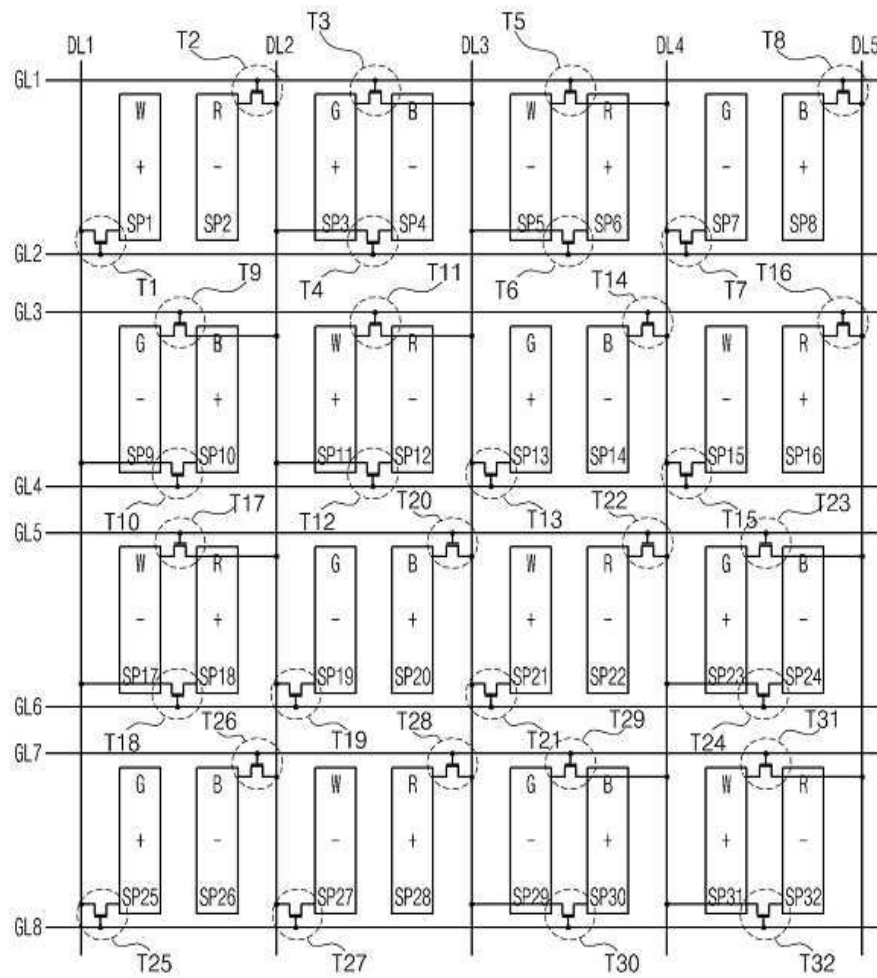
도면4d



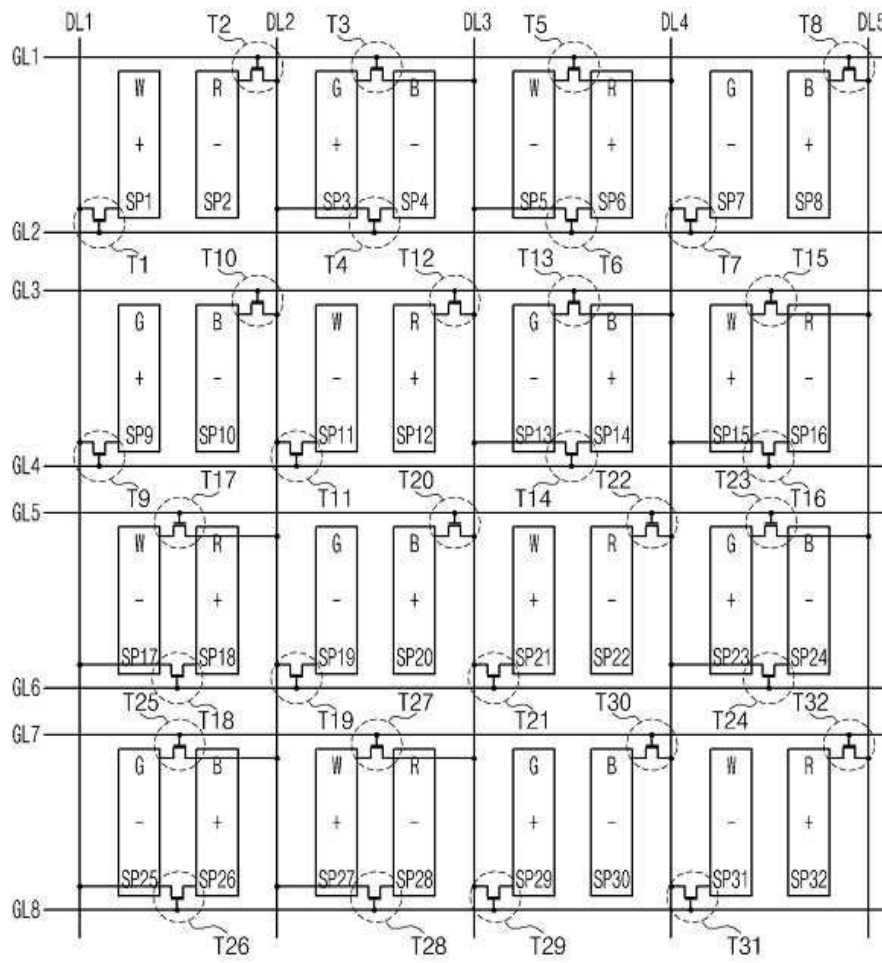
도면5



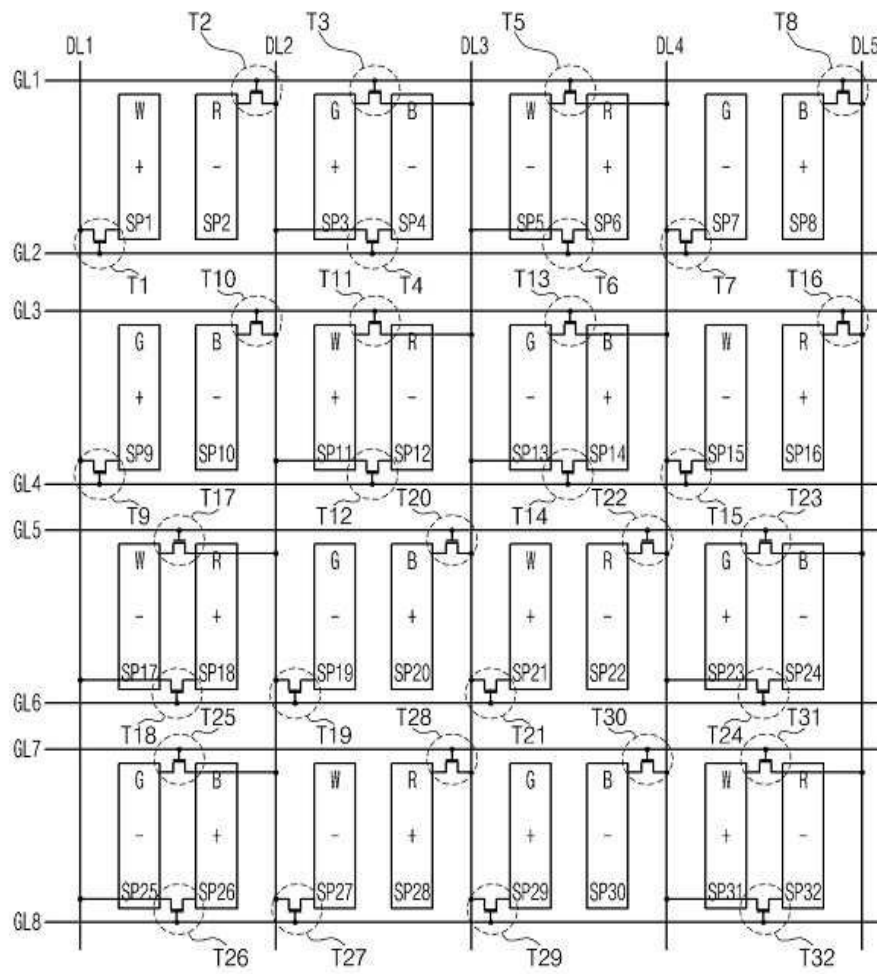
도면6



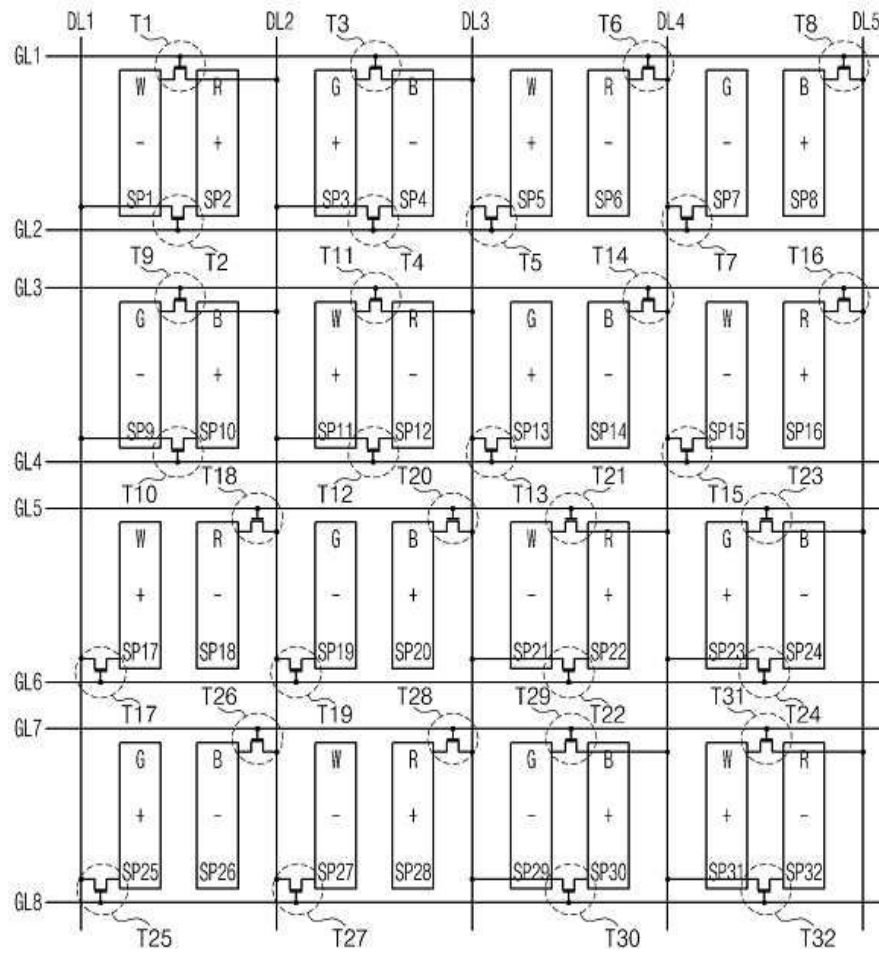
도면7



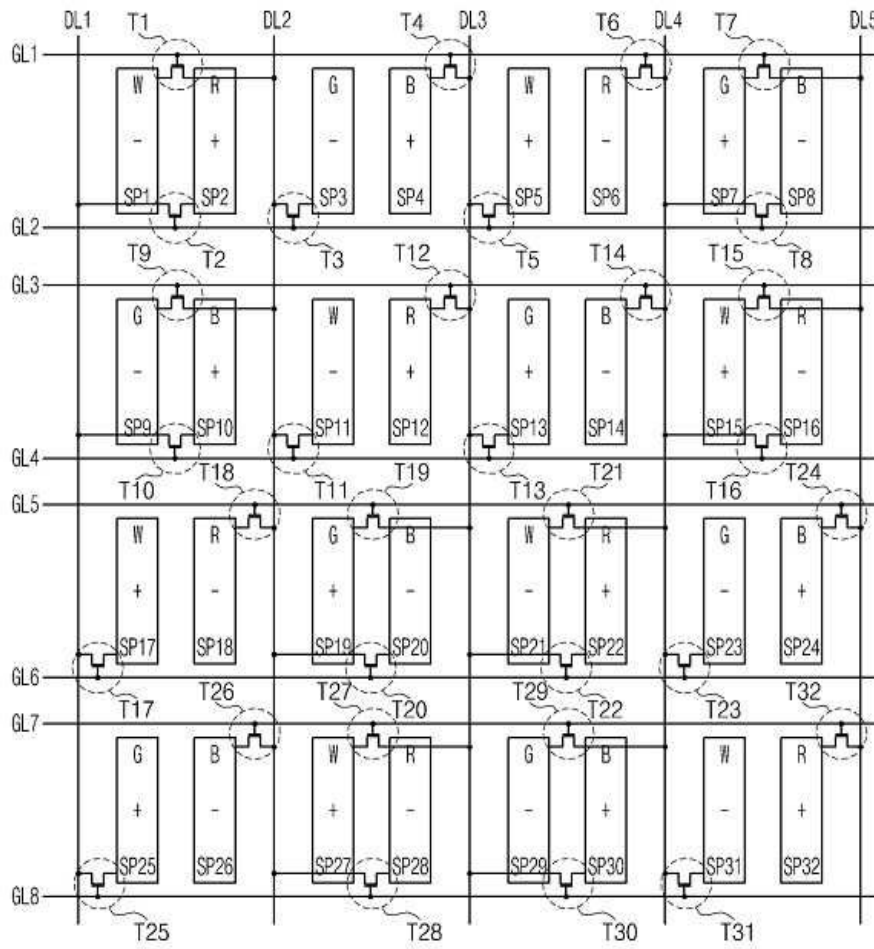
도면8a



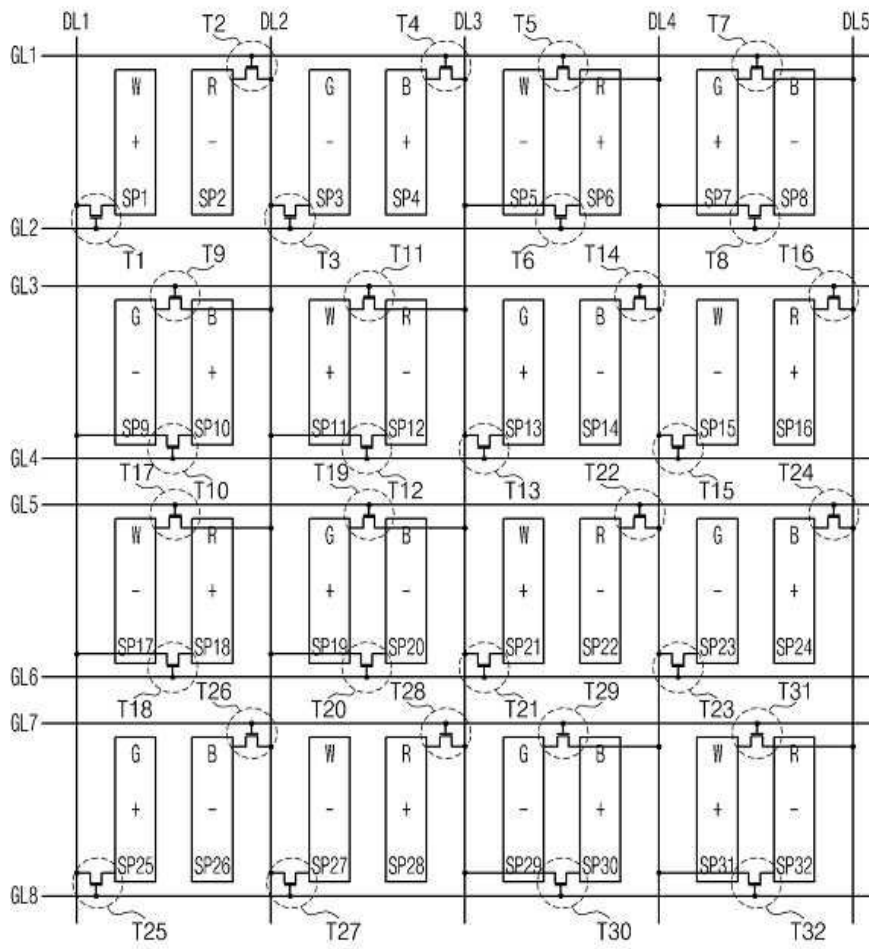
도면8b



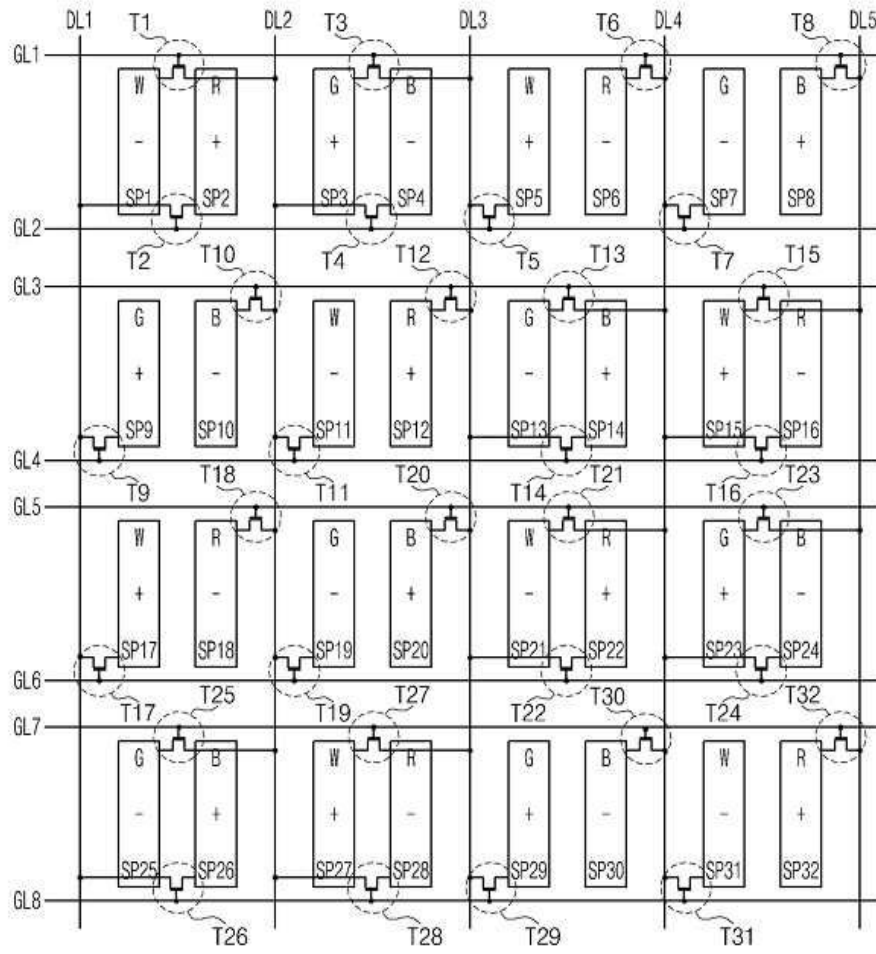
도면8c



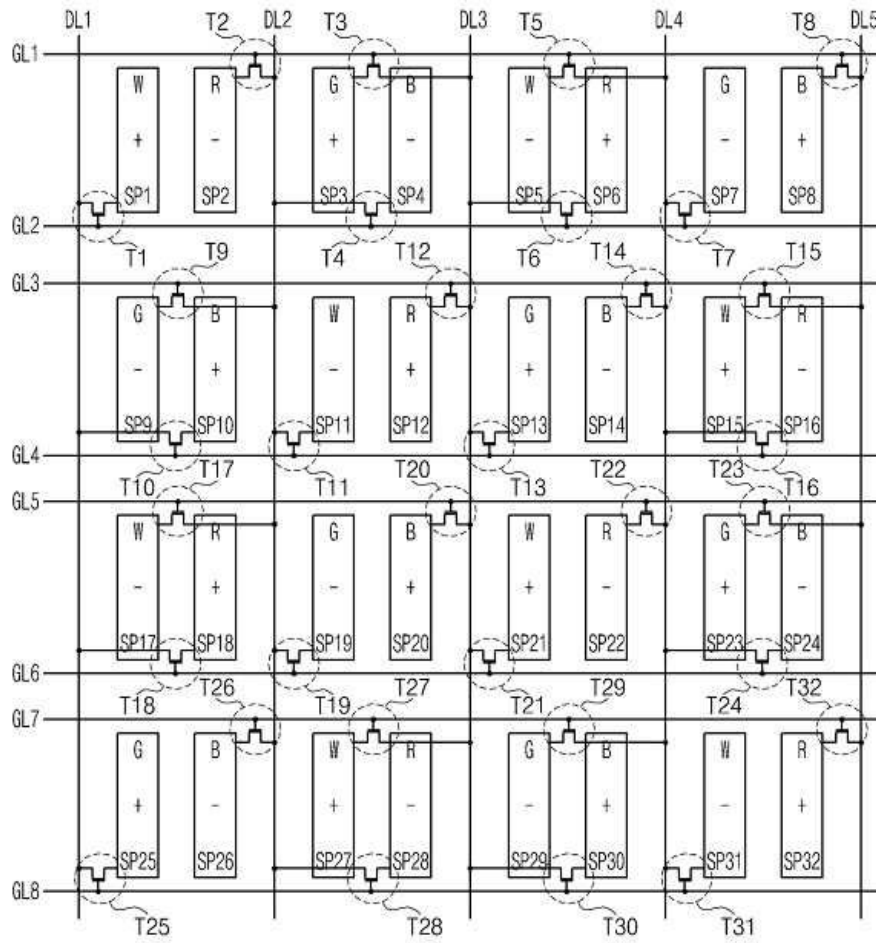
도면8d



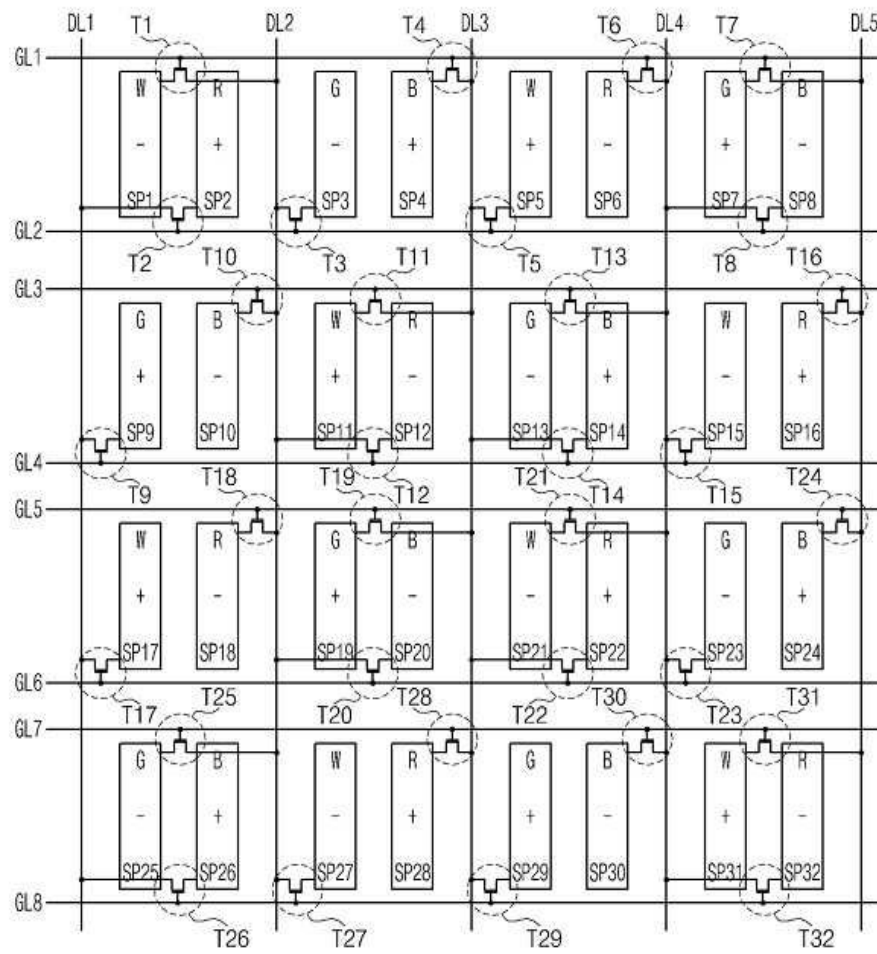
도면8e



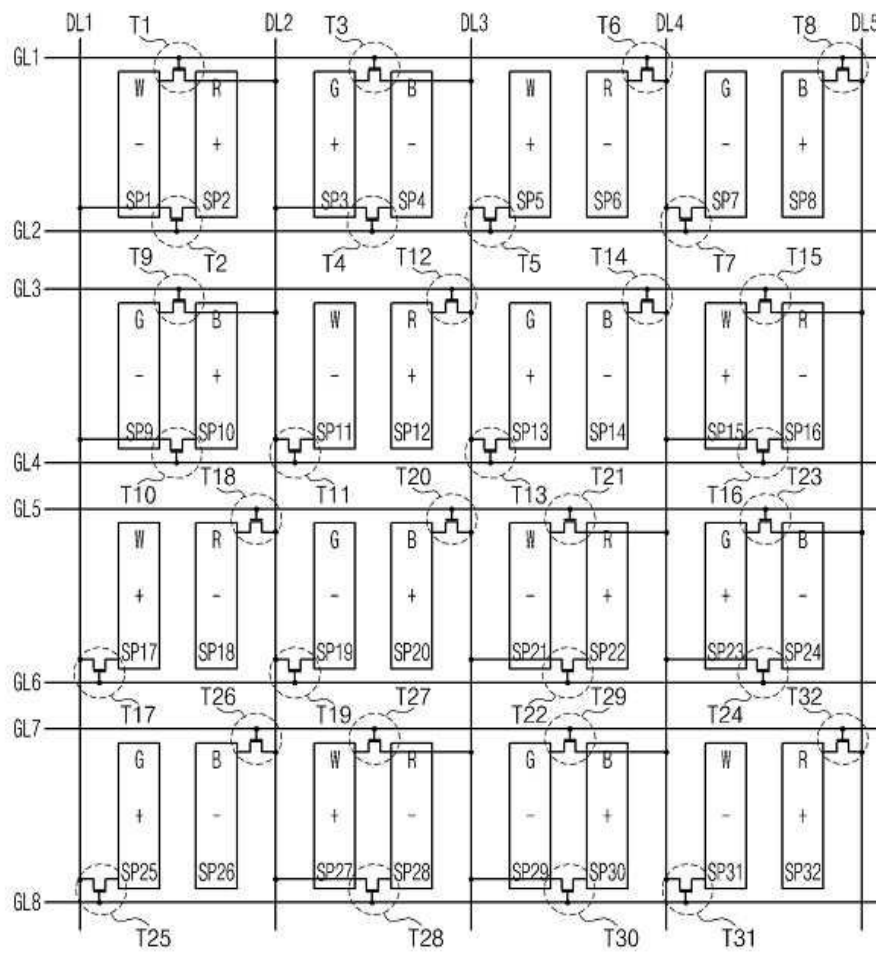
도면8f



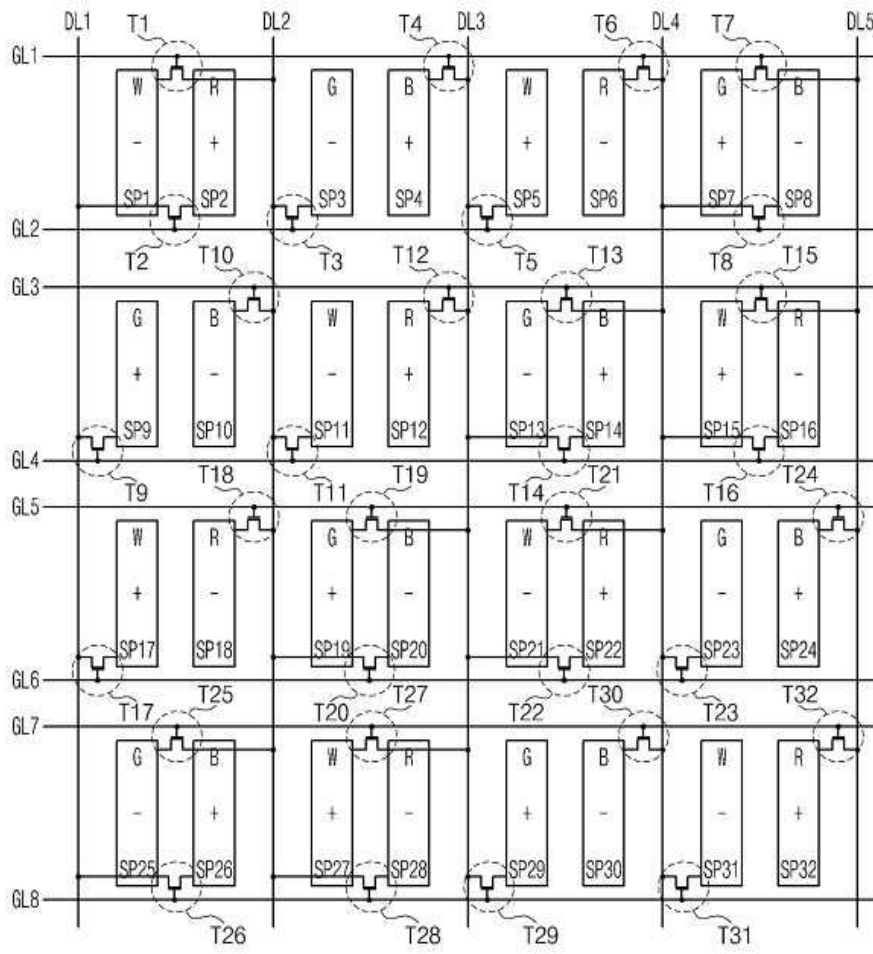
도면8g



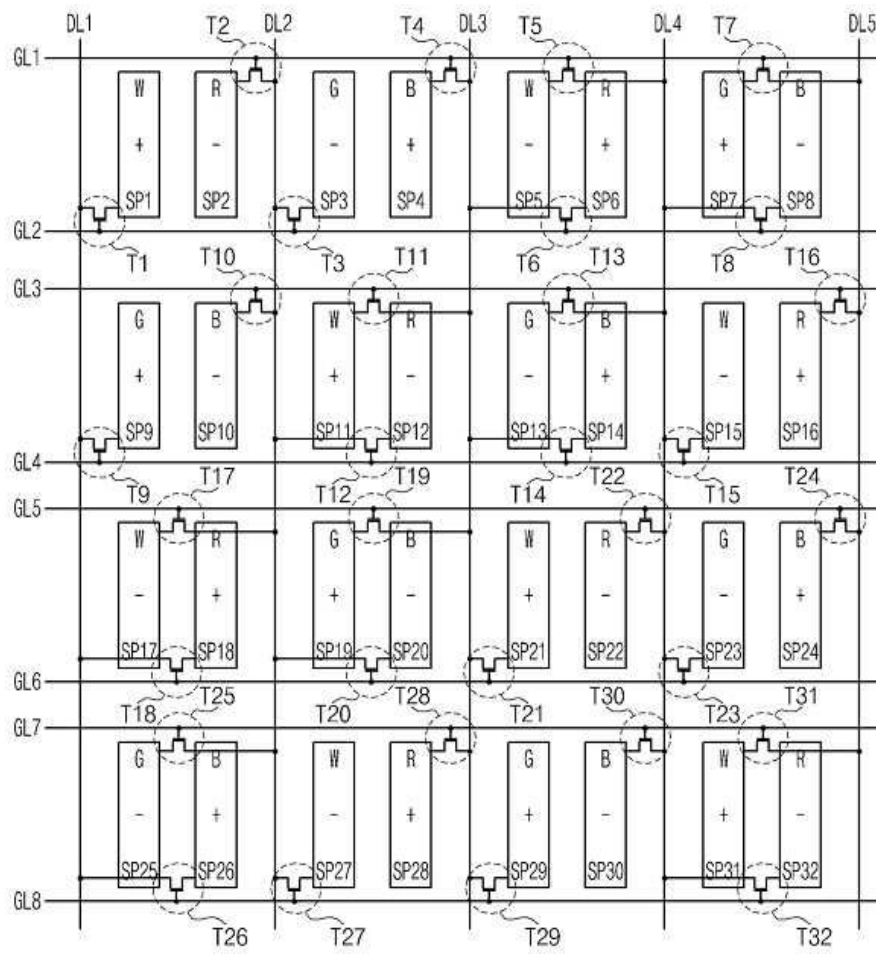
도면9a



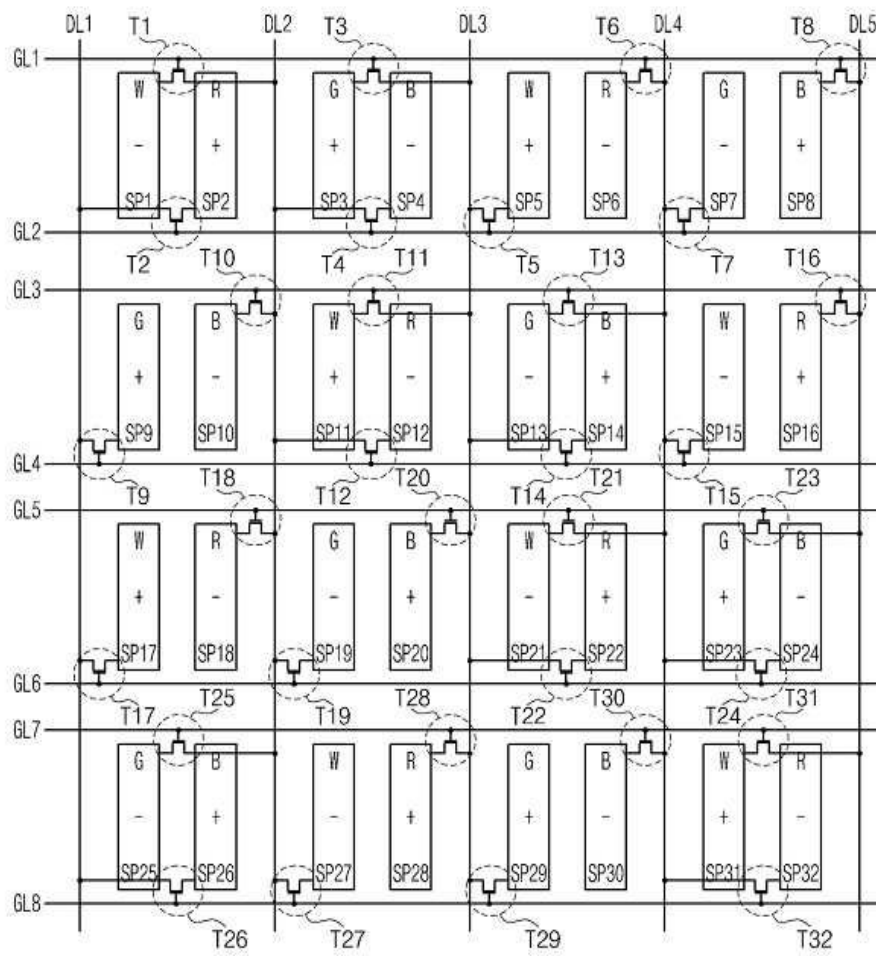
도면9b



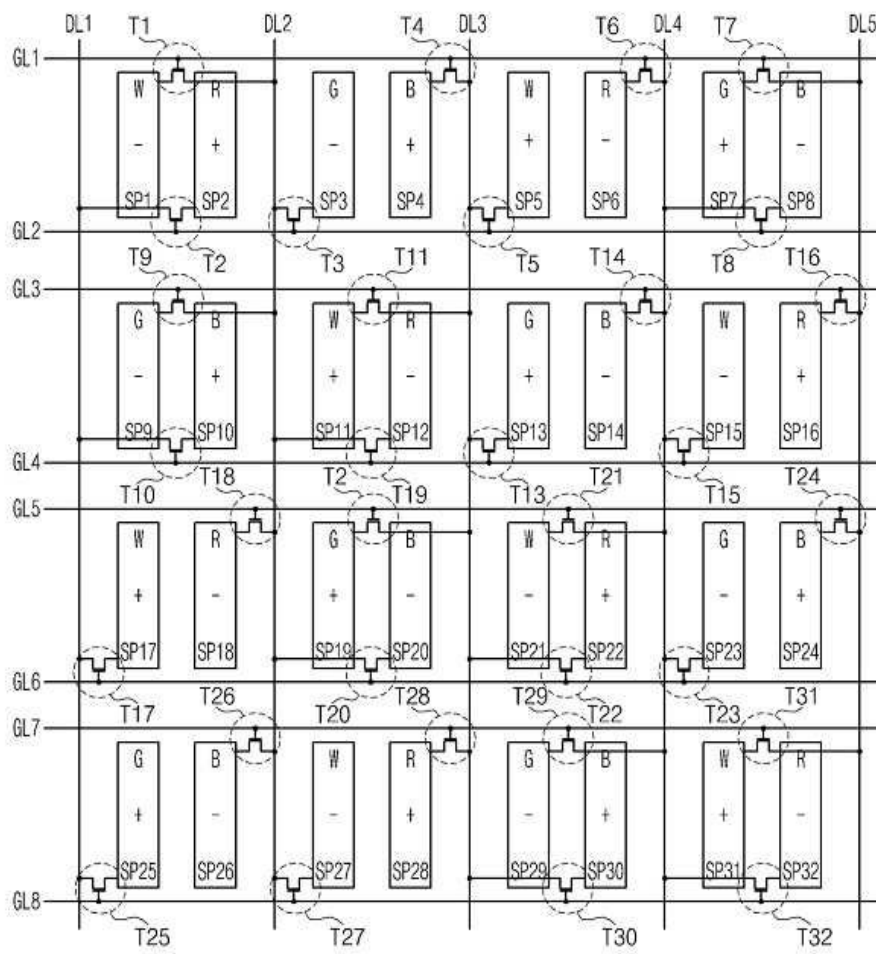
도면9c



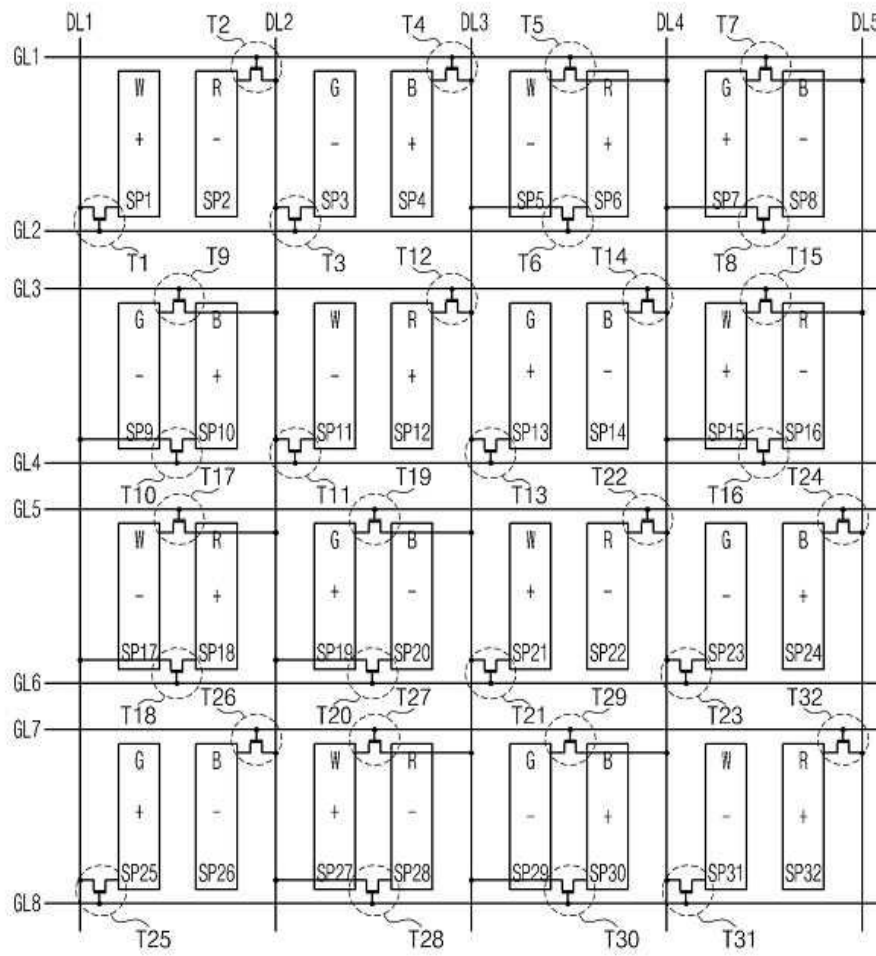
도면10a



도면10b



도면10c



专利名称(译)	液晶显示器		
公开(公告)号	KR101541353B1	公开(公告)日	2015-08-03
申请号	KR1020140044831	申请日	2014-04-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JU UN 박주언 LEE WON HO 이원호		
发明人	박주언 이원호		
IPC分类号	G02F1/133 G02F1/1362		
CPC分类号	G02F1/133514 G02F1/1362 G02F1/136286		
外部链接	Espacenet		

摘要(译)

液晶显示设备及其驱动方法技术领域本发明涉及一种液晶显示设备及其驱动方法，更具体地，涉及一种用于改善包括读取（R），绿色（G），蓝色（RGB）的RGBW 4子像素结构中的劣化的液晶显示设备。B）和白色（W）。基于此，本发明提供了一种DRD型液晶显示装置，包括：水平布置的第一至第四子像素；和在第一至第四子像素上方和下方分别形成的第一和第二栅极布线；第一数据线与第一和第二栅极线相交并形成在第二和第三子像素之间；第一至第四薄膜晶体管分别形成在第一至第四子像素上。第一和第二薄膜晶体管连接到第一栅极布线；第二薄膜晶体管连接到第一栅极布线。第三和第四薄膜晶体管连接到第二栅极布线。第一数据布线连接到第一或第二薄膜晶体管以及第三或第四薄膜晶体管。

