

(52) CPC특허분류

G09G 3/3688 (2013.01)

G09G 3/3696 (2013.01)

G02F 2201/40 (2013.01)

명세서

청구범위

청구항 1

복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하는 화소 구동 회로로서, 각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되고, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하고,

상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,

상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하며,

상기 제 1 스위치는 박막 트랜지스터이고,

상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,

상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,

상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인이며,

상기 제 1 화소 전극 및 상기 제 2 화소 전극은 모두 4개의 영역의 액정 분자에 대응하는

화소 구동 회로.

청구항 2

제 1 항에 있어서,

상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,

상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치하는

화소 구동 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이며,

상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는

$V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족하고,

단, $V2$ 는 제 2 화소 전극에 있어서의 전압이며, $V1$ 은 제 1 화소 전극에 있어서의 전압이고, $Vcom$ 는 공통 전극선으로부터 공급되는 공통 전압이고, $L1$ 는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이고, $L2$ 는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리인

화소 구동 회로.

청구항 4

제 1 항에 있어서,

상기 주사선, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 제조되는

화소 구동 회로.

청구항 5

제 4 항에 있어서,

상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유하는

화소 구동 회로.

청구항 6

제 1 항에 있어서,

상기 데이터선, 상기 박막 트랜지스터의 소스 및 드레인, 그리고 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 제조되는

화소 구동 회로.

청구항 7

제 6 항에 있어서,

상기 박막 트랜지스터의 소스 및 상기 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유하는

화소 구동 회로.

청구항 8

복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하는 화소 구동 회로로서, 각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되며, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하고,

상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,

상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하는

화소 구동 회로.

청구항 9

제 8 항에 있어서,
 상기 제 1 스위치는 박막 트랜지스터이고,
 상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,
 상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,
 상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인인
 화소 구동 회로.

청구항 10

제 9 항에 있어서,
 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,
 상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치하는
 화소 구동 회로.

청구항 11

제 10 항에 있어서,
 상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이며,
 상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는

$$V2=(V1*L2-Vcom*L1)/(L1+L2)$$
인 식을 만족하고,
 단, V2는 제 2 화소 전극에 있어서의 전압이며, V1은 제 1 화소 전극에 있어서의 전압이고, Vcom는 공통 전극선으로부터 공급되는 공통 전압이며, L1는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이고, L2는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리인
 화소 구동 회로.

청구항 12

제 9 항에 있어서,
 상기 주사선, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 제조되는
 화소 구동 회로.

청구항 13

제 12 항에 있어서,
 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유하는

화소 구동 회로.

청구항 14

제 9 항에 있어서,

상기 데이터선, 상기 박막 트랜지스터의 소스 및 드레인, 그리고 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 제조되는

화소 구동 회로.

청구항 15

제 14 항에 있어서,

상기 박막 트랜지스터의 소스 및 상기 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유하는

화소 구동 회로.

청구항 16

제 8 항에 있어서,

상기 제 1 화소 전극 및 상기 제 2 화소 전극은 모두 4개의 영역의 액정 분자에 대응하는

화소 구동 회로.

청구항 17

화소 구동 회로를 포함하는 액정 표시 패널로서,

상기 화소 구동 회로는 복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하고,

각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되고, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하며,

상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,

상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하는

액정 표시 패널.

청구항 18

제 17 항에 있어서,

상기 제 1 스위치는 박막 트랜지스터이고,

상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,

상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,

상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인인

액정 표시 패널.

청구항 19

제 18 항에 있어서,

상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,

상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치하는

액정 표시 패널.

청구항 20

제 19 항에 있어서,

상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이며,

상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는

$V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족하고,

단, V2는 제 2 화소 전극에 있어서의 전압이며, V1은 제 1 화소 전극에 있어서의 전압이고, Vcom는 공통 전극선으로부터 공급되는 공통 전압이며, L1는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이고, L2는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리인

액정 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 분야에 관한 것이며, 특히 화소 구동 회로 및 액정 표시 패널에 관한 것이다.

배경 기술

[0002] 액정 표시 패널은 통상 컬러 필터 기관, 박막 트랜지스터 어레이 기관 및 양 기관 사이에 배치되는 액정층으로 구성되며, 양 기관의 대향하는 내측에 각각 화소 전극 및 공통 전극을 마련하고, 전압을 인가해서 액정 분자의 방향을 바꾸도록 제어함으로써, 백 라이트 모듈의 광을 굴절시켜 화상을 생성한다. VA(Vertical alignment, 수직 배향)형 액정 표시 패널은 높은 콘트라스트, 넓은 시야각, 마찰 배향이 불필요함 등의 이점을 갖기 때문에 널리 적용되고 있다. 그러나, VA형 액정 표시 패널은 수직으로 회전하는 액정을 채용하기 때문에, 액정 분자의 복굴절의 차이가 비교적 커서 큰 시야각에서는 색수차 문제가 심각하게 된다.

[0003] VA형 액정 표시 패널의 색수차 문제를 개선하기 위해서, 통상, 용량 결합 기술, 전하 공유 기술, 공통 전극 전압 변조 기술 및 3T 기술 등이 채용되고 있다. 3T 기술은 현재의 저 색수차 회로 아키텍처 중에서 가장 바람직한 기술이다. 3개의 박막 트랜지스터에 의해, 동일한 서브 화소 소자에서의 다른 영역의 액정 분자의 회전 각도를 다르게 함으로써 색수차가 개선된다. 그러나, 3T 기술에서는 많은 박막 트랜지스터가 채용되기 때문에 개구율이 커진다. 또한, 많은 박막 트랜지스터는 추가 기생 용량을 증가시켜서 표시 효과에 영향을 미쳐 버린다.

[0004] 따라서, 종래 기술에 존재하는 문제를 해결하기 위한 화소 구동 회로 및 액정 표시 패널을 제공할 필요가 있다.

발명의 내용

- [0005] 본 발명의 목적은 색수차 문제를 해결함과 아울러, 높은 개구율을 얻을 수 있고, 추가 기생 용량을 증가시키는 일이 없으며, 나아가 표시 효과를 향상시킬 수 있는 화소 구동 회로 및 액정 표시 패널을 제공하는 것에 있다.
- [0006] 상기 목적을 실현하기 위해서, 본 발명에 의하면, 복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하는 화소 구동 회로로서,
- [0007] 각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되는 것으로, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하고,
- [0008] 상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,
- [0009] 상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하며,
- [0010] 상기 제 1 스위치는 박막 트랜지스터이고,
- [0011] 상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,
- [0012] 상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,
- [0013] 상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인이며,
- [0014] 상기 제 1 화소 전극 및 상기 제 2 화소 전극은 모두 4개의 영역의 액정 분자에 대응하는
- [0015] 화소 구동 회로가 제공된다.
- [0016] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,
- [0017] 상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치한다.
- [0018] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이고,
- [0019] 상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는
- [0020] $V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족하며,
- [0021] 단, V2는 제 2 화소 전극에 있어서의 전압이고, V1은 제 1 화소 전극에 있어서의 전압이며, Vcom는 공통 전극선으로부터 공급되는 공통 전압이고, L1는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이며, L2는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리이다.
- [0022] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 주사선, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 제조된다.
- [0023] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유한다.
- [0024] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 데이터선, 상기 박막 트랜지스터의 소스 및 드레인, 그리고 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 제조된다.
- [0025] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 박막 트랜지스터의 소스 및 상기 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유한다.
- [0026] 본 발명에 의하면, 복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하는 화소 구동 회로로서,

- [0027] 각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되는 것으로, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하고,
- [0028] 상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,
- [0029] 상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하는
- [0030] 화소 구동 회로가 더 제공된다.
- [0031] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 제 1 스위치는 박막 트랜지스터이고,
- [0032] 상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,
- [0033] 상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,
- [0034] 상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인인 것을 특징으로 한다.
- [0035] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,
- [0036] 상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치하는 것을 특징으로 한다.
- [0037] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이며,
- [0038] 상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는
- [0039] $V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족하고,
- [0040] 단, $V2$ 는 제 2 화소 전극에 있어서의 전압이며, $V1$ 은 제 1 화소 전극에 있어서의 전압이고, $Vcom$ 는 공통 전극선으로부터 공급되는 공통 전압이며, $L1$ 는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이고, $L2$ 는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리인 것을 특징으로 한다.
- [0041] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 주사선, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 제조되는 것을 특징으로 한다.
- [0042] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 박막 트랜지스터의 게이트 및 상기 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유하는 것을 특징으로 한다.
- [0043] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 데이터선, 상기 박막 트랜지스터의 소스 및 드레인, 그리고 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 제조되는 것을 특징으로 한다.
- [0044] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 박막 트랜지스터의 소스 및 상기 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유하는 것을 특징으로 한다.
- [0045] 본 발명과 관련되는 화소 구동 회로에 있어서, 상기 제 1 화소 전극 및 상기 제 2 화소 전극은 모두 4개의 영역의 액정 분자에 대응하는 것을 특징으로 한다.
- [0046] 상기 목적을 실현하기 위해서, 본 발명에 의하면, 화소 구동 회로를 포함한 액정 표시 패널로서,
- [0047] 상기 화소 구동 회로는 복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함하고,
- [0048] 각각의 상기 서브 화소 소자는 모두 주사선 및 데이터선에 접속되고, 모두 제 1 스위치, 제 2 스위치, 제 1 화소 전극 및 제 2 화소 전극을 포함하며,

- [0049] 상기 제 1 스위치는 상기 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 상기 제 1 화소 전극에 접속되는 제 2 단을 포함하며, 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 1 스위치의 제 1 단 및 제 2 단을 온으로 하고,
- [0050] 상기 제 2 스위치는 주사선에 접속되는 제어단과, 상기 데이터선에 접속되는 제 1 단과, 공통 전극선에 접속되는 제 2 단과, 상기 제 2 화소 전극에 접속되는 제 3 단을 포함하고, 상기 제 1 화소 전극과 상기 제 2 화소 전극 사이에 소정의 전압차가 형성되도록 상기 주사선으로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온으로 하는
- [0051] 액정 표시 패널이 더 제공된다.
- [0052] 본 발명과 관련되는 액정 표시 패널에 있어서, 상기 제 1 스위치는 박막 트랜지스터이고,
- [0053] 상기 제 1 스위치의 제어단, 제 1 단 및 제 2 단은 각각 상기 박막 트랜지스터의 게이트, 소스 및 드레인이며,
- [0054] 상기 제 2 스위치는 듀얼 소스 박막 트랜지스터이고,
- [0055] 상기 제 2 스위치의 제어단, 제 1 단, 제 2 단 및 제 3 단은 각각 상기 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인이다.
- [0056] 본 발명과 관련되는 액정 표시 패널에 있어서, 상기 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 층에 위치하고,
- [0057] 상기 듀얼 소스 박막 트랜지스터의 드레인은 상기 듀얼 소스 박막 트랜지스터의 제 1 소스와 제 2 소스 사이에 위치한다.
- [0058] 본 발명과 관련되는 액정 표시 패널에 있어서, 상기 제 1 화소 전극에 있어서의 전압은 상기 데이터선으로부터 공급되는 데이터 전압이며,
- [0059] 상기 제 2 화소 전극에 있어서의 전압과 상기 제 1 화소 전극에 있어서의 전압의 관계는
- [0060] $V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족하고,
- [0061] 단, V2는 제 2 화소 전극에 있어서의 전압이며, V1은 제 1 화소 전극에 있어서의 전압이고, Vcom는 공통 전극선으로부터 공급되는 공통 전압이며, L1는 듀얼 소스 박막 트랜지스터의 제 1 소스와 드레인 사이의 거리이고, L2는 듀얼 소스 박막 트랜지스터의 제 2 소스와 드레인 사이의 거리이다.
- [0062] 발명의 효과
- [0063] 본 발명과 관련되는 화소 구동 회로 및 액정 표시 패널에 의하면, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 각각 데이터선, 공통 전극선 및 제 2 화소 전극에 접속하고, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온이 되도록 제어함으로써, 제 2 화소 전극에 있어서의 전압을 데이터선으로부터 공급되는 데이터 전압과 공통 전극선으로부터 공급되는 공통 전압 사이에 위치시키고, 나아가 제 1 화소 전극과 제 2 화소 전극 사이에 소정의 전압차를 발생시켜서, 색수차 문제를 해결함과 아울러 높은 개구율을 얻을 수 있고, 추가의 기생 용량을 증가시키는 일이 없으며, 나아가서는 표시 효과를 향상시킬 수 있다.

도면의 간단한 설명

- [0064] 본 발명의 실시예에 있어서의 기술 수단을 보다 명확하게 설명하기 위해서, 이하에서는 실시예의 설명을 위해서 필요한 도면을 간단하게 설명한다. 분명하게, 이하의 설명에 있어서의 도면은 본 발명의 몇 개의 실시예에 지나지 않는다. 당업자는 창조적인 노력 없이 이들 도면에 기초해서 다른 도면을 취득할 수 있다.
- 도 1은 본 발명의 바람직한 실시예에 관한 화소 구동 회로를 나타내는 개략도이다.
- 도 2는 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 2 스위치의 구조를 나타내는 개략도이다.
- 도 3은 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 1 스위치 및 제 2 스위치의 제 1 구조를 나타내는 개략도이다.
- 도 4는 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 1 스위치 및 제 2 스위치의 제 2 구조를 나타내는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0065] 이하에서는 본 발명의 실시예에 있어서의 도면을 참조하면서 본 발명의 실시예에 있어서의 기술 수단을 명확하고 완전하게 설명한다. 분명하게, 설명되는 실시예는 본 발명의 실시예의 일부로, 모든 실시예는 아니다. 본 발명의 실시예에 기초해서, 창조적인 노력 없이 당업자에 의해 취득되는 다른 모든 실시예는 모두 본 발명의 보호 범위에 속해야 한다.
- [0066] 도 1을 참조하며, 도 1은 본 발명의 바람직한 실시예에 관한 화소 구동 회로를 나타내는 개략도이다. 도 1에 나타난 바와 같이, 해당 화소 구동 회로는 복수의 주사선과 복수의 데이터선이 교차해서 특정되는 복수의 서브 화소 소자를 포함한다. 각각의 서브 화소 소자는 모두 주사선 및 데이터선에 접속된다. 본 바람직한 실시예는 하나의 주사선(Gate), 하나의 데이터선(Data) 및 하나의 서브 화소 소자(10)만을 예시하고 있다.
- [0067] 각각의 서브 화소 소자(10)는 모두 제 1 스위치(T1), 제 2 스위치(T2), 제 1 화소 전극(101) 및 제 2 화소 전극(102)을 포함한다. 해당 제 1 스위치(T1)는 주사선(Gate)에 접속되는 제어단(a)과 데이터선(Data)에 접속되는 제 1 단(b)과 제 1 화소 전극(101)에 접속되는 제 2 단(c)을 가진다. 주사선(Gate)으로부터 공급되는 주사 신호의 제어에 의해 제 1 스위치(T1)의 제 1 단(b) 및 제 2 단(c)을 온으로 하고, 나아가 데이터선(Data)로부터 공급되는 데이터 전압을 제 1 화소 전극(101)에 출력한다.
- [0068] 제 2 스위치(T2)는 주사선에 접속되는 제어단(d)과 데이터선에 접속되는 제 1 단(e)과 공통 전극선에 접속되는 제 2 단(f)과 제 2 화소 전극(102)에 접속되는 제 3 단(g)을 가진다. 제 1 화소 전극(101)과 제 2 화소 전극(102) 사이에 소정의 전압차가 형성되도록 주사선(Gate)로부터 공급되는 주사 신호의 제어에 의해 상기 제 2 스위치의 제 1 단(e), 제 2 단(f) 및 제 3 단(g)을 온으로 하고, 나아가 데이터선(Data)로부터 공급되는 데이터 전압 및 공통 전극선(Com)으로부터 공급되는 공통 전압을 제 2 화소 전극(102)에 출력한다.
- [0069] 또한, 제 1 화소 전극(101)과 공통 전극선(103)이 평행하게 배치됨으로써 제 1 액정 콘덴서(C1c1)가 형성된다. 제 1 화소 전극(101)과 공통 전극선(Com)이 평행하게 배치됨으로써 제 1 축적 콘덴서(Cst1)가 형성된다. 제 2 화소 전극(102)과 공통 전극선(103)이 평행하게 배치됨으로써 제 2 액정 콘덴서(C1c2)가 형성된다. 제 2 화소 전극(102)과 공통 전극선(Com)이 평행하게 배치됨으로써 제 2 축적 콘덴서(Cst2)가 형성된다. 공통 전극선(103)에서의 전압과 공통 전극선(Com)에서의 전압은 같다. 제 1 액정 콘덴서(C1c1)는 제 1 화소 전극(101)에 대응하는 액정 분자에 편향 전압을 제공하기 위한 것이고, 제 1 축적 콘덴서(Cst1)는 제 1 액정 콘덴서(C1c1)에 전압 유지 전하를 제공하기 위한 것이다. 제 2 액정 콘덴서(C1c2)는 제 2 화소 전극(102)에 대응하는 액정 분자에 편향 전압을 제공하기 위한 것이고, 제 2 축적 콘덴서(Cst2)는 제 2 액정 콘덴서(C1c2)에 전압 유지 전하를 제공하기 위한 것이다. 제 1 화소 전극(101) 및 제 2 화소 전극(102)은 모두 4개의 영역의 액정 분자에 대응하는 것이 바람직하다. 제 1 화소 전극(101) 및 제 2 화소 전극(102)에 다른 전압을 인가함으로써, 8개의 영역 표시가 실현된다.
- [0070] 본 바람직한 실시예에서는, 해당 제 1 스위치(T1)는 박막 트랜지스터이다. 제 1 스위치(T1)의 제어단(a), 제 1 단(b) 및 제 2 단(c)은 각각 박막 트랜지스터의 게이트, 소스 및 드레인이다. 해당 제 2 스위치(T2)는 듀얼 소스 박막 트랜지스터이다. 제 2 스위치(T2)의 제어단(d), 제 1 단(e), 제 2 단(f) 및 제 3 단(g)은 각각 듀얼 소스 박막 트랜지스터의 게이트, 제 1 소스, 제 2 소스 및 드레인이다.
- [0071] 도 2를 참조하며, 도 2는 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 2 스위치의 구조를 나타내는 개략도이다. 도 2에 나타난 바와 같이, 해당 제 2 스위치(T2)의 구조는 아래에서 위로 차례로 배열되는 기판(201), 게이트(202), 절연층(203) 및 도전성 채널층(204)과, 도전성 채널층(204) 상에 위치하는 제 1 소스(205), 제 2 소스(206) 및 드레인(207)을 포함한다. 구체적으로는 해당 듀얼 소스 박막 트랜지스터의 제 1 소스(205), 제 2 소스(206) 및 드레인(207)은 같은 층에 위치하고, 해당 듀얼 소스 박막 트랜지스터의 드레인(207)은 제 1 소스(205)와 제 2 소스(206) 사이에 위치한다. 듀얼 소스 박막 트랜지스터의 제 1 소스(205)와 드레인(207) 사이의 거리는 L1이고, 듀얼 소스 박막 트랜지스터의 제 2 소스(206)와 드레인(207) 사이의 거리는 L2이다. 당업자는 필요에 따라서 L1 및 L2의 값을 설정할 수가 있다.
- [0072] 구체적으로는, 듀얼 소스 박막 트랜지스터의 제 1 소스(205)는 데이터선(Data)에 접속되고, 듀얼 소스 박막 트랜지스터의 제 2 소스(206)는 공통 전극선(Com)에 접속되며, 듀얼 소스의 박막 트랜지스터의 드레인(207)은 제 2 화소 전극(102)에 접속되고, 듀얼 소스 박막 트랜지스터의 게이트(202)는 주사선(Gate)에 접속된다. 해당 제 2 화소 전극(102)에 있어서의 전압과 데이터선(Data)로부터 공급되는 데이터 전압의 관계는 $V2=(V1*L2-Vcom*L1)/(L1+L2)$ 인 식을 만족한다. 단, V2는 제 2 화소 전극(102)에 있어서의 전압이고, V1는 데이터선

(Data)로부터 공급되는 데이터 전압이며, Vcom는 공통 전극선(Com)으로부터 공급되는 공통 전압이고, L1은 듀얼 소스 박막 트랜지스터의 제 1 소스(205)와 드레인(207) 사이의 거리이며, L2는 듀얼 소스 박막 트랜지스터의 제 2 소스(206)와 드레인(207) 사이의 거리이다.

- [0073] 박막 트랜지스터의 소스는 데이터선(Data)에 접속되고, 박막 트랜지스터의 드레인은 제 1 화소 전극(101)에 접속되며, 박막 트랜지스터의 게이트는 주사선(Gate)에 접속된다. 해당 제 1 화소 전극(101)에 있어서의 전압과 데이터선(Data)으로부터 공급되는 데이터 전압의 관계는 $V3=V1$ 인 식을 만족한다. 다만, V3는 제 1 화소 전극(101)에 있어서의 전압이고, V1는 데이터선(Data)으로부터 공급되는 데이터 전압이다.
- [0074] 이하, 도 3 및 도 4를 참조하며, 도 3은 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 1 스위치 및 제 2 스위치의 제 1 구조를 나타내는 개략도이다. 도 4는 본 발명의 바람직한 실시예에 관한 화소 구동 회로에 있어서의 제 1 스위치 및 제 2 스위치의 제 2 구조를 나타내는 개략도이다.
- [0075] 도 1, 도 2 및 도 3에 나타난 바와 같이, 제 1 스위치(T1)는 박막 트랜지스터이고, 제 2 스위치(T2)는 듀얼 소스 박막 트랜지스터이다. 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 모두 주사선(Gate)에 접속된다. 주사선(Gate), 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 제조된다. 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유한다.
- [0076] 박막 트랜지스터의 소스 및 듀얼 소스 박막 트랜지스터의 제 1 소스는 모두 데이터선(Data)에 접속되고, 듀얼 소스 박막 트랜지스터의 제 2 소스는 공통 전극선(Com)에 접속된다. 데이터선(Data), 박막 트랜지스터의 소스 및 드레인, 그리고 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 제조되며, 박막 트랜지스터의 소스 및 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유한다.
- [0077] 또한, 박막 트랜지스터의 드레인은 제 1 화소 전극(101)에 접속되고, 듀얼 소스 박막 트랜지스터의 드레인은 제 2 화소 전극(102)에 접속된다.
- [0078] 한편, 도 3 및 도 4는 2개의 상이한 구조이지만, 이들이 실현하는 기능은 동일하다. 도 3과 도 4의 구별은, 도 3에 있어서 박막 트랜지스터를 형성하기 위한 소스 및 듀얼 소스 박막 트랜지스터를 형성하기 위한 제 1 소스 및 제 2 소스의 전극이 막대기 형상인데 반해서, 도 4에 있어서 박막 트랜지스터의 소스를 형성하기 위한 소스 및 듀얼 소스 박막 트랜지스터를 형성하기 위한 제 1 소스 및 제 2 소스의 전극이 만곡 형상이라는 점에 있다.
- [0079] 도 1, 도 2 및 도 4에 나타난 바와 같이, 제 1 스위치(T1)는 박막 트랜지스터이고, 제 2 스위치(T2)는 듀얼 소스 박막 트랜지스터이다. 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 모두 주사선(Gate)에 접속된다. 주사선(Gate), 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 같은 금속층에 의해 구성된다. 박막 트랜지스터의 게이트 및 듀얼 소스 박막 트랜지스터의 게이트는 같은 전극을 공유한다.
- [0080] 박막 트랜지스터의 소스 및 듀얼 소스 박막 트랜지스터의 제 1 소스는 모두 데이터선(Data)에 접속되고, 듀얼 소스 박막 트랜지스터의 제 2 소스는 공통 전극선(Com)에 접속된다. 데이터선(Data), 박막 트랜지스터의 소스 및 드레인, 그리고 듀얼 소스 박막 트랜지스터의 제 1 소스, 제 2 소스 및 드레인은 같은 금속층에 의해 구성되고, 박막 트랜지스터의 소스 및 듀얼 소스 박막 트랜지스터의 제 1 소스는 같은 전극을 공유한다.
- [0081] 또한, 박막 트랜지스터의 드레인은 제 1 화소 전극(101)에 접속되고, 듀얼 소스 박막 트랜지스터의 드레인은 제 2 화소 전극(102)에 접속된다.
- [0082] 본 발명에 관한 화소 구동 회로에 의하면, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 각각 데이터선, 공통 전극선 및 제 2 화소 전극에 접속하고, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온이 되도록 제어함으로써, 제 2 화소 전극에서의 전압을 데이터선으로부터 공급되는 데이터 전압과 공통 전극선으로부터 공급되는 공통 전압 사이에 위치시키고, 나아가 제 1 화소 전극과 제 2 화소 전극 사이에 소정의 전압차를 발생시켜서, 색 수차 문제를 해결함과 아울러 높은 개구율을 얻을 수 있고, 추가의 기생 용량을 증가시키는 일이 없으며, 나아가 표시 효과를 향상시킬 수 있다.
- [0083] 본 발명에 의하면, 상기의 화소 구동 회로를 포함하는 액정 표시 패널이 더 제공된다. 상세한 것은 상기의 해당 화소 구동 회로에 대한 설명을 참조할 수 있으며 여기에서는 상술하지 않는다.
- [0084] 본 발명에 관한 화소 구동 회로 및 액정 표시 패널에 의하면, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 각각 데이터선, 공통 전극선 및 제 2 화소 전극에 접속하고, 제 2 스위치의 제 1 단, 제 2 단 및 제 3 단을 온이

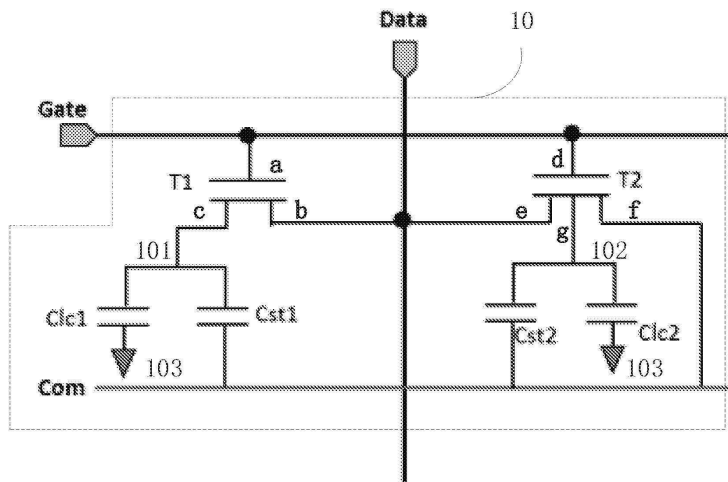
되도록 제어함으로써, 제 2 화소 전극에 있어서의 전압을 데이터선으로부터 공급되는 데이터 전압과 공통 전극선으로부터 공급되는 공통 전압 사이에 위치시키고, 나아가 제 1 화소 전극과 제 2 화소 전극 사이에 소정의 전압차를 발생시켜서, 색수차 문제를 해결함과 아울러 높은 개구율을 얻을 수 있고, 추가의 기생 용량을 증가시키는 일이 없으며, 나아가 표시 효과를 향상시킬 수 있다.

[0085]

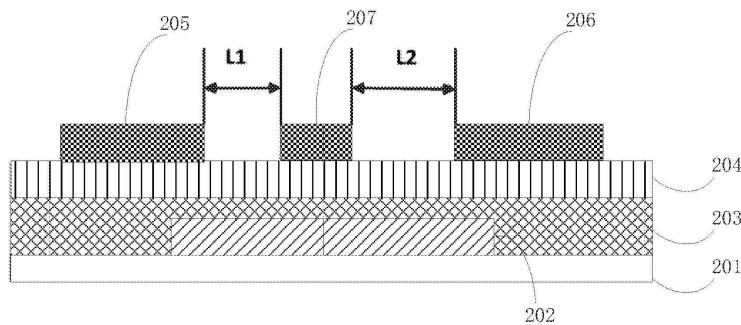
이상, 본 발명의 실시예에 관한 액정 표시 어셈블리를 상세하게 소개했지만, 본 명세서에서는 구체적인 예를 적용해서 본 발명의 원리 및 실시형태를 설명한 것이다. 이상의 실시예의 설명은 본 발명을 이해하는 것을 돕기 위해서만 사용된다. 한편, 당업자에게 있어서, 본 발명의 사상에 의하면, 구체적인 실시형태 및 적용 범위 중 어느 것에도 변경이 있을 수 있다. 이상과 같이, 본 명세서의 내용은 본 발명에 대한 제한으로서 이해되어서는 안 된다.

도면

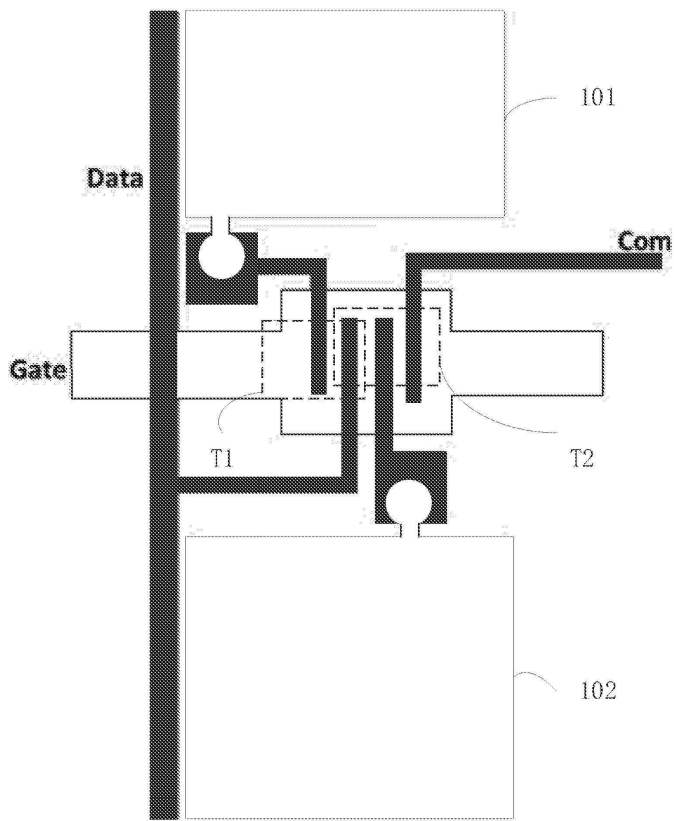
도면1



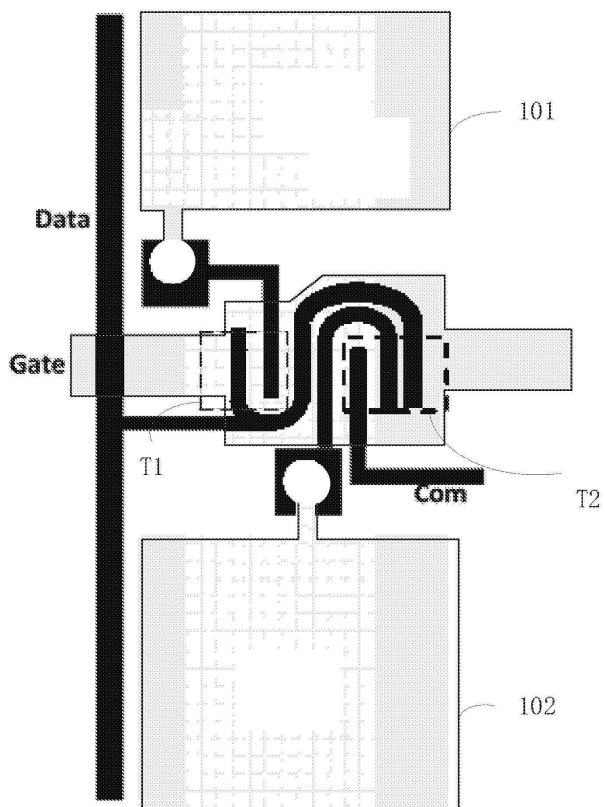
도면2



도면3



도면4



专利名称(译)	像素驱动电路及液晶显示面板		
公开(公告)号	KR1020200079327A	公开(公告)日	2020-07-02
申请号	KR1020207016627	申请日	2017-11-28
发明人	수 홍유안		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
CPC分类号	G02F1/13306 G02F1/136286 G09G3/3688 G09G3/3696 G02F2201/40		
优先权	201711172056.5 2017-11-22 CN		

摘要(译)

提供了一种像素驱动电路和液晶显示面板。第二开关T2的第一端(e),第二端(f)和第三端(g)分别连接到数据线Data,公共电极线Com和第二像素电极102。然后,通过控制第二开关(T2)的第一级(e),第二级(f)和第三级(g)导通,第二像素电极(102)处的电压为数据线。它位于从(Data)提供的数据电压和从公共电极线提供的公共电压之间,并且进一步,在第一像素电极101和第二像素电极102之间产生预定的电压差。

