



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0049397
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01)

(52) CPC특허분류
G02F 1/1333 (2013.01)
G02F 2201/122 (2013.01)

(21) 출원번호 10-2018-0132624
(22) 출원일자 2018년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이종범
경기도 파주시 월롱면 엘지로 245
이병현
경기도 파주시 월롱면 엘지로 245
원규식
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인인벤싱크

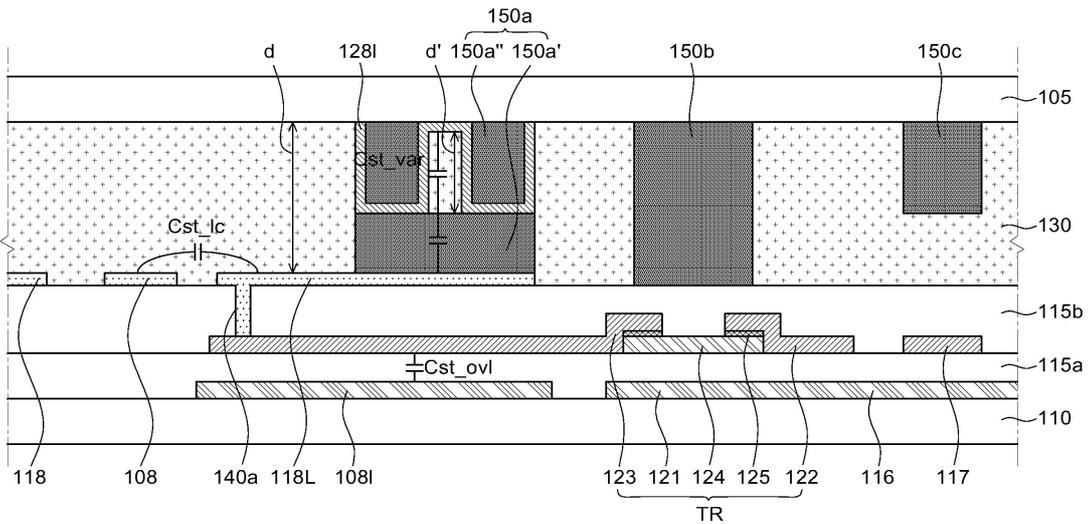
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치는, 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스(storage capacitance) 값을 변화시킴으로써 화질의 열화를 방지하는 것을 특징으로 한다.

대표도



(52) CPC특허분류
G02F 2201/123 (2013.01)

명세서

청구범위

청구항 1

액정층을 개재하여 대향 합착되는 어레이 기판과 컬러필터 기판;
 상기 어레이 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인;
 상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극;
 상기 게이트 라인에 대해 나란하게 배치되며, 상기 공통 전극에 접속된 제1 공통 라인;
 상기 서브-화소 내에 배치되는 박막 트랜지스터;
 상기 복수의 화소 전극과 연결되는 한편, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 접속하는 화소 전극 라인;
 상기 화소 전극 라인에 대향하는 상기 컬러필터 기판에 배치된 제2 공통 라인; 및
 상기 컬러필터 기판과 상기 어레이 기판 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함하는, 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 박막 트랜지스터는,
 상기 게이트 라인에 연결된 게이트 전극;
 상기 게이트 전극 상부에 배치된 액티브층;
 상기 데이터 라인에 연결된 소스 전극; 및
 상기 소스 전극에 대향 배치되며, 상기 화소 전극에 전기적으로 접속된 드레인 전극을 포함하는, 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 컬러필터 기판과 상기 어레이 기판 사이에 맞닿도록 배치되며, 상기 컬러필터 기판과 상기 어레이 기판 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이서를 더 포함하는, 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 컬러필터 기판과 상기 어레이 기판 사이에 어느 하나와는 이격된 거리를 두도록 배치되는 놀림 스페이서를 더 포함하는, 액정표시장치.

청구항 5

제 1 항에 있어서,
 액정 커패시터는, 상기 화소 전극과 상기 공통 전극 및 상기 화소 전극과 상기 공통 전극 사이에 채워진 상기 액정층으로 구성되는, 액정표시장치.

청구항 6

제 1 항에 있어서,
 상기 가변 커패시터는, 서로 대향하는 상기 화소 전극 라인과 상기 제2 공통 라인 및 상기 화소 전극 라인과 상

기 제2 공통 라인 사이에 개재된 상기 액정층 및/또는 상기 스페이서로 구성되는, 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 제2 공통 라인은, 제2 공통 전압 공급배선을 통해 데이터 구동회로에 전기적으로 접속되어 제2 공통 전압을 인가 받는, 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제2 공통 전압 공급배선은,

상기 어레이 기판에 배치된 하부 제2 공통 전압 공급배선;

상기 컬러필터 기판에 배치된 상부 제2 공통 전압 공급배선; 및

상기 컬러필터 기판에 상기 게이트 라인에 대해 나란하게 배치된 수평 제2 공통 전압 공급배선을 포함하는, 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 상부 제2 공통 전압 공급배선은, 은 도트의 접속수단을 통해 상기 하부 제2 공통 전압 공급배선에 전기적으로 접속되어 상기 제2 공통 전압을 인가 받는, 액정표시장치.

청구항 10

제 8 항에 있어서,

상기 제2 공통 라인은, 상기 게이트 라인 방향으로 연장되어 상기 수평 제2 공통 전압 공급배선을 구성하는, 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 스페이서는, 상기 어레이 기판에 위치한 하부 스페이서와 상기 하부 스페이서 위에 상기 액정층에 의해 적어도 좌우 2개로 분리된 상부 스페이서를 포함하는, 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 제2 공통 라인은, 상기 적어도 2개의 상부 스페이서의 측면 및 하부 면을 둘러싸는 동시에, 상기 적어도 2개의 상부 스페이서 사이의 상기 컬러필터 기판 표면에 배치되는, 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 스페이서는 갭 스페이서의 역할을 하는, 액정표시장치.

청구항 14

제 1 항에 있어서,

상기 스페이서는, 상기 어레이 기판에 위치한 하부 스페이서와 상기 하부 스페이서 위에 중앙의 일부가 오목하게 들어가 상기 액정층이 채워지는 상부 스페이서를 포함하는, 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 제2 공통 라인은, 상기 상부 스페이서의 측면 및 상기 오목하게 들어간 중앙을 포함하여 상기 하부 면을 둘러싸도록 배치되는, 액정표시장치.

청구항 16

제 1 항에 있어서,

상기 가변 커패시터는, 서로 대향하는 상기 화소 전극 라인과 상기 제2 공통 라인 및 상기 화소 전극 라인과 상기 제2 공통 라인 사이에 개재된 상기 액정층으로 구성되는, 액정표시장치.

청구항 17

제 16 항에 있어서,

상기 스페이서는, 상기 화소 전극 라인과 일정 거리를 두고 상기 컬러필터 기판의 표면에 구비되는, 액정표시장치.

청구항 18

제 17 항에 있어서,

상기 제2 공통 라인은, 상기 스페이서의 측면 및 하부 면을 둘러싸는, 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 스페이서는 놀림 스페이서의 역할을 하는, 액정표시장치.

청구항 20

액정층을 개재하여 대향 합착되는 어레이 기판과 컬러필터 기판;

상기 어레이 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인;

상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극;

상기 공통 전극에 접속되어 제1 공통 전압을 공급하는 제1 공통 라인;

상기 화소 전극과 상기 공통 전극 및 상기 화소 전극과 상기 공통 전극 사이에 채워진 상기 액정층으로 구성되는 액정 커패시터;

상기 복수의 화소 전극과 연결되며, 화소 전압을 공급하는 화소 전극 라인;

상기 화소 전극 라인에 대향하는 상기 컬러필터 기판에 배치되어 제2 공통 전압을 공급하는 제2 공통 라인; 및

상기 컬러필터 기판과 상기 어레이 기판 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함하며,

구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 상기 가변 커패시터 값을 상기 제2 공통 전압이 크기를 조절하여 변화시키는, 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 저주파 구동이 가능한 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 이중 액정표시장치(Liquid Crystal Display Device; LCD), 유기발광소자(Organic Light Emitting Diode; OLE

D)와 같은 여러 가지 평판표시장치(flat display device)가 활용되고 있다.

- [0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 널리 사용되고 있다.
- [0004] 일반적으로, 액정표시장치는 외부의 시스템으로부터 입력되는 60Hz의 구동주파수로 클럭(clock)을 인가 받게 되고, 이 구동주파수에 따라 동작하게 된다.
- [0005] 이 경우에, 동영상과 같이 영상의 변화가 큰 영상뿐만 아니라 정지 영상과 같이 영상의 변화가 크지 않은 영상에 대해서도 실질적으로 동일한 구동주파수로 표시장치가 동작하게 되므로, 전력 소모가 높아지게 된다.
- [0006] 이를 개선하기 위해, 동영상을 표시하는 경우에는 60Hz의 정상 주파수로 구동하고, 정지영상을 표시하는 경우에는 정상 주파수 보다 낮은 저주파수로 표시장치를 구동하여 소비 전력을 절감하는 가변 주파수 구동(Variable Refresh Rate: VRR) 기술이 제안되었다.

발명의 내용

해결하려는 과제

- [0007] 제품 중에 구동 주파수에 따라 스토리지 커패시턴스(storage capacitance) 값의 가변이 필요한 제품 군이 있다. 이러한 경우 각 서브-화소에 대응하는 스토리지 커패시턴스의 크기는 개별 서브-화소의 디자인과 적층 구조로 결정이 된다. 즉, 일반적인 액정표시장치에서 스토리지 커패시턴스의 크기는 화소전극과 공통전극의 면적과 거리, 유전체의 유전율로 결정되어, 한번 결정된 값으로 구동되는 단점이 있다.
- [0008] 이에, 본 발명이 해결하고자 하는 과제는, 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스 값을 변화시켜 제공할 수 있는 액정표시장치를 제공하는 것이다.
- [0009] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정표시장치는, 액정층을 개재하여 대향 합착되는 어레이 기판과 컬러필터 기판, 상기 어레이 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인, 상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극, 상기 게이트 라인에 대해 나란하게 배치되며, 상기 공통 전극에 접속된 제1 공통 라인, 상기 서브-화소 내에 배치되는 박막 트랜지스터, 상기 복수의 화소 전극과 연결되는 한편, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 접속하는 화소 전극 라인, 상기 화소 전극 라인에 대향하는 상기 컬러필터 기판에 배치된 제2 공통 라인 및 상기 컬러필터 기판과 상기 어레이 기판 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함할 수 있다.
- [0011] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 일 실시예에 따른 액정표시장치는, 액정층을 개재하여 대향 합착되는 어레이 기판과 컬러필터 기판, 상기 어레이 기판 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인, 상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극, 상기 공통 전극에 접속되어 제1 공통 전압을 공급하는 제1 공통 라인, 상기 화소 전극과 상기 공통 전극 및 상기 화소 전극과 상기 공통 전극 사이에 채워진 상기 액정층으로 구성되는 액정 커패시터, 상기 복수의 화소 전극과 연결되며, 화소 전압을 공급하는 화소 전극 라인, 상기 화소 전극 라인에 대향하는 상기 컬러필터 기판에 배치되어 제2 공통 전압을 공급하는 제2 공통 라인 및 상기 컬러필터 기판과 상기 어레이 기판 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함하며, 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 상기 가변 커패시터 값을 상기 제2 공통 전압이 크기를 조절하여 변화시킬 수 있다.
- [0012] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0013] 본 발명은 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스(storage capacitance) 값을 변화시킴으로써 화질의 열화를 방지하는 효과를 제공한다.

[0014] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 보여주는 블럭도이다.
- 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 구조를 개략적으로 보여주는 도면이다.
- 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- 도 4는 본 발명의 제1 실시예에 따른 액정표시장치의 컬러필터 기판을 예로 들어 보여주는 평면도이다.
- 도 5는 도 3에 도시된 본 발명의 제1 실시예에 따른 액정표시장치에 있어, A-A'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- 도 6은 도 2에 도시된 본 발명의 제1 실시예에 따른 액정표시장치에 있어, 하나의 서브-화소를 예로 보여주는 등가회로도 이다.
- 도 7은 본 발명의 제1 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.
- 도 8은 본 발명의 제2 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- 도 9는 도 8에 도시된 본 발명의 제2 실시예에 따른 액정표시장치에 있어, B-B'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- 도 10은 본 발명의 제2 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.
- 도 11은 본 발명의 제3 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- 도 12는 도 11에 도시된 본 발명의 제3 실시예에 따른 액정표시장치에 있어, C-C'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- 도 13은 본 발명의 제3 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0017] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0018] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0020] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0021] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0022] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0023] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0024] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0026] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 보여주는 블럭도이다.
- [0027] 도 1을 참조하면, 본 발명에 따른 액정표시장치는, 복수의 서브-화소(P)가 매트릭스 형태로 배치된 표시패널(100)과 표시패널(100)을 구동하는 구동회로를 포함할 수 있다. 표시패널(100)을 구동하는 구동회로는, 데이터 구동회로(200)와, 게이트 구동회로(300) 및 타이밍 제어회로(400)를 포함할 수 있다.
- [0028] 본 발명에 따른 액정표시장치는 표시되는 영상에 따라 주파수가 변동되는 가변 주파수 구동(Variable Refresh Rate: VRR) 방식의 액정표시장치로 구성될 수 있다. 이 경우 동영상과 같이 영상의 변화가 큰 영상을 표시하는 경우에는, 외부 시스템으로부터 입력된 구동주파수로서 60Hz의 정상주파수에 따라 정상주파 모드로 액정표시장치가 구동될 수 있다. 그리고, 정지 영상과 같이 영상의 변화가 크지 않은 영상을 표시하는 경우에는, 정상주파수 보다 낮은 저주파수에 따라 저주파 모드로 액정표시장치가 구동될 수 있다. 저주파 모드에서는 정상주파 모드에 비해 프레임 수가 감소하여 데이터 기입, 즉 리프레쉬(refresh) 횟수가 감소되므로, 액정표시장치의 소비 전력이 절감될 수 있게 된다.
- [0029] 표시패널(100)에 대해 살펴보면, 표시패널(100)에는 서브-화소(P)들을 구동하기 위한 구동신호를 전달하는 각종 배선들이 형성될 수 있다.
- [0030] 이때, 일 예로 데이터 전압을 전달하는 복수의 데이터 라인(DL) 각각이 열 라인 방향을 따라 연장되어 해당 열 라인의 서브-화소(P)에 연결될 수 있다. 그리고, 게이트 전압을 전달하는 복수의 게이트 라인(GL) 각각이 행 라인 방향을 따라 연장되어 해당 행 라인의 서브-화소(P)에 연결될 수 있다.
- [0031] 타이밍 제어회로(400)는 데이터 구동회로(200) 및 게이트 구동회로(300)의 구동 타이밍을 제어할 수 있다. 타이밍 제어회로(400)는 외부 시스템으로부터 입력되는 디지털 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동회로(200)에 공급할 수 있다.
- [0032] 또한, 타이밍 제어회로(400)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE)의 타이밍 신호들에 기초하여 데이터 구동회로(200)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS) 및 게이트 구동회로(300)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)를 발생시킬 수 있다.
- [0033] 데이터 구동회로(200)는 데이터 라인(DL)을 구동하게 된다. 즉, 데이터 구동회로(200)는 데이터 제어신호(DCS)를 기반으로 입력된 디지털 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 해당 데이터 라인(DL)에 공급할 수 있다.
- [0034] 게이트 구동회로(300)는 게이트 라인(GL)을 구동하게 된다. 즉, 게이트 구동회로(300)는 게이트 제어신호(GCS)를 기반으로 게이트 전압을 발생시켜 이를 라인 순차 방식으로 게이트 라인(GL)에 공급할 수 있다.
- [0035] 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 구조를 개략적으로 보여주는 도면이다.
- [0036] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- [0037] 도 4는 본 발명의 제1 실시예에 따른 액정표시장치의 컬러필터 기판을 예로 들어 보여주는 평면도이다.
- [0038] 도 3 및 도 4는 하나의 서브-화소에 대한 어레이 기판 및 컬러필터 기판의 구조를 예로 들어 보여주고 있다.
- [0039] 도 5는 도 3에 도시된 본 발명의 제1 실시예에 따른 액정표시장치에 있어, A-A'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0040] 도 6은 도 2에 도시된 본 발명의 제1 실시예에 따른 액정표시장치에 있어, 하나의 서브-화소를 예로 보여주는 등가회로도이다.
- [0041] 도 2 내지 도 6을 참조하면, 본 발명의 제1 실시예의 표시패널(100)은 크게 컬러필터 기판(105)과 어레이 기판

(110)이 액정층(130)을 사이에 두고 합착 되어 구성될 수 있다.

- [0042] 자세히 도시하지 않았지만, 컬러필터 기관(105)은 복수의 서브-화소(P)마다 구성된 컬러필터와, 컬러필터 사이에 구성된 블랙 매트릭스를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 일 예로 COT(Color filter on TFT) 구조의 경우 컬러필터는 박막 트랜지스터(TR)와 함께 어레이 기관(110)에 형성될 수 있다.
- [0043] 어레이 기관(110)은, 복수의 서브-화소(P)를 구획하는 게이트 라인(116)과 데이터 라인(117) 및 게이트 라인(116)과 데이터 라인(117)의 교차지점에 구성된 박막 트랜지스터(TR)를 포함할 수 있다.
- [0044] 또한, 컬러필터 기관(105)과 어레이 기관(110) 사이에는 두 기관(105, 110) 사이의 갭(gap)을 유지하기 위한 스페이서(150a, 150b, 150c)가 복수개 구성될 수 있다.
- [0045] 복수의 서브-화소(P)는 어레이 기관(110) 위에 복수의 게이트 라인(116)과 데이터 라인(117)이 서로 교차하여 매트릭스(matrix) 형태로 배치될 수 있다. 즉, 복수의 서브-화소(P)는 로우(row) 방향 및 칼럼(column) 방향으로 배열되어 매트릭스 형태로 배치될 수 있다.
- [0046] 게이트 라인(116)은 어레이 기관(110) 위에 제1 방향으로 배치될 수 있다. 또한, 데이터 라인(117)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(116)과 함께 복수의 서브-화소(P)를 구획할 수 있다.
- [0047] 제1 방향으로 공통 라인(1081)이 배치될 수 있다.
- [0048] 복수의 서브-화소(P)는 각각 특정 컬러의 빛을 구현할 수 있다. 예를 들어, 서브-화소(P)는 적색을 구현하는 적색 서브-화소, 녹색을 구현하는 녹색 서브-화소 및 청색을 구현하는 청색 서브-화소 중 어느 하나로 구성될 수 있다. 이 경우, 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소의 그룹이 하나의 화소를 구성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 하나의 화소는 적색 서브-화소, 녹색 서브-화소, 청색 서브-화소 및 백색 서브-화소로 구성될 수도 있다.
- [0049] 본 발명의 제1 실시예에 따른 서브-화소(P)는, 박막 트랜지스터(TR)와 복수의 배선, 즉 게이트 라인(116), 데이터 라인(117), 제1 공통 라인(1081) 및 제2 공통 라인(1281)에 의해 형성되는 액정 커패시터(Cst_{1c}) 및 제1, 제2 스토리지 커패시터(Cst_{ov1}, Cst_{var})를 포함하여 구성될 수 있다.
- [0050] 일 예로, 게이트 라인(116)과 데이터 라인(117)이 교차하는 영역, 즉 상하로 이웃하는 서브-화소(P)들의 경계에 박막 트랜지스터(TR)가 배치될 수 있다. 또한, 상하로 이웃하는 서브-화소(P)들의 경계에 제1 공통 라인(1081) 및 제2 공통 라인(1281)이 배치될 수 있다.
- [0051] 이러한 서브-화소(P) 내에 복수의 공통 전극(108)과 화소 전극(118)이 교대로 배치될 수 있다.
- [0052] 이때, 박막 트랜지스터(TR)는 게이트 라인(116)에 연결된 게이트 전극(121), 게이트 전극(121) 상부에 배치된 액티브층(124), 데이터 라인(117)에 연결된 소스 전극(122) 및 소스 전극(122)과 대향 배치된 드레인 전극(123)을 포함할 수 있다.
- [0053] 즉, 스위칭 소자(switching element)로 기능하는 박막 트랜지스터(TR)는 대응되는 게이트 라인(116) 및 데이터 라인(117)과 연결되어 각각 게이트 전압과 데이터 전압을 인가 받을 수 있다. 박막 트랜지스터(TR)의 게이트 전극(121)은 게이트 라인(116)에 연결되고, 소스 전극(122)은 데이터 라인(117)에 연결되며, 드레인 전극(123)은 제1 콘택홀(140a)을 통해 화소 전극 라인(118L)에 연결될 수 있다. 여기서, 박막 트랜지스터(TR)는 이동도(mobility)나 오프 전류 특성이 우수한 산화물 반도체를 이용하여 액티브층(124)을 구성할 수 있는데, 본 발명이 이에 한정되지는 않는다. 비정질 실리콘을 이용하여 액티브층(124)을 구성할 경우, 도 5에 도시된 바와 같이 액티브층(124)과 소스/드레인 전극(122, 123) 사이에 오믹-콘택층(125)을 형성할 수도 있다.
- [0054] 액정 커패시터(Cst_{1c})는 서로 대향하는 화소 전극(118)과 공통 전극(108) 및 화소 전극(118)과 공통 전극(108) 사이에 채워진 액정층(130)으로 구성될 수 있다.
- [0055] 화소 전극(118)은 제1 콘택홀(140a)을 통해 박막 트랜지스터(TR)의 드레인 전극(123)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(108)은 제2 콘택홀(140b)을 통해 제1 공통 라인(1081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(118)과 공통 전극(108) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0056] 화소 전극(118)은, 어레이 기관(110) 위에 공통 전극(108)과 교대로 제2 방향으로 배열될 수 있으며, 도 3에 도시된 바와 같이 꺾임 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0057] 복수의 화소 전극(118)은, 그 일단이 화소 전극 라인(118L)에 연결되어 제1 컨택홀(140a)을 통해 박막 트랜지스터(TR)의 드레인 전극(123)에 전기적으로 접속될 수 있다.
- [0058] 복수의 공통 전극(108)은 복수의 화소 전극(118)과 교대로 배치되어 화소 전극(118)과 함께 수평 전계를 형성할 수 있다. 복수의 공통 전극(108)은, 화소 전극(118)과 함께 꺾임 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0059] 공통 전극(108)은, 서브-화소(P)의 가장자리에 위치한 데이터 라인(117) 상부에 배치되는 최외곽 공통 전극(108')을 포함할 수 있다.
- [0060] 최외곽 공통 전극(108')을 포함하는 복수의 공통 전극(108)은, 그 일단이 제1 방향으로 배열된 공통 전극 라인(108")에 연결될 수 있다. 그리고, 최외곽 공통 전극(108')의 다른 일단은 제2 컨택홀(140b)을 통해 제1 공통 라인(1081)에 전기적으로 접속하여 공통 전극(108)에 제1 공통 전압을 인가할 수 있다.
- [0061] 한편, 데이터 라인(117)의 측면에는 제1 공통 라인(1081)으로부터 분기된 차폐 라인(108a)이 배치될 수 있으며, 차폐 라인(108a)은 제1 방향으로 배열된 연결 라인(108b)에 연결될 수 있다.
- [0062] 제1, 제2 스토리지 커패시터(Cst_ov1, Cst_var)는, 액정 커패시터(Cst_lc)에 병렬로 연결되어, 화소 전극(118)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0063] 제1 스토리지 커패시터(Cst_ov1)는, 서로 대향하는 제1 공통 라인(1081)과 드레인 전극(123) 및 제1 공통 라인(1081)과 드레인 전극(123) 사이에 개재된 제1 절연층(115a)으로 구성될 수 있다.
- [0064] 제2 스토리지 커패시터(Cst_var)는, 서로 대향하는 화소 전극 라인(118L)과 제2 공통 라인(1281) 및 화소 전극 라인(118L)과 제2 공통 라인(1281) 사이에 개재된 액정층(130) 및/또는 보조 스페이서(150a)로 구성될 수 있다.
- [0065] 제2 스토리지 커패시터(Cst_var)의 크기는, 화소 전극 라인(118L)의 화소 전압과 제2 공통 라인(1281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(130) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(130) 및/또는 보조 스페이서(150a)에 접촉하는 제2 공통 라인(1281)의 면적으로 결정될 수 있다.
- [0066] 도 2를 참조하면, 제2 공통 라인(1281)은 데이터 구동회로(200)로부터 제2 공통 전압을 인가 받을 수 있다. 이를 위해 제2 공통 라인(1281)은 제2 공통 전압 공급배선(128)을 통해 데이터 구동회로(200)에 전기적으로 접속될 수 있다.
- [0067] 일 예로, 제2 공통 전압 공급배선(128)은, 어레이 기관(110)에 배치된 하부 제2 공통 전압 공급배선(128a)과 컬러필터 기관(105)에 배치된 상부 제2 공통 전압 공급배선(128b) 및 컬러필터 기관(105)에 제1 방향, 즉 수평 방향으로 배치된 수평 제2 공통 전압 공급배선(128c)을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0068] 하부 제2 공통 전압 공급배선(128a)은, 어레이 기관(110)에 배치되고 데이터 구동회로(200)에 전기적으로 접속되어 제2 공통 전압을 인가 받는다. 상부 제2 공통 전압 공급배선(128b)은, 컬러필터 기관(105)에 배치되고 은도트와 같은 접속수단(160)을 통해 하부 제2 공통 전압 공급배선(128a)에 전기적으로 접속되어 제2 공통 전압을 인가 받는다. 수평 제2 공통 전압 공급배선(128c)은, 컬러필터 기관(105)에 배치되고 상부 제2 공통 전압 공급배선(128b)에 전기적으로 접속되어 제2 공통 라인(1281)에 제2 공통 전압을 전달할 수 있다.
- [0069] 제2 공통 전압 공급배선(128)은, 저저항 불투명 금속으로 구성될 수 있으며, 일 예로 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐(MoW), 몰리티타늄(MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0070] 제2 공통 라인(1281)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속, 또는 전술한 저저항 불투명 금속으로 구성될 수 있다. 제2 공통 라인(1281)이 저저항 불투명 금속으로 구성될 경우, 제1 방향으로 연장되어 수평 제2 공통 전압 공급배선(128c)을 구성할 수도 있다.
- [0071] 한편, 본 발명의 제1 실시예에 따른 보조 스페이서(150a)는, 하부 보조 스페이서(150a')와 하부 보조 스페이서(150a') 위에 액정층(130)에 의해 좌우 2개로 분리된 상부 보조 스페이서(150a'')를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0072] 제2 공통 라인(1281)은, 2개의 상부 보조 스페이스(150a")의 측면 및 하부 면을 둘러싸는 동시에, 2개의 상부 보조 스페이스(150a") 사이 컬러필터 기관(105) 표면에도 배치될 수 있다.
- [0073] 이 경우 d'은, 컬러필터 기관(105) 표면에 배치된 제2 공통 라인(1281)과 하부 보조 스페이스(150a') 사이의 거리이며, 액정층(130)의 두께(d)에서 제2 공통 라인(1281)과 하부 보조 스페이스(150a')의 두께를 제외한 값을 가질 수 있다.
- [0074] 한편, 스페이스(150a, 150b, 150c)는, 전술한 보조 스페이스(150a) 이외에 컬러필터 기관(105)과 어레이 기관(110) 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이스(150b)와 놀림을 방지하기 위한 놀림 스페이스(150c)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 보조 스페이스(150a)가 갭 스페이스(150b)의 역할을 하는 경우 갭 스페이스(150b)는 생략될 수 있다.
- [0075] 놀림 스페이스(150c)는, 외부로부터 액정패널(100)에 가해지는 놀림에 의한 빛샘불량을 방지하는 역할을 한다.
- [0076] 좀더 상세히 설명하면, 액정패널(100)은 외부로부터 놀림과 같은 외력이 가해질 경우 빛샘불량이 발생하게 된다. 이러한 빛샘불량은 외력에 의해 어레이 기관(110)과 컬러필터 기관(105)간에 미끄러짐이 발생하여, 액정패널(100)의 휨이 발생하는데 그 원인이 있다. 즉, 액정패널(100)의 휨 방향으로 어레이 기관(110)과 컬러필터 기관(105)의 러빙 방향이 평행이 되지 않게 되고, 이로 인해 어레이 기관(110)과 컬러필터 기관(105) 표면에 인접한 액정이 휨 방향으로 평행하게 배열하게 되어 전체적으로 초기 상태와 다른 배열을 하게 된다.
- [0077] 이와 같은 경우에는, 액정의 배열이 초기 블랙상태(black state)를 유지하지 못하게 되어 액정층(130)을 통과한 빛이 정상부위와 다른 위상차(retardation)를 겪으며 회전하게 되어 빛샘이 나타나게 된다.
- [0078] 위와 같은 이유로, 갭 스페이스(150b) 이외에 놀림 스페이스(150c)가 필요하다. 갭 스페이스(150b)는 어레이 기관(110)과 컬러필터 기관(105)의 이격된 갭을 유지하는 기능을 하기 때문에, 두 기관(105, 110)과 맞닿도록 구성되어야 하고, 놀림 스페이스(150c)는 두 기관(105, 110) 중 어느 하나와는 이격된 거리를 두어야 한다.
- [0079] 본 발명의 스페이스(150a, 150b, 150c)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다. 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(116), 데이터 라인(117) 또는 제1 공통 라인(1081)이 위치한 영역에 위치하며, 특히 박막 트랜지스터(TR)에 대응하여 갭 스페이스(150b)가 위치하도록 하고, 게이트 라인(116) 또는 데이터 라인(117)에 대응하여 놀림 스페이스(150c)가 위치할 수 있다. 또한, 보조 스페이스(150a)는 제1 공통 라인(1081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0080] 이와 같이 구성된 본 발명에 따른 액정표시장치는 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스(storage capacitance) 값을 변화시킴으로써 화질의 열화를 방지하게 된다. 이를 위해 본 발명은 상부의 제2 공통 라인(1281)에 제2 공통 전압을 인가하여 하부의 화소 전극 라인(118L)과 함께 전계를 형성하고, 액정의 전압이 소정의 문턱전압(Vth) 이상으로 인가되면 수평방향 유전율(ϵ_{\parallel})로 제2 스토리지 커패시터(Cst_var)의 크기가 결정되고, 반면 Vth 이하로 인가되면 수직방향 유전율(ϵ_{\perp})로 제2 스토리지 커패시터(Cst_var)의 크기가 결정되어 조절이 가능하다.
- [0081] 이때, 상부의 제2 공통 라인(1281)과 하부의 화소 전극 라인(118L) 사이의 거리 및 오버랩 되는 면적을 조절함으로써 제2 스토리지 커패시터(Cst_var)의 크기를 제2 공통 전압의 크기에 따라 변화시킬 수 있다.
- [0082] 즉, 구동 주파수의 가변에 따라, 제2 스토리지 커패시터(Cst_var)의 크기를 제2 공통 전압의 크기에 따라 변화시켜 대응할 수 있다.
- [0083] 이하, 이와 같이 구성되는 본 발명의 제1 실시예에 따른 액정표시장치의 적층 구조를 상세히 설명한다.
- [0084] 게이트 라인(116), 게이트 전극(121) 및 제1 공통 라인(1081)이, 어레이 기관(110) 위의 동일 층에 배치될 수 있다.
- [0085] 게이트 전극(121)은 게이트 라인(116)의 일부를 구성할 수 있다.
- [0086] 게이트 라인(116) 및 제1 공통 라인(1081)은 제1 방향으로 배치될 수 있다.
- [0087] 이때, 데이터 라인(117)의 적어도 일측에는 차폐 라인(108a)이 배치될 수 있으며, 차폐 라인(108a)은 제1 공통 라인(1081)에 연결될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0088] 차폐 라인(108a)은 제1 방향과 상이한 제2 방향으로 배치될 수 있으며, 횡 전계에 대한 데이터 신호의 간섭을

차폐할 수 있다.

- [0089] 차폐 라인(108a)의 일단은 제1 방향으로 배열된 연결 라인(108b)에 연결될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0090] 게이트 라인(116), 게이트 전극(121), 차폐 라인(108a), 연결 라인(108b)은, 어레이 기판(110) 위에 제1 금속층으로 형성될 수 있다.
- [0091] 제1 금속층으로, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0092] 게이트 라인(116), 게이트 전극(121), 차폐 라인(108a), 연결 라인(108b) 위에는 제1 절연층(115a)이 구비될 수 있다.
- [0093] 제1 절연층(115a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다.
- [0094] 일 예로, 제1 절연층(115a)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0095] 액티브층(124)이 제1 절연층(115a) 위에 배치될 수 있다.
- [0096] 액티브층(124)은 반도체층으로 이루어질 수 있다.
- [0097] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0098] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 반도체층은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.
- [0099] 반도체층이 SIZO로 이루어지는 경우, 액티브층에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.
- [0100] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프롬테튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리뮴(Gd), 터븀(Tb), 디스프로슘(Dy), 홀름(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.
- [0101] 데이터 라인(117), 소스 전극(122), 드레인 전극(123)이 액티브층(124) 위의 동일 층에 배치될 수 있다.
- [0102] 데이터 라인(117)과 액티브층(124)을 동일한 마스크공정에서 형성하는 경우 데이터 라인(117) 하부에는 액티브층(124)과 동일한 반도체층으로 이루어진 반도체 패턴이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 데이터 라인(117)과 액티브층(124)을 서로 다른 마스크공정에서 형성하는 경우 데이터 라인(117) 하부에는 반도체 패턴이 배치되지 않을 수 있다.
- [0103] 데이터 라인(117), 소스 전극(122), 드레인 전극(123)은 제2 금속층으로 이루어질 수 있다.
- [0104] 제2 금속층으로, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은

(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.

- [0105] 전술한 바와 같이 데이터라인(117)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트라인(116)과 함께 복수의 서브-화소(P)를 구획할 수 있다.
- [0106] 데이터라인(117)은 차폐 라인(108a)과 함께 꺾임 구조를 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0107] 게이트 라인(116)에 연결된 게이트 전극(121), 게이트 전극(121) 상부에 배치된 액티브층(124), 데이터 라인(117)에 연결된 소스 전극(122) 및 소스 전극(122)과 대향 배치된 드레인 전극(123)은 박막 트랜지스터(TR)를 구성할 수 있다.
- [0108] 드레인 전극(123)은 제1 공통 라인(1081) 상부로 연장되어 제1 스토리지 커패시터(Cst_ov1)를 구성할 수 있다. 즉, 제1 스토리지 커패시터(Cst_ov1)는, 서로 대향하는 제1 공통 라인(1081)과 드레인 전극(123) 및 제1 공통 라인(1081)과 드레인 전극(123) 사이에 개재된 제1 절연층(115a)으로 구성될 수 있다.
- [0109] 데이터 라인(117), 소스 전극(122), 드레인 전극(123) 위의 동일 층에는 제2 절연층(115b)이 배치될 수 있다.
- [0110] 제2 절연층(115b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다.
- [0111] 일 예로, 제2 절연층(115b)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0112] 공통 전극(108)과 화소 전극(118)이 제2 절연층(115b) 위의 동일 층에 배치될 수 있다.
- [0113] 화소 전극(118)은 서브-화소(P) 내에서 공통 전극(108)과 교대로 배치되어 횡 전계를 형성할 수 있다.
- [0114] 복수의 공통 전극(108)은 핑거(finger), 또는 헤링본(herringbone) 형상으로 서브-화소(P) 내에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 공통 전극(108)은 수직 방향이나 수평 방향의 직선 형상으로 배치될 수도 있다.
- [0115] 복수의 화소 전극(118)은 핑거(finger), 또는 헤링본(herringbone) 형상으로 서브-화소(P) 내에 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 화소 전극(118)은 수직 방향이나 수평 방향의 직선 형상으로 배치될 수도 있다.
- [0116] 제2 절연층(115b)의 일부 영역이 제거되어 드레인 전극(123)의 일부를 노출시키는 제1 콘택홀(140a)이 형성될 수 있다. 또한, 제2 절연층(115b)과 제1 절연층(115a)의 일부 영역이 제거되어 제1 공통 라인(1081)의 일부를 노출시키는 제2 콘택홀(140b)이 형성될 수 있다.
- [0117] 복수의 화소 전극(118)의 일단은 게이트 라인(116)에 대해 나란하게 배치된 화소 전극 라인(118L)에 연결될 수 있다. 따라서, 화소 전극 라인(118L)은, 제1 콘택홀(140a)을 통해 드레인 전극(123)에 전기적으로 접속될 수 있다.
- [0118] 공통 전극(108)은, 서브-화소(P)의 가장자리에 위치한 데이터 라인(117) 상부에 배치되는 최외곽 공통 전극(108')을 포함할 수 있다.
- [0119] 최외곽 공통 전극(108')을 포함하는 복수의 공통 전극(108)은, 그 일단이 제1 방향으로 배열된 공통 전극 라인(108")에 연결될 수 있다. 그리고, 최외곽 공통 전극(108')의 다른 일단은 제2 콘택홀(140b)을 통해 제1 공통 라인(1081)에 전기적으로 접속하여 공통 전극(108)에 제1 공통 전압을 인가할 수 있다.
- [0120] 이와 같이 구성된 어레이 기관(110)은 상부의 컬러필터 기관(105)과 합착 되어 액정패널(100)을 구성하며, 어레이 기관(110)과 컬러필터 기관(105) 사이에는 액정층(130)이 채워진다. 또한, 컬러필터 기관(105)과 어레이 기관(110) 사이에는 두 기관(105, 110) 사이의 갭(gap)을 유지하기 위한 스페이서(150a, 150b, 150c)가 복수개 구성될 수 있다.

- [0121] 이때, 스페이서(150a, 150b, 150c)는, 제2 스토리지 커패시터(Cst_var)를 구현하는 보조 스페이서(150a)와 컬러 필터 기판(105)과 어레이 기판(110) 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이서(150b) 및 놀림을 방지하기 위한 놀림 스페이서(150c)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 보조 스페이서(150a)가 갭 스페이서(150b)의 역할을 하는 경우 갭 스페이서(150b)는 생략될 수 있다.
- [0122] 제2 스토리지 커패시터(Cst_var)는, 서로 대향하는 화소 전극 라인(118L)과 제2 공통 라인(1281) 및 화소 전극 라인(118L)과 제2 공통 라인(1281) 사이에 개재된 액정층(130) 및/또는 보조 스페이서(150a)로 구성될 수 있다.
- [0123] 제2 스토리지 커패시터(Cst_var)의 크기는, 화소 전극 라인(118L)의 화소 전압과 제2 공통 라인(1281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(130) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(130) 및/또는 보조 스페이서(150a)에 접촉하는 제2 공통 라인(1281)의 면적으로 결정될 수 있다.
- [0124] 이때, 본 발명의 제1 실시예에 따른 보조 스페이서(150a)는, 하부 보조 스페이서(150a')와 하부 보조 스페이서(150a') 위에 액정층(130)에 의해 좌우 2개로 분리된 상부 보조 스페이서(150a'')를 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0125] 제2 공통 라인(1281)은, 2개의 상부 보조 스페이서(150a'')의 측면 및 하부 면을 둘러싸는 동시에, 2개의 상부 보조 스페이서(150a'') 사이 컬러필터 기판(105) 표면에도 배치될 수 있다.
- [0126] 한편, 전술한 바와 같이 보조 스페이서(150a)가 갭 스페이서의 역할을 할 수도 있으며, 이를 도면을 참조하여 상세히 설명한다.
- [0127] 도 7은 본 발명의 제1 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.
- [0128] 도 7에 도시된 본 발명의 제1 실시예에 따른 액정표시장치의 다른 예는 보조 스페이서(150a)가 갭 스페이서의 역할을 함에 따라 갭 스페이서가 생략된 것을 제외하고는 전술한 도 2 내지 도 6에 도시된 본 발명의 제1 실시예에 따른 액정표시장치와 실질적으로 동일한 구성으로 이루어져 있다. 이에, 동일한 구성에 대해서는 동일한 도면부호를 사용하며, 이에 대한 설명을 생략하기로 한다.
- [0129] 도 7을 참조하면, 액정 커패시터(Cst_lc)는 서로 대향하는 화소 전극(118)과 공통 전극(108), 화소 전극(118)과 공통 전극(108) 사이에 채워진 액정층(130)으로 구성될 수 있다.
- [0130] 화소 전극(118)은 제1 컨택홀(140a)을 통해 박막 트랜지스터(TR)의 드레인 전극(123)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(108)은 제2 컨택홀(미도시)을 통해 제1 공통 라인(1081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(118)과 공통 전극(108) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0131] 제1, 제2 스토리지 커패시터(Cst_ov1, Cst_var)는, 액정 커패시터(Cst_lc)에 병렬로 연결되어, 화소 전극(118)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0132] 제1 스토리지 커패시터(Cst_ov1)는, 서로 대향하는 제1 공통 라인(1081)과 드레인 전극(123) 및 제1 공통 라인(1081)과 드레인 전극(123) 사이에 개재된 제1 절연층(115a)으로 구성될 수 있다.
- [0133] 제2 스토리지 커패시터(Cst_var)는, 서로 대향하는 화소 전극 라인(118L)과 제2 공통 라인(1281) 및 화소 전극 라인(118L)과 제2 공통 라인(1281) 사이에 개재된 액정층(130) 및/또는 보조 스페이서(150a)로 구성될 수 있다.
- [0134] 제2 스토리지 커패시터(Cst_var)의 크기는, 화소 전극 라인(118L)의 화소 전압과 제2 공통 라인(1281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(130) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(130) 및/또는 보조 스페이서(150a)에 접촉하는 제2 공통 라인(1281)의 면적으로 결정될 수 있다.
- [0135] 전술한 바와 같이 본 발명의 제1 실시예에 따른 보조 스페이서(150a)는, 하부 보조 스페이서(150a')와 하부 보조 스페이서(150a') 위에 액정층(130)에 의해 좌우 2개로 분리된 상부 보조 스페이서(150a'')를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0136] 제2 공통 라인(1281)은, 2개의 상부 보조 스페이서(150a'')의 측면 및 하부 면을 둘러싸는 동시에, 2개의 상부 보조 스페이서(150a'') 사이 컬러필터 기판(105) 표면에도 배치될 수 있다.
- [0137] 이 경우 d'은, 컬러필터 기판(105) 표면에 배치된 제2 공통 라인(1281)과 하부 보조 스페이서(150a') 사이의 거리이며, 액정층(130)의 두께(d)에서 제2 공통 라인(1281)과 하부 보조 스페이서(150a')의 두께를 제외한 값을 가질 수 있다.

- [0138] 이때, 스페이서(150a, 150c)는, 전술한 보조 스페이서(150a) 이외에 눌림을 방지하기 위한 눌림 스페이서(150c)를 포함할 수 있으며, 보조 스페이서(150a)가 갭 스페이서의 역할을 하는 경우 갭 스페이서는 생략될 수 있다.
- [0139] 본 발명의 스페이서(150a, 150c)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다.
- [0140] 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(116), 데이터 라인(117) 또는 제1 공통 라인(1081)이 위치한 영역에 위치할 수 있으며, 특히 박막 트랜지스터(TR)에 대응하여 눌림 스페이서(150c)가 위치하도록 하고, 보조 스페이서(150a)는 제1 공통 라인(1081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0141] 도 8은 본 발명의 제2 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- [0142] 도 9는 도 8에 도시된 본 발명의 제2 실시예에 따른 액정표시장치에 있어, B-B'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0143] 도 8 및 도 9에 도시된 본 발명의 제2 실시예에 따른 액정표시장치는, 보조 스페이서를 제외하고는 전술한 본 발명의 제1 실시예와 실질적으로 동일한 구성으로 이루어져 있다.
- [0144] 이때, 본 발명의 제2 실시예에 따른 액정표시장치는, 복수의 서브-화소가 매트릭스 형태로 배치된 표시패널과 표시패널을 구동하는 구동회로를 포함할 수 있다. 본 발명에 따른 액정표시장치는 표시되는 영상에 따라 주파수가 변동되는 가변 주파수 구동(Variable Refresh Rate: VRR) 방식의 액정표시장치로 구성될 수 있다.
- [0145] 도 8 및 도 9를 참조하면, 본 발명의 제2 실시예의 표시패널은, 크게 컬러필터 기관(205)과 어레이 기관(210)이 액정층(230)을 사이에 두고 합착 되어 구성될 수 있다.
- [0146] 자세히 도시하지 않았지만, 컬러필터 기관(205)은 복수의 서브-화소마다 구성된 컬러필터와, 컬러필터 사이에 구성된 블랙 매트릭스를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 일 예로 COT(Color filter on TFT) 구조의 경우 컬러필터는 박막 트랜지스터(TR)와 함께 어레이 기관(210)에 형성될 수 있다.
- [0147] 어레이 기관(210)은, 복수의 서브-화소를 구획하는 게이트 라인(216)과 데이터 라인(217) 및 게이트 라인(216)과 데이터 라인(217)의 교차지점에 구성된 박막 트랜지스터(TR)를 포함할 수 있다.
- [0148] 또한, 컬러필터 기관(205)과 어레이 기관(210) 사이에는 두 기관(205, 210) 사이의 갭(gap)을 유지하기 위한 스페이서(250a, 250b, 250c)가 복수개 구성될 수 있다.
- [0149] 게이트 라인(216)은 어레이 기관(210) 위에 제1 방향으로 배치될 수 있다. 또한, 데이터 라인(217)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(216)과 함께 복수의 서브-화소를 구획할 수 있다.
- [0150] 제1 방향으로 공통 라인(2081)이 배치될 수 있다.
- [0151] 이때, 본 발명의 제2 실시예에 따른 서브-화소는, 박막 트랜지스터(TR)와 복수의 배선, 즉 게이트 라인(216), 데이터 라인(217), 제1 공통 라인(2081) 및 제2 공통 라인(2281)에 의해 형성되는 액정 커패시터(Cst_{1c}) 및 제1, 제2 스토리지 커패시터(Cst_{ov1}, Cst_{var})를 포함하여 구성될 수 있다.
- [0152] 서브-화소 내에 복수의 공통 전극(208)과 화소 전극(218)이 교대로 배치될 수 있다.
- [0153] 이때, 박막 트랜지스터(TR)는 게이트 라인(216)에 연결된 게이트 전극(221), 게이트 전극(221) 상부에 배치된 액티브층(224), 데이터 라인(217)에 연결된 소스 전극(222) 및 소스 전극(222)과 대향 배치된 드레인 전극(223)을 포함할 수 있다.
- [0154] 즉, 스위칭 소자(switching element)로 기능하는 박막 트랜지스터(TR)는 대응되는 게이트 라인(216) 및 데이터 라인(217)과 연결되어 각각 게이트 전압과 데이터 전압을 인가 받을 수 있다. 박막 트랜지스터(TR)의 게이트 전극(221)은 게이트 라인(216)에 연결되고, 소스 전극(222)은 데이터 라인(217)에 연결되며, 드레인 전극(223)은 제1 콘택홀(240a)을 통해 화소 전극 라인(218L)에 연결될 수 있다. 여기서, 박막 트랜지스터(TR)는 이동도(mobility)나 오프 전류 특성이 우수한 산화물 반도체를 이용하여 액티브층(224)을 구성할 수 있는데, 본 발명이 이에 한정되지는 않는다. 비정질 실리콘을 이용하여 액티브층(224)을 구성할 경우, 도 9에 도시된 바와 같이 액티브층(224)과 소스/드레인 전극(222, 223) 사이에 오믹-콘택층(225)을 형성할 수도 있다.

- [0155] 액정 커패시터(Cst_{lc})는 서로 대향하는 화소 전극(218)과 공통 전극(208) 및 화소 전극(218)과 공통 전극(208) 사이에 채워진 액정층(230)으로 구성될 수 있다.
- [0156] 화소 전극(218)은 제1 콘택홀(240a)을 통해 박막 트랜지스터(TR)의 드레인 전극(223)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(208)은 제2 콘택홀(240b)을 통해 제1 공통 라인(2081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(218)과 공통 전극(208) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0157] 복수의 화소 전극(218)은, 그 일단이 화소 전극 라인(218L)에 연결되어 제1 콘택홀(240a)을 통해 박막 트랜지스터(TR)의 드레인 전극(223)에 전기적으로 접속될 수 있다.
- [0158] 공통 전극(208)은, 서브-화소의 가장자리에 위치한 데이터 라인(217) 상부에 배치되는 최외곽 공통 전극(208')을 포함할 수 있다.
- [0159] 최외곽 공통 전극(208')을 포함하는 복수의 공통 전극(208)은, 그 일단이 제1 방향으로 배열된 공통 전극 라인(208")에 연결될 수 있다. 그리고, 최외곽 공통 전극(208')의 다른 일단은 제2 콘택홀(240b)을 통해 제1 공통 라인(2081)에 전기적으로 접속하여 공통 전극(208)에 제1 공통 전압을 인가할 수 있다.
- [0160] 한편, 데이터 라인(217)의 측면에는 제1 공통 라인(2081)으로부터 분기된 차폐 라인(208a)이 배치될 수 있으며, 차폐 라인(208a)은 제1 방향으로 배열된 연결 라인(208b)에 연결될 수 있다.
- [0161] 제1, 제2 스토리지 커패시터(Cst_{ov1}, Cst_{var})는, 액정 커패시터(Cst_{lc})에 병렬로 연결되어, 화소 전극(218)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0162] 제1 스토리지 커패시터(Cst_{ov1})는, 서로 대향하는 제1 공통 라인(2081)과 드레인 전극(223) 및 제1 공통 라인(2081)과 드레인 전극(223) 사이에 개재된 제1 절연층(215a)으로 구성될 수 있다.
- [0163] 제2 스토리지 커패시터(Cst_{var})는, 서로 대향하는 화소 전극 라인(218L)과 제2 공통 라인(2281) 및 화소 전극 라인(218L)과 제2 공통 라인(2281) 사이에 개재된 액정층(230) 및/또는 보조 스페이스(250a)로 구성될 수 있다.
- [0164] 제2 스토리지 커패시터(Cst_{var})의 크기는, 화소 전극 라인(218L)의 화소 전압과 제2 공통 라인(2281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(230) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(230) 및/또는 보조 스페이스(250a)에 접촉하는 제2 공통 라인(2281)의 면적으로 결정될 수 있다.
- [0165] 한편, 본 발명의 제2 실시예에 따른 보조 스페이스(250a)는, 하부 보조 스페이스(250a')와 하부 보조 스페이스(250a') 위에 중앙의 일부가 오목하게 들어가 액정층(230)이 채워지는 상부 보조 스페이스(250a")를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0166] 제2 공통 라인(2281)은, 상부 보조 스페이스(250a")의 측면 및 오목하게 들어간 중앙을 포함하여 하부 면을 둘러싸도록 배치될 수 있다.
- [0167] 이 경우 d'은, 오목하게 들어간 중앙 부분의 깊이에 해당하며, 전술한 본 발명의 제1 실시예보다 더 작은 값을 가질 수 있으며, 그 결과 전술한 본 발명의 제1 실시예보다 제2 스토리지 커패시터(Cst_{var})의 크기가 증가될 수 있다.
- [0168] 한편, 스페이스(250a, 250b, 250c)는, 전술한 보조 스페이스(250a) 이외에 컬러필터 기관(205)과 어레이 기관(210) 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이스(250b)와 놀림을 방지하기 위한 놀림 스페이스(250c)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 보조 스페이스(250a)가 갭 스페이스(250b)의 역할을 하는 경우 갭 스페이스(250b)는 생략될 수 있다.
- [0169] 보조 스페이스(250a)와 갭 스페이스(250b)는 어레이 기관(210)과 컬러필터 기관(205)에 맞닿도록 구성되어야 하고, 놀림 스페이스(250c)는 두 기관(205, 210) 중 어느 하나와는 이격된 거리를 두어야 한다.
- [0170] 본 발명의 스페이스(250a, 250b, 250c)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다. 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(216), 데이터 라인(217) 또는 제1 공통 라인(2081)이 위치한 영역에 위치하며, 특히 박막 트랜지스터(TR)에 대응하여 갭 스페이스(250b)가 위치하도록 하고, 게이트 라인(216) 또는 데이터 라인(217)에 대응하여 놀림 스페이스(250c)가 위치할 수 있다. 또한, 보조 스페이스(250a)는 제1 공통 라인(2081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0171] 이와 같이 구성된 본 발명에 따른 액정표시장치는 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스(storage capacitance) 값을 변화시킴으로써 화질의 열화를 방지하게 된다. 이를 위해 본 발명은 상부의 제2 공통 라인(2281)에 제2 공통 전압을 인가하여 하부의 화소 전극 라인(218L)과 함께 전계를 형성하고, 액정의 전압이 소정의 문턱전압(V_{th}) 이상으로 인가되면 수평방향 유전율(ϵ_{\parallel})로 제2 스토리지 커패시터(C_{st_var})의 크기가 결정되고, 반면 V_{th} 이하로 인가되면 수직방향 유전율(ϵ_{\perp})로 제2 스토리지 커패시터(C_{st_var})의 크기가 결정되어 조절이 가능하다.
- [0172] 이때, 상부의 제2 공통 라인(2281)과 하부의 화소 전극 라인(218L) 사이의 거리 및 오버랩 되는 면적을 조절함으로써 제2 스토리지 커패시터(C_{st_var})의 크기를 제2 공통 전압의 크기에 따라 변화시킬 수 있다.
- [0173] 한편, 전술한 바와 같이 보조 스페이서(250a)가 갭 스페이서의 역할을 할 수도 있으며, 이를 도면을 참조하여 상세히 설명한다.
- [0174] 도 10은 본 발명의 제2 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.
- [0175] 도 10에 도시된 본 발명의 제2 실시예에 따른 액정표시장치의 다른 예는 보조 스페이서(250a)가 갭 스페이서의 역할을 함에 따라 갭 스페이서가 생략된 것을 제외하고는 전술한 도 8 및 도 9에 도시된 본 발명의 제2 실시예에 따른 액정표시장치와 실질적으로 동일한 구성으로 이루어져 있다. 이에, 동일한 구성에 대해서는 동일한 도면부호를 사용하며, 이에 대한 설명을 생략하기로 한다.
- [0176] 도 10을 참조하면, 전술한 바와 같이 액정 커패시터(C_{st_lc})는, 서로 대향하는 화소 전극(218)과 공통 전극(208), 화소 전극(218)과 공통 전극(208) 사이에 채워진 액정층(230)으로 구성될 수 있다.
- [0177] 화소 전극(218)은 제1 컨택홀(240a)을 통해 박막 트랜지스터(TR)의 드레인 전극(223)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(208)은 제2 컨택홀(미도시)을 통해 제1 공통 라인(2081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(218)과 공통 전극(208) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0178] 제1, 제2 스토리지 커패시터(C_{st_ov1} , C_{st_var})는, 액정 커패시터(C_{st_lc})에 병렬로 연결되어, 화소 전극(218)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0179] 제1 스토리지 커패시터(C_{st_ov1})는, 서로 대향하는 제1 공통 라인(2081)과 드레인 전극(223) 및 제1 공통 라인(2081)과 드레인 전극(223) 사이에 개재된 제1 절연층(215a)으로 구성될 수 있다.
- [0180] 제2 스토리지 커패시터(C_{st_var})는, 서로 대향하는 화소 전극 라인(218L)과 제2 공통 라인(2281) 및 화소 전극 라인(218L)과 제2 공통 라인(2281) 사이에 개재된 액정층(230) 및/또는 보조 스페이서(250a)로 구성될 수 있다.
- [0181] 제2 스토리지 커패시터(C_{st_var})의 크기는, 화소 전극 라인(218L)의 화소 전압과 제2 공통 라인(2281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(230) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d' 의 크기 및 액정층(230) 및/또는 보조 스페이서(250a)에 접촉하는 제2 공통 라인(2281)의 면적으로 결정될 수 있다.
- [0182] 전술한 바와 같이 본 발명의 제2 실시예에 따른 보조 스페이서(250a)는, 하부 보조 스페이서(250a')와 하부 보조 스페이서(250a') 위에 중앙의 일부가 오목하게 들어가 액정층(230)이 채워지는 상부 보조 스페이서(250a'')를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0183] 제2 공통 라인(2281)은, 상부 보조 스페이서(250a'')의 측면 및 오목하게 들어간 중앙을 포함하여 하부 면을 둘러싸도록 배치될 수 있다.
- [0184] 이 경우 d' 은, 오목하게 들어간 중앙 부분의 깊이에 해당하며, 전술한 본 발명의 제1 실시예보다 더 작은 값을 가질 수 있으며, 그 결과 전술한 본 발명의 제1 실시예보다 제2 스토리지 커패시터(C_{st_var})의 크기가 증가될 수 있다.
- [0185] 이때, 스페이서(250a, 250c)는, 전술한 보조 스페이서(250a) 이외에 돌림을 방지하기 위한 돌림 스페이서(250c)를 포함할 수 있으며, 보조 스페이서(250a)가 갭 스페이서의 역할을 하는 경우 갭 스페이서는 생략될 수 있다.
- [0186] 본 발명의 스페이서(250a, 250c)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다.
- [0187] 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(216), 데이터 라인(217) 또는 제1 공통 라인(2081)

이 위치한 영역에 위치할 수 있으며, 특히 박막 트랜지스터(TR)에 대응하여 눌림 스페이서(250c)가 위치하도록 하고, 보조 스페이서(250a)는 제1 공통 라인(2081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0188] 도 11은 본 발명의 제3 실시예에 따른 액정표시장치의 어레이 기판을 예로 들어 보여주는 평면도이다.
- [0189] 도 12는 도 11에 도시된 본 발명의 제3 실시예에 따른 액정표시장치에 있어, C-C' 선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0190] 도 11 및 도 12에 도시된 본 발명의 제3 실시예에 따른 액정표시장치는, 보조 스페이서를 제외하고는 전술한 본 발명의 제1, 제2 실시예와 실질적으로 동일한 구성으로 이루어져 있다.
- [0191] 이때, 본 발명의 제3 실시예에 따른 액정표시장치는, 복수의 서브-화소가 매트릭스 형태로 배치된 표시패널과 표시패널을 구동하는 구동회로를 포함할 수 있다. 본 발명에 따른 액정표시장치는 표시되는 영상에 따라 주파수가 변동되는 가변 주파수 구동(Variable Refresh Rate: VRR) 방식의 액정표시장치로 구성될 수 있다.
- [0192] 도 11 및 도 12를 참조하면, 본 발명의 제3 실시예의 표시패널은, 크게 컬러필터 기관(305)과 어레이 기관(310)이 액정층(330)을 사이에 두고 합착 되어 구성될 수 있다.
- [0193] 자세히 도시하지 않았지만, 컬러필터 기관(305)은 복수의 서브-화소마다 구성된 컬러필터와, 컬러필터 사이에 구성된 블랙 매트릭스를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 일 예로 COT(Color filter on TFT) 구조의 경우 컬러필터는 박막 트랜지스터(TR)와 함께 어레이 기관(310)에 형성될 수 있다.
- [0194] 어레이 기관(310)은, 복수의 서브-화소를 구획하는 게이트 라인(316)과 데이터 라인(317) 및 게이트 라인(316)과 데이터 라인(317)의 교차지점에 구성된 박막 트랜지스터(TR)를 포함할 수 있다.
- [0195] 또한, 컬러필터 기관(305)과 어레이 기관(310) 사이에는 두 기관(305, 310) 사이의 갭(gap)을 유지하기 위한 스페이서(350a, 350b, 350c)가 복수개 구성될 수 있다.
- [0196] 게이트 라인(316)은 어레이 기관(310) 위에 제1 방향으로 배치될 수 있다. 또한, 데이터 라인(317)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(316)과 함께 복수의 서브-화소를 구획할 수 있다.
- [0197] 제1 방향으로 공통 라인(3081)이 배치될 수 있다.
- [0198] 이때, 본 발명의 제3 실시예에 따른 서브-화소는, 박막 트랜지스터(TR)와 복수의 배선, 즉 게이트 라인(316), 데이터 라인(317), 제1 공통 라인(3081) 및 제2 공통 라인(3281)에 의해 형성되는 액정 커패시터(Cst_{1c}) 및 제1, 제2 스토리지 커패시터(Cst_{ov1}, Cst_{var})를 포함하여 구성될 수 있다.
- [0199] 서브-화소 내에 복수의 공통 전극(308)과 화소 전극(318)이 교대로 배치될 수 있다.
- [0200] 이때, 박막 트랜지스터(TR)는 게이트 라인(316)에 연결된 게이트 전극(321), 게이트 전극(321) 상부에 배치된 액티브층(324), 데이터 라인(317)에 연결된 소스 전극(322) 및 소스 전극(322)과 대향 배치된 드레인 전극(323)을 포함할 수 있다.
- [0201] 즉, 스위칭 소자(switching element)로 기능하는 박막 트랜지스터(TR)는 대응되는 게이트 라인(316) 및 데이터 라인(317)과 연결되어 각각 게이트 전압과 데이터 전압을 인가 받을 수 있다. 박막 트랜지스터(TR)의 게이트 전극(321)은 게이트 라인(316)에 연결되고, 소스 전극(322)은 데이터 라인(317)에 연결되며, 드레인 전극(323)은 제1 콘택홀(340a)을 통해 화소 전극 라인(318L)에 연결될 수 있다. 여기서, 박막 트랜지스터(TR)는 이동도(mobility)나 오프 전류 특성이 우수한 산화물 반도체를 이용하여 액티브층(324)을 구성할 수 있는데, 본 발명이 이에 한정되지는 않는다. 비정질 실리콘을 이용하여 액티브층(324)을 구성할 경우, 도 9에 도시된 바와 같이 액티브층(324)과 소스/드레인 전극(322, 323) 사이에 오믹-컨택층(325)을 형성할 수도 있다.
- [0202] 액정 커패시터(Cst_{1c})는 서로 대향하는 화소 전극(318)과 공통 전극(308) 및 화소 전극(318)과 공통 전극(308) 사이에 채워진 액정층(330)으로 구성될 수 있다.
- [0203] 화소 전극(318)은 제1 콘택홀(340a)을 통해 박막 트랜지스터(TR)의 드레인 전극(323)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(308)은 제2 콘택홀(340b)을 통해 제1 공통 라인(3081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(318)과 공통 전극(308) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0204] 복수의 화소 전극(318)은, 그 일단이 화소 전극 라인(318L)에 연결되어 제1 콘택홀(340a)을 통해 박막 트랜지스

터(TR)의 드레인 전극(323)에 전기적으로 접속될 수 있다.

- [0205] 공통 전극(308)은, 서브-화소의 가장자리에 위치한 데이터 라인(317) 상부에 배치되는 최외곽 공통 전극(308')을 포함할 수 있다.
- [0206] 최외곽 공통 전극(308')을 포함하는 복수의 공통 전극(308)은, 그 일단이 제1 방향으로 배열된 공통 전극 라인(308")에 연결될 수 있다. 그리고, 최외곽 공통 전극(308')의 다른 일단은 제2 컨택홀(340b)을 통해 제1 공통 라인(3081)에 전기적으로 접속하여 공통 전극(308)에 제1 공통 전압을 인가할 수 있다.
- [0207] 한편, 데이터 라인(317)의 측면에는 제1 공통 라인(3081)으로부터 분기된 차폐 라인(308a)이 배치될 수 있으며, 차폐 라인(308a)은 제1 방향으로 배열된 연결 라인(308b)에 연결될 수 있다.
- [0208] 제1, 제2 스토리지 커패시터(Cst_ov1, Cst_var)는, 액정 커패시터(Cst_lc)에 병렬로 연결되어, 화소 전극(318)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0209] 제1 스토리지 커패시터(Cst_ov1)는, 서로 대향하는 제1 공통 라인(3081)과 드레인 전극(323) 및 제1 공통 라인(3081)과 드레인 전극(323) 사이에 개재된 제1 절연층(315a)으로 구성될 수 있다.
- [0210] 제2 스토리지 커패시터(Cst_var)는, 서로 대향하는 화소 전극 라인(318L)과 제2 공통 라인(3281) 및 화소 전극 라인(318L)과 제2 공통 라인(3281) 사이에 개재된 액정층(330)으로 구성될 수 있다.
- [0211] 제2 스토리지 커패시터(Cst_var)의 크기는, 화소 전극 라인(318L)의 화소 전압과 제2 공통 라인(3281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(330) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(330) 및/또는 보조 스페이서(350a)에 접촉하는 제2 공통 라인(3281)의 면적으로 결정될 수 있다.
- [0212] 한편, 본 발명의 제3 실시예에 따른 보조 스페이서(350a)는, 화소 전극 라인(318L)과 일정 거리(d')를 두고 컬러필터 기관(305)의 표면에 구비될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0213] 따라서, 제2 공통 라인(3281)은, 보조 스페이서(350a)의 측면 및 하부 면을 둘러싸도록 배치될 수 있다.
- [0214] 한편, 스페이서(350a, 350b, 350c)는, 전술한 보조 스페이서(350a) 이외에 컬러필터 기관(305)과 어레이 기관(310) 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이서(350b)와 놀림을 방지하기 위한 놀림 스페이서(350c)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 보조 스페이서(350a)가 놀림 스페이서(350c)의 역할을 하는 경우 놀림 스페이서(350c)는 생략될 수 있다.
- [0215] 갭 스페이서(350b)는 어레이 기관(310)과 컬러필터 기관(305)에 맞닿도록 구성되어야 하고, 보조 스페이서(350a)와 놀림 스페이서(350c)는 두 기관(305, 310) 중 어느 하나와는 이격된 거리를 두어야 한다.
- [0216] 본 발명의 스페이서(350a, 350b, 350c)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다. 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(316), 데이터 라인(317) 또는 제1 공통 라인(3081)이 위치한 영역에 위치하며, 특히 박막 트랜지스터(TR)에 대응하여 갭 스페이서(350b)가 위치하도록 하고, 게이트 라인(316) 또는 데이터 라인(317)에 대응하여 놀림 스페이서(350c)가 위치할 수 있다. 또한, 보조 스페이서(350a)는 제1 공통 라인(3081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0217] 이와 같이 구성된 본 발명에 따른 액정표시장치는 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 스토리지 커패시턴스(storage capacitance) 값을 변화시킴으로써 화질의 열화를 방지하게 된다. 이를 위해 본 발명은 상부의 제2 공통 라인(3281)에 제2 공통 전압을 인가하여 하부의 화소 전극 라인(318L)과 함께 전계를 형성하고, 액정의 전압이 소정의 문턱전압(Vth) 이상으로 인가되면 수평방향 유전율(ϵ_{\parallel})로 제2 스토리지 커패시터(Cst_var)의 크기가 결정되고, 반면 Vth 이하로 인가되면 수직방향 유전율(ϵ_{\perp})로 제2 스토리지 커패시터(Cst_var)의 크기가 결정되어 조절이 가능하다.
- [0218] 이때, 상부의 제2 공통 라인(3281)과 하부의 화소 전극 라인(318L) 사이의 거리 및 오버랩 되는 면적을 조절함으로써 제2 스토리지 커패시터(Cst_var)의 크기를 제2 공통 전압의 크기에 따라 변화시킬 수 있다.
- [0219] 한편, 전술한 바와 같이 보조 스페이서(350a)가 놀림 스페이서의 역할을 할 수도 있으며, 이를 도면을 참조하여 상세히 설명한다.
- [0220] 도 13은 본 발명의 제3 실시예에 따른 액정표시장치의 다른 예를 보여주는 단면도이다.
- [0221] 도 13에 도시된 본 발명의 제3 실시예에 따른 액정표시장치의 다른 예는 보조 스페이서(350a)가 놀림 스페이서

역할을 함에 따라 놀림 스페이서가 생략된 것을 제외하고는 전술한 도 11 및 도 12에 도시된 본 발명의 제3 실시예에 따른 액정표시장치와 실질적으로 동일한 구성으로 이루어져 있다. 이에, 동일한 구성에 대해서는 동일한 도면부호를 사용하며, 이에 대한 설명을 생략하기로 한다.

- [0222] 도 13을 참조하면, 전술한 바와 같이 액정 커패시터(Cst_{1c})는, 서로 대향하는 화소 전극(318)과 공통 전극(308) 및 화소 전극(318)과 공통 전극(308) 사이에 채워진 액정층(330)으로 구성될 수 있다.
- [0223] 화소 전극(318)은 제1 콘택홀(340a)을 통해 박막 트랜지스터(TR)의 드레인 전극(323)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(308)은 제2 콘택홀(미도시)을 통해 제1 공통 라인(3081)에 전기적으로 접속되어 제1 공통 전압을 인가 받을 수 있다. 화소 전압과 제1 공통 전압의 전압 차에 의해 화소 전극(318)과 공통 전극(308) 사이에 전계가 발생되어 액정 분자의 배열을 변화 시킴으로써 화상을 표시할 수 있다.
- [0224] 제1, 제2 스토리지 커패시터(Cst_{ov1}, Cst_{var})는, 액정 커패시터(Cst_{1c})에 병렬로 연결되어, 화소 전극(318)에 인가된 데이터 전압, 즉 화소 전압을 다음 프레임까지 저장하게 된다.
- [0225] 제1 스토리지 커패시터(Cst_{ov1})는, 서로 대향하는 제1 공통 라인(3081)과 드레인 전극(323) 및 제1 공통 라인(3081)과 드레인 전극(323) 사이에 개재된 제1 절연층(315a)으로 구성될 수 있다.
- [0226] 제2 스토리지 커패시터(Cst_{var})는, 서로 대향하는 화소 전극 라인(318L)과 제2 공통 라인(3281) 및 화소 전극 라인(318L)과 제2 공통 라인(3281) 사이에 개재된 액정층(330)으로 구성될 수 있다.
- [0227] 제2 스토리지 커패시터(Cst_{var})의 크기는, 화소 전극 라인(318L)의 화소 전압과 제2 공통 라인(3281)의 제2 공통 전압으로 제어할 수 있으며, 액정층(330) 내의 액정의 유전율 ϵ_{\parallel} , ϵ_{\perp} 의 차이와 d'의 크기 및 액정층(330) 및/또는 보조 스페이서(350a)에 접촉하는 제2 공통 라인(3281)의 면적으로 결정될 수 있다.
- [0228] 전술한 바와 같이 본 발명의 제3 실시예에 따른 보조 스페이서(350a)는, 화소 전극 라인(318L) 상부에서 화소 전극 라인(318L)과 일정 거리(d')를 두고 컬러필터 기관(305)의 표면에 구비될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0229] 따라서, 제2 공통 라인(3281)은, 보조 스페이서(350a)의 측면 및 하부 면을 둘러싸도록 배치될 수 있다.
- [0230] 이때, 스페이서(350a, 350b)는, 전술한 보조 스페이서(350a) 이외에 두 기관(305, 310) 사이의 갭을 일정하게 유지하기 위한 갭 스페이서(350b)를 포함할 수 있으며, 보조 스페이서(350a)가 놀림 스페이서의 역할을 하는 경우 놀림 스페이서는 생략될 수 있다.
- [0231] 본 발명의 스페이서(350a, 350b)는 화소 영역에 위치하는 것 보다, 이를 피한 영역에 위치하도록 하는 것이 화질 면에서 유리하다.
- [0232] 따라서, 박막 트랜지스터(TR)가 위치한 영역과 게이트 라인(316), 데이터 라인(317) 또는 제1 공통 라인(3081)이 위치한 영역에 위치할 수 있으며, 특히 박막 트랜지스터(TR)에 대응하여 갭 스페이서(350b)가 위치하도록 하고, 보조 스페이서(350a)는 제1 공통 라인(3081) 상부에 위치할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0233] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.
- [0234] 본 발명의 일 실시예에 따른 액정표시장치는, 액정층을 개재하여 대향 합착되는 어레이 기관과 컬러필터 기관, 상기 어레이 기관 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인, 상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극, 상기 게이트 라인에 대해 나란하게 배치되며, 상기 공통 전극에 접속된 제1 공통 라인, 상기 서브-화소 내에 배치되는 박막 트랜지스터, 상기 복수의 화소 전극과 연결되는 한편, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 접속하는 화소 전극 라인, 상기 화소 전극 라인에 대향하는 상기 컬러필터 기관에 배치된 제2 공통 라인 및 상기 컬러필터 기관과 상기 어레이 기관 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함할 수 있다.
- [0235] 본 발명의 다른 특징에 따르면, 상기 박막 트랜지스터는, 상기 게이트 라인에 연결된 게이트 전극, 상기 게이트 전극 상부에 배치된 액티브층, 상기 데이터 라인에 연결된 소스 전극 및 상기 소스 전극에 대향 배치되며, 상기 화소 전극에 전기적으로 접속된 드레인 전극을 포함할 수 있다.
- [0236] 본 발명의 또 다른 특징에 따르면, 액정표시장치는, 상기 컬러필터 기관과 상기 어레이 기관 사이에 맞닿도록

배치되며, 상기 컬러필터 기관과 상기 어레이 기관 사이의 이격된 갭(gap)을 유지하기 위한 갭 스페이서를 더 포함할 수 있다.

- [0237] 본 발명의 또 다른 특징에 따르면, 액정표시장치는, 상기 컬러필터 기관과 상기 어레이 기관 사이에 어느 하나와는 이격된 거리를 두도록 배치되는 놀림 스페이서를 더 포함할 수 있다.
- [0238] 본 발명의 또 다른 특징에 따르면, 액정 커패시터는, 상기 화소 전극과 상기 공통 전극 및 상기 화소 전극과 상기 공통 전극 사이에 채워진 상기 액정층으로 구성될 수 있다.
- [0239] 본 발명의 또 다른 특징에 따르면, 상기 가변 커패시터는, 서로 대향하는 상기 화소 전극 라인과 상기 제2 공통 라인 및 상기 화소 전극 라인과 상기 제2 공통 라인 사이에 개재된 상기 액정층 및/또는 상기 스페이서로 구성될 수 있다.
- [0240] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 라인은, 제2 공통 전압 공급배선을 통해 데이터 구동회로에 전기적으로 접속되어 제2 공통 전압을 인가 받을 수 있다.
- [0241] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 전압 공급배선은, 상기 어레이 기관에 배치된 하부 제2 공통 전압 공급배선, 상기 컬러필터 기관에 배치된 상부 제2 공통 전압 공급배선 및 상기 컬러필터 기관에 상기 게이트 라인에 대해 나란하게 배치된 수평 제2 공통 전압 공급배선을 포함할 수 있다.
- [0242] 본 발명의 또 다른 특징에 따르면, 상기 상부 제2 공통 전압 공급배선은, 은 도트의 접속수단을 통해 상기 하부 제2 공통 전압 공급배선에 전기적으로 접속되어 상기 제2 공통 전압을 인가 받을 수 있다.
- [0243] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 라인은, 상기 게이트 라인 방향으로 연장되어 상기 수평 제2 공통 전압 공급배선을 구성할 수 있다.
- [0244] 본 발명의 또 다른 특징에 따르면, 상기 스페이서는, 상기 어레이 기관에 위치한 하부 스페이서와 상기 하부 스페이서 위에 상기 액정층에 의해 적어도 좌우 2개로 분리된 상부 스페이서를 포함할 수 있다.
- [0245] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 라인은, 상기 적어도 2개의 상부 스페이서의 측면 및 하부 면을 둘러싸는 동시에, 상기 적어도 2개의 상부 스페이서 사이의 상기 컬러필터 기관 표면에 배치될 수 있다.
- [0246] 본 발명의 또 다른 특징에 따르면, 상기 스페이서는 갭 스페이서의 역할을 할 수 있다.
- [0247] 본 발명의 또 다른 특징에 따르면, 상기 스페이서는, 상기 어레이 기관에 위치한 하부 스페이서와 상기 하부 스페이서 위에 중앙의 일부가 오목하게 들어가 상기 액정층이 채워지는 상부 스페이서를 포함할 수 있다.
- [0248] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 라인은, 상기 상부 스페이서의 측면 및 상기 오목하게 들어간 중앙을 포함하여 상기 하부 면을 둘러싸도록 배치될 수 있다.
- [0249] 본 발명의 또 다른 특징에 따르면, 상기 가변 커패시터는, 서로 대향하는 상기 화소 전극 라인과 상기 제2 공통 라인 및 상기 화소 전극 라인과 상기 제2 공통 라인 사이에 개재된 상기 액정층으로 구성될 수 있다.
- [0250] 본 발명의 또 다른 특징에 따르면, 상기 스페이서는, 상기 화소 전극 라인과 일정 거리를 두고 상기 컬러필터 기관의 표면에 구비될 수 있다.
- [0251] 본 발명의 또 다른 특징에 따르면, 상기 제2 공통 라인은, 상기 스페이서의 측면 및 하부 면을 둘러쌀 수 있다.
- [0252] 본 발명의 또 다른 특징에 따르면, 상기 스페이서는 놀림 스페이서의 역할을 할 수 있다.
- [0253] 본 발명의 다른 일 실시예에 따른 액정표시장치는, 액정층을 개재하여 대향 합착되는 어레이 기관과 컬러필터 기관, 상기 어레이 기관 위에 교차하여 복수의 서브-화소를 정의하는 복수의 게이트 라인과 데이터 라인, 상기 서브-화소 내에 교대로 배치되는 복수의 공통 전극과 화소 전극, 상기 공통 전극에 접속되어 제1 공통 전압을 공급하는 제1 공통 라인, 상기 화소 전극과 상기 공통 전극 및 상기 화소 전극과 상기 공통 전극 사이에 채워진 상기 액정층으로 구성되는 액정 커패시터, 상기 복수의 화소 전극과 연결되며, 화소 전압을 공급하는 화소 전극 라인, 상기 화소 전극 라인에 대향하는 상기 컬러필터 기관에 배치되어 제2 공통 전압을 공급하는 제2 공통 라인 및 상기 컬러필터 기관과 상기 어레이 기관 사이에 배치되며, 상기 제2 공통 라인 및 상기 화소 전극 라인과 함께 가변 커패시터를 구성하는 스페이서를 포함하며, 구동 주파수의 가변이 필요한 경우, 각 주파수 별로 필요한 상기 가변 커패시터 값을 상기 제2 공통 전압이 크기를 조절하여 변화시킬 수 있다.
- [0254] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실

시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

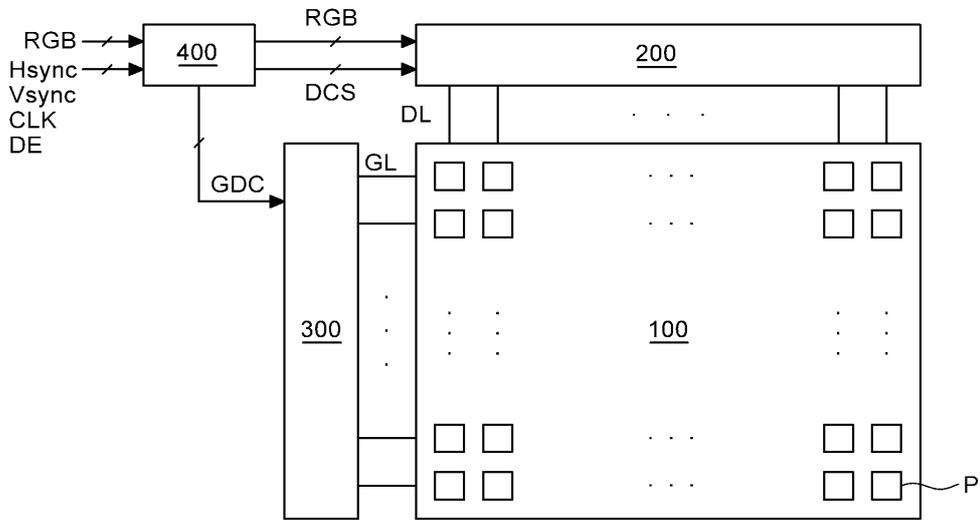
부호의 설명

[0255]

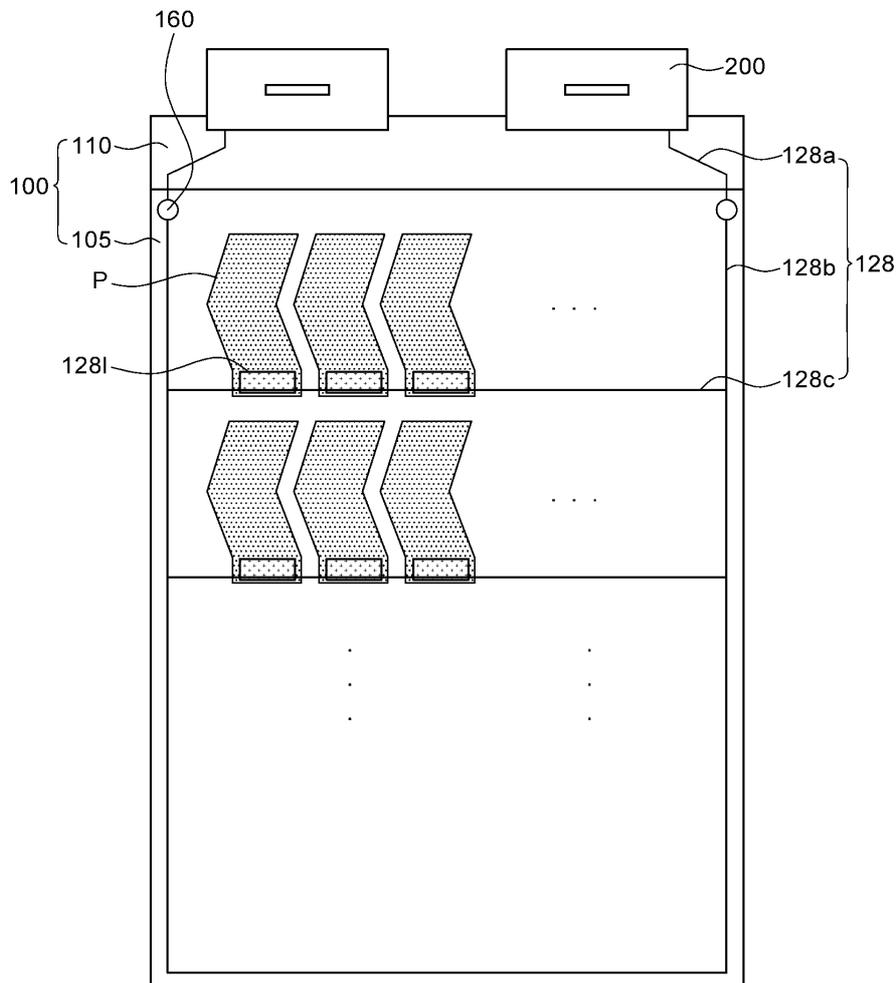
- 108, 208, 308: 공통 전극
- 108', 208', 308': 최외곽 공통 전극
- 108", 208", 308": 공통 전극 라인
- 108a, 208a, 308a: 차폐 라인
- 108b, 208b, 308b: 연결 라인
- 1081, 2081, 3081: 제1 공통 라인
- 116, 216, 316: 게이트 라인
- 117, 217, 317: 데이터 라인
- 118, 218, 318: 화소 전극
- 118L, 218L, 318L: 화소 전극 라인
- 121, 221, 321: 게이트 전극
- 122, 222, 322: 소스 전극
- 123, 223, 323: 드레인 전극
- 124, 224, 324: 액티브층
- 128: 제2 공통 전압 공급배선
- 128a: 하부 제2 공통 전압 공급배선
- 128b: 상부 제2 공통 전압 공급배선
- 128c: 수평 제2 공통 전압 공급배선
- 1281, 2281, 3281: 제2 공통 라인
- 130, 230, 330: 액정층
- 150a, 250a, 350a: 보조 스페이서
- 150a', 250a', 350a': 하부 보조 스페이서
- 150a", 250a", 350a": 하부 보조 스페이서
- 160: 접속수단
- Cst_{1c}: 액정 커패시터
- Cst_{ov1}: 제1 스토리지 커패시터
- Cst_{var}: 제2 스토리지 커패시터
- TR: 박막 트랜지스터

도면

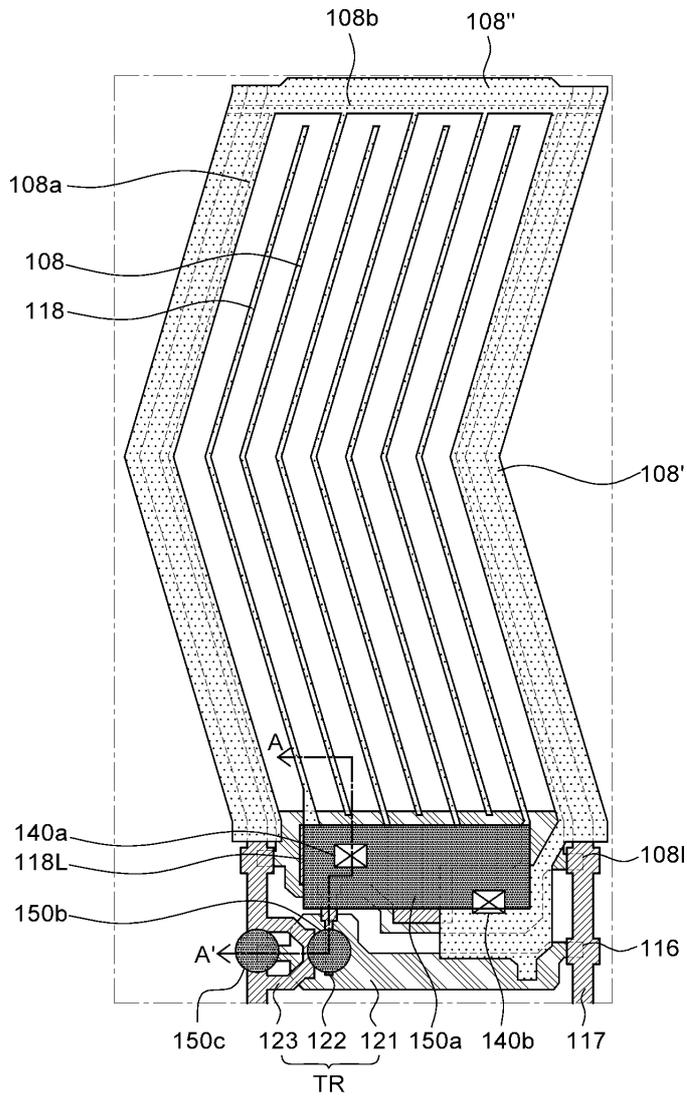
도면1



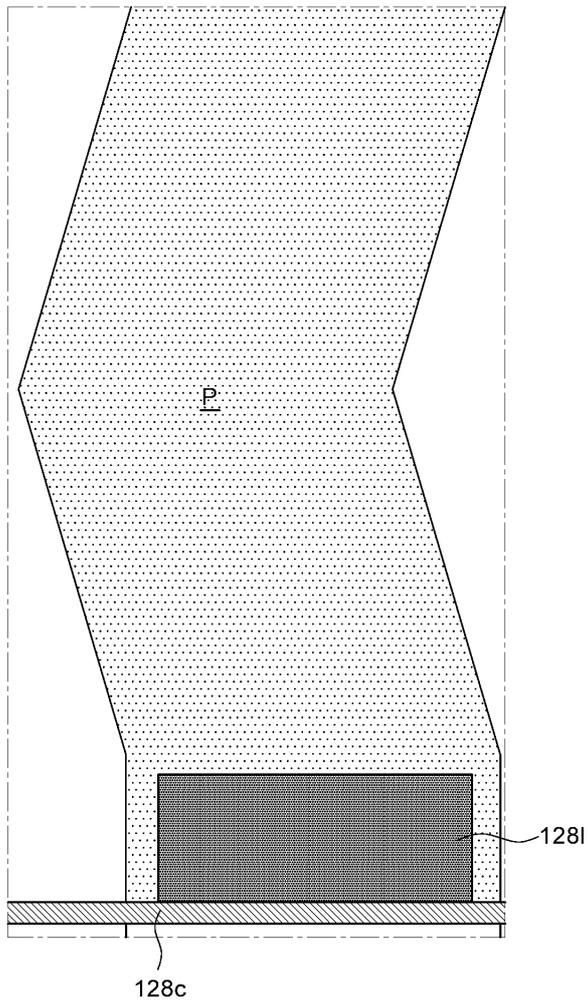
도면2



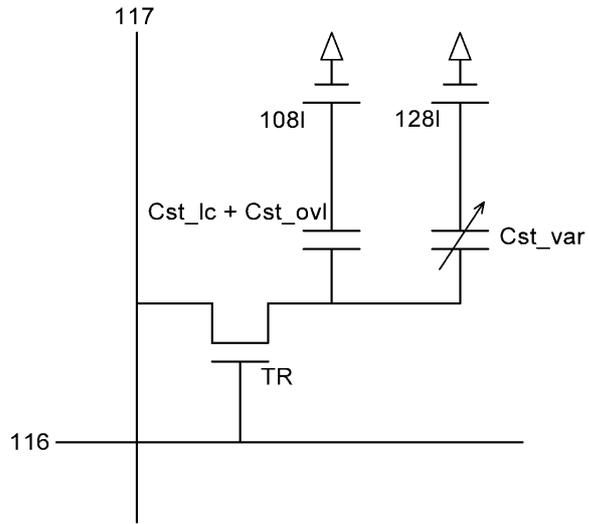
도면3



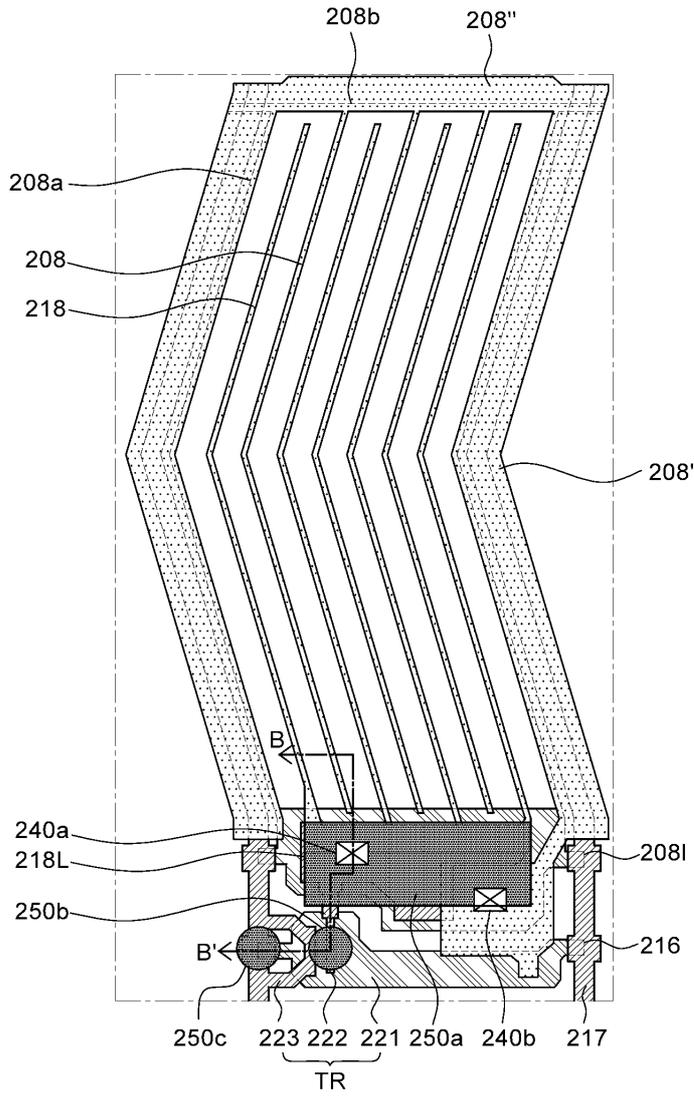
도면4



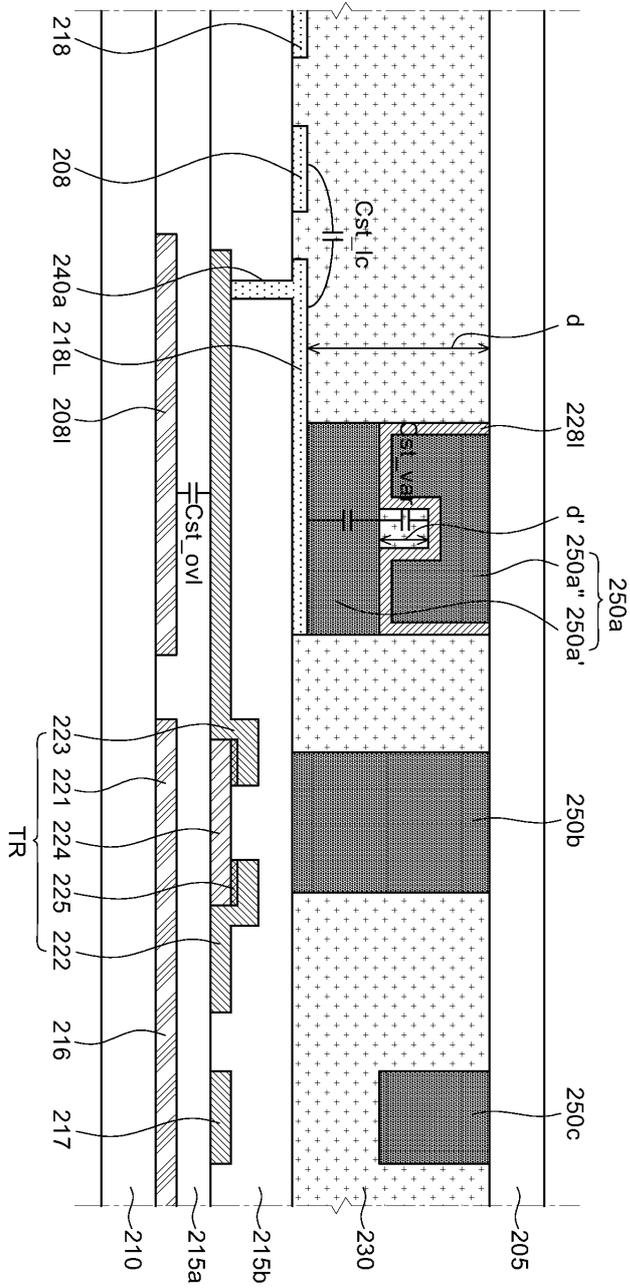
도면6



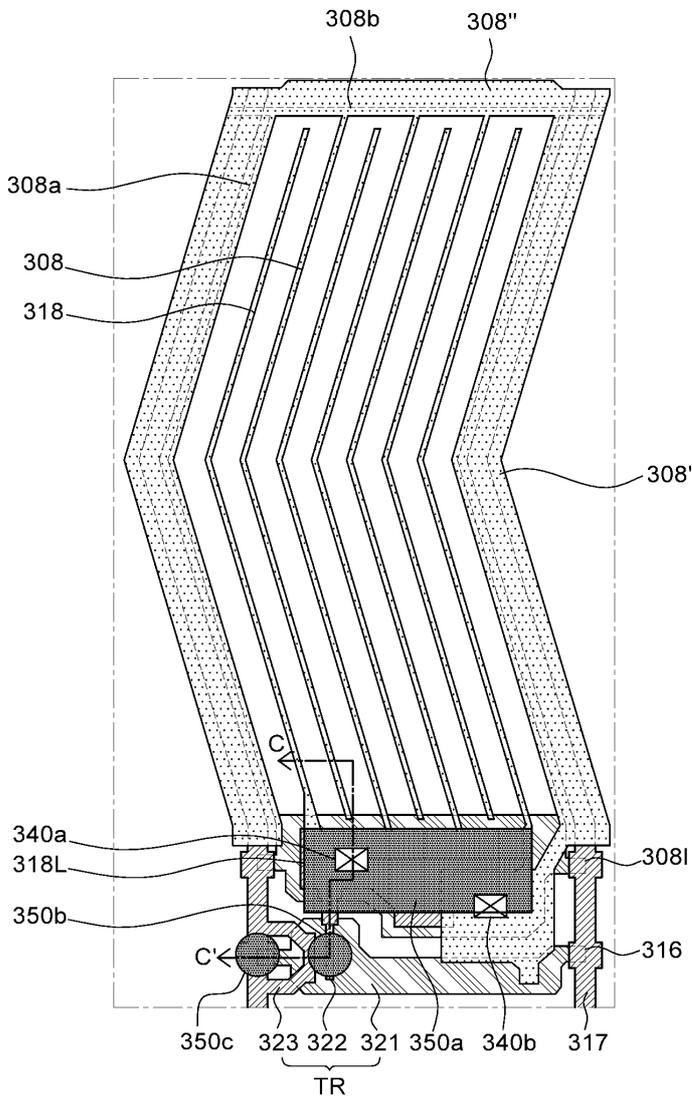
도면8



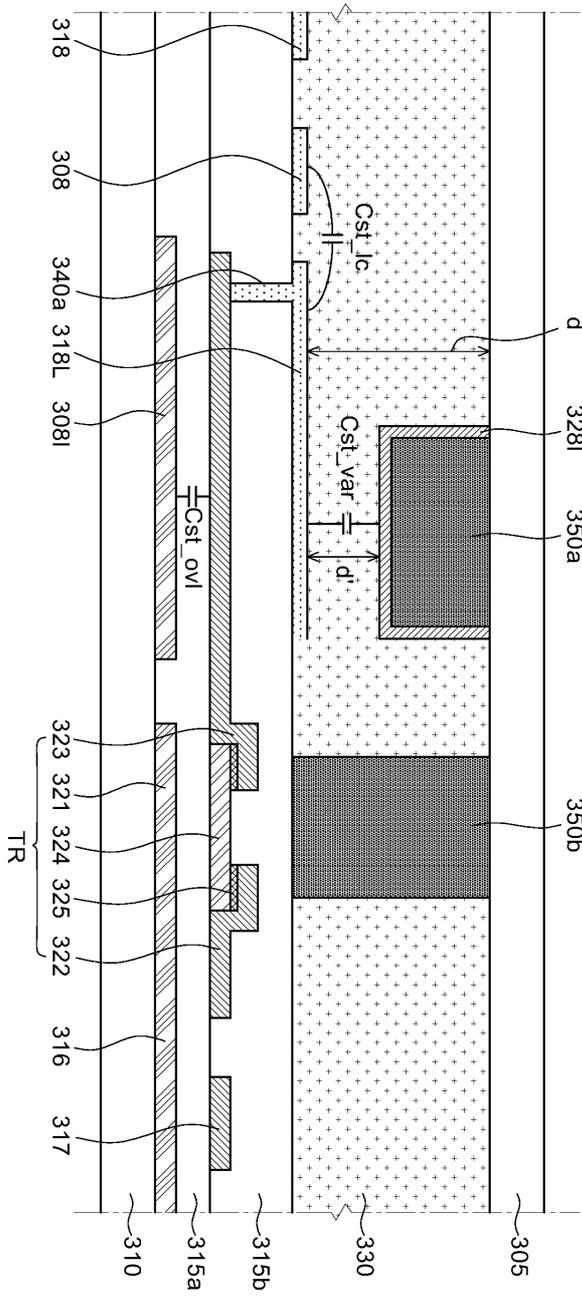
도면9



도면11



도면13



专利名称(译)	液晶显示装置		
公开(公告)号	KR1020200049397A	公开(公告)日	2020-05-08
申请号	KR1020180132624	申请日	2018-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이중범 이병현 원규식		
发明人	이중범 이병현 원규식		
IPC分类号	G02F1/1333		
CPC分类号	G02F1/1333 G02F2201/122 G02F2201/123		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的液晶显示器的特征在于，当驱动频率可变时，通过针对每个频率改变所需的存储电容值来防止图像质量的劣化。

