(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0046417
(43) 공개일자 2018년05월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) *G02F 1/1343* (2006.01)
G06F 3/044 (2006.01) *G09G 3/36* (2006.01)
(52) CPC특허분류
G02F 1/13338 (2013.01)
G02F 1/1343 (2013.01)
(21) 출원번호 10-2016-0141013
(22) 출원일자 2016년10월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
홍성호
인천광역시 부평구 원적로 361 (산곡동, 한화아파트) 207동 1203호
황광조
경기도 고양시 일산동구 경의로 333 512동 401호 (마두동, 백마마을5단지아파트)
(74) 대리인
특허법인로얄

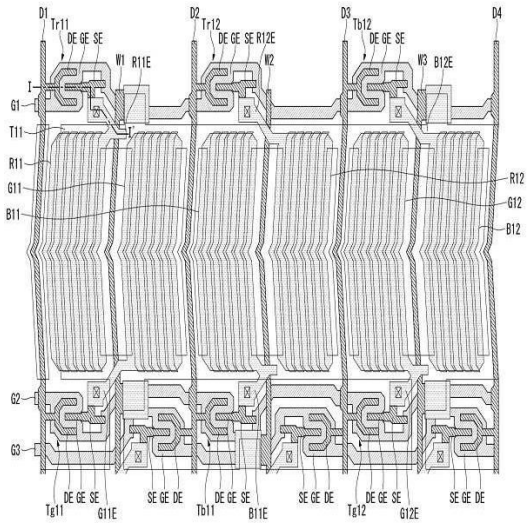
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **터치센서 내장형 액정 표시장치**

(57) 요 약

본 발명은 터치센서 내장형 액정 표시장치에 관한 것으로, 서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치되는 액정 셀들; 및 상기 액정 셀들에 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압을 공급하고, 인접한 데이터 라인들 사이에 배치된 터치/공통라인에 의해 분할된 영역에 배치되는 동일 수평 표시라인에 위치한 2개의 액정셀들에 동일 데이터 전압을 공급하는 박막 트랜지스터들을 포함하고, 상기 액정셀들 각각에 포함된 서브픽셀 전극은 상기 터치/공통라인과 교차하도록 인접한 액정셀로 연장되는 연장부를 포함한다.

대 표 도



(52) CPC특허분류
G06F 3/0412 (2013.01)
G06F 3/0418 (2013.01)
G06F 3/044 (2013.01)
G09G 3/3648 (2013.01)

명 세 서

청구범위

청구항 1

서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치되는 액정 셀들; 및

상기 액정 셀들에 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압을 공급하고, 인접한 데이터 라인들 사이에 배치된 터치/공통라인에 의해 분할된 영역에 배치되는 동일 수평 표시라인에 위치한 2개의 액정셀들에 동일 데이터 전압을 공급하는 박막 트랜지스터들을 포함하고,

상기 액정셀들 각각에 포함된 서브픽셀 전극은 상기 터치/공통라인과 교차하도록 인접한 액정셀로 연장되는 연장부를 포함하는 터치센서 일체형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 2개의 액정셀들에 상기 동일 데이터 전압을 공급하는 2개의 박막 트랜지스터들은 동일 액정셀의 양측에 각각 배치되는 터치센서 내장형 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 동일 액정셀의 일측에 배치되는 박막 트랜지스터는, 상기 터치/공통라인을 가로질러 상기 동일 액정셀에 인접한 다른 액정셀로 연장되는 상기 동일 액정셀의 서브픽셀 전극의 연장부에 연결되고,

상기 동일 액정셀의 타측에 배치되는 박막 트랜지스터는 상기 터치/공통라인을 가로질러 상기 동일 액정셀로 연장되는 다른 액정셀의 서브픽셀 전극의 연장부에 연결되는 터치센서 내장형 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 데이터 라인들과 상기 터치/공통라인들은 동일층에서 서로 나란하게 배치되는 터치센서 내장형 표시장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 액정셀들의 서브픽셀 전극들과 중첩되도록 배치되어 전계를 형성하며, 상기 터치/공통라인에 접속되는 터치/공통전극;

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 게이트 구동회로;

1프레임 기간을 시분할한 디스플레이 기간 동안 상기 데이터 라인들에 상기 데이터 전압을 공급하는 소스 구동 IC; 및

상기 1프레임 기간을 터치센싱 기간 동안 상기 터치/공통전극에 터치 구동전압을 공급하고, 상기 터치/공통전극을 센싱하여 센싱 데이터를 수신하는 터치 구동 IC를 더 포함하는 터치센서 내장형 액정 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 터치센서 내장형 액정 표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정 표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고, 분자 배열과 광학적 성질을 쉽게 조절할 수 있다. 이를 이용한 액정 표시장치는 전계의 크기에 따라 액정 분자들의 배열 방향을 가변시켜서 편광판을 투과하는 광 투과율을 조절함으로써 영상을 표시한다.

[0003] 액정 표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.

[0004] 이러한 액정 표시장치의 회로 비용을 절감하기 위해, 기존 대비 게이트 라인의 수를 2배로 늘리는 대신 데이터 라인의 수를 1/2 배로 줄여 데이터 드라이브 IC의 수를 줄인 DRD(Double Rate Driving) 방식의 액정 표시장치가 개발되고 있다.

[0005] 최근 편리하면서도 간단하고 오작동을 줄일 수 있는 표시장치용 입력장치에 대한 요구가 날로 증가되고 있으며, 이와 같은 요구에 따라 사용자가 표시장치를 보면서 손이나 펜 등으로 화면을 직접 터치하거나 근접시켜 정보를 입력하면 이를 인식할 수 있는 터치센서(touch sensor)가 표시장치에 내장되는 기술이 제안되고 있다.

[0006] 이러한 요구에 따라 터치센서가 액정 표시장치에 내장된 터치센서 내장형 액정 표시장치도 구현되고 있으며, 이러한 터치센서 내장형 액정 표시장치에서는 터치센서를 구성하는 분할된 복수의 공통전극에 이미지를 표시하기 디스플레이 구동이나 터치여부의 인식을 위한 터치 구동에 필요한 구동신호를 공급하기 위한 터치/공통라인이 필요하다.

[0007] DRD 방식의 액정 표시장치에서는 인접한 데이터 라인들 사이에 1행마다 2개의 서브 픽셀들이 위치되기 때문에 2개의 서브 픽셀들 사이 데이터 라인이 배치되지 않은 빈 영역이 발생한다.

[0008] 따라서, 데이터 라인이 배치되지 않은 인접한 2개의 서브 픽셀들 사이의 빈 영역에 터치/공통라인들을 배치하고, 그 터치/공통라인들을 분할된 공통전극들에 각각 연결하면, 디스플레이 구동시에는 공통전압을 공급하고, 터치 구동시에는 터치 구동전압을 공급하여 각 공통전극을 센싱함으로써 디스플레이 구동과 터치 구동을 구현할 수 있게 된다.

[0009] 이하, 도 1 및 도 2a 내지 도 2c를 참조하여 일반적인 터치센서 내장형 DRD 방식의 액정 표시장치에 대해 설명하기로 한다.

[0010] 도 1은 일반적인 터치센서 내장형 DRD 방식의 액정 표시장치의 화소 어레이의 일부 영역을 도시한 구성도이다.

[0011] 도 2a는 게이트 라인들과 관련된 R 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면이고, 도 2b는 게이트 라인들과 관련된 G 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면이며, 도 2c는 게이트 라인들과 관련된 B 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면이다.

[0012] 도 1 및 도 2a를 참조하면, 첫 번째 행에 배치된 제 1 게이트 라인(G1)에 접속된 첫 번째 행의 짝수 번째 R 서브픽셀들(R12, R14)은 터치/공통라인들(TL1~TL9)과 교차한다. 제 1 게이트 라인(G1)에 접속된 첫 번째 행의 홀수 번째 R 서브픽셀들(R11, R13)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다.

[0013] 또한, 세 번째 행에 배치된 제 3 게이트 라인(G3)에 접속된 두 번째 행의 홀수 번째 R 서브픽셀들(R21, R23)은 터치/공통라인들(TL1~TL6)과 교차한다. 제 3 게이트 라인(G3)에 접속된 두 번째 행의 짝수 번째 R 서브픽셀들(R22, R24)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다.

[0014] R 서브픽셀들에 연결된 제 1 및 제 3 게이트 라인들(G1, G3)과 터치/공통라인들(TL1~TL6) 사이에는 교차부(C)와 비교차부(NC)가 번갈아 존재하고, 또한 서로 인접한 데이터 라인에 반대 극성의 신호가 인가되도록 정극성 신호(+)와 부극성 신호(-)가 데이터 라인들(D1~D7)에 번갈아 인가되므로, 도 2a에 도시된 바와 같이, R 서브픽셀들과 터치/공통라인들(TL1~TL6) 사이의 기생 캐패시턴스(parasitic capacitance)는 균일하게 된다.

[0015] 도 1 및 도 2b를 참조하면, 두 번째 행에 배치된 제 2 게이트 라인(G2)에 접속된 첫 번째 행의 홀수 번째 G 서브픽셀들(G11, G13)은 터치/공통라인들(TL1~TL6)과 교차한다. 제 2 게이트 라인(G2)에 접속된 첫 번째 행의 짝수 번째 G 서브픽셀들(G12, G14)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다.

[0016] 또한, 네 번째 행에 배치된 제 4 게이트 라인(G4)에 접속된 두 번째 행의 짝수 번째 G 서브픽셀들(G22, G24)은

터치/공통라인들(TL1~TL6)과 교차한다. 제 4 게이트 라인(G4)에 접속된 두 번째 행의 홀수 번째 G 서브픽셀들(G21, G23)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다.

[0017] G 서브픽셀들에 연결된 제 2 및 제 4 게이트 라인들(G2, G4)과 터치/공통라인들(TL1~TL6) 사이에는 교차부(C)와 비교차부(NC)가 번갈아 존재하고, 또한 서로 인접한 데이터 라인에 반대 극성의 신호가 인가되도록 정극성 신호(+)와 부극성 신호(-)가 데이터 라인들(D1~D7)에 번갈아 인가되므로, 도 2a에 도시된 바와 같이, G 서브픽셀들과 터치/공통라인들(TL1~TL6) 사이의 기생 캐패시턴스는 균일하게 된다.

[0018] 도 1 및 도 2c를 참조하면, 제 1 게이트 라인(G1)에 접속된 첫 번째 행의 짝수 번째 B 서브픽셀들(B12, B14)은 터치/공통라인들(TL1~TL6)과 교차한다. 제 2 게이트 라인(G2)에 접속된 첫 번째 행의 홀수 번째 B 서브픽셀들(B11, B13)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다. 제 3 게이트 라인(G3)에 접속된 두 번째 행의 짝수 번째 B 서브픽셀들(B22, B24)은 터치/공통라인들(TL1~TL6)과 교차하지 않는다. 제 4 게이트 라인(G4)에 접속된 두 번째 행의 홀수 번째 B 서브픽셀들(B21, B23)은 터치/공통라인들(TL1~TL6)과 교차한다.

[0019] B 서브픽셀들에 연결된 제 1 내지 제 4 게이트 라인들(G1~G4)과 터치/공통라인들(TL1~TL6) 사이에는 게이트 라인별로 교차부(C)와 비교차부(NC)가 나누어진다. 따라서, B 서브픽셀들과 터치/공통라인들(TL1~TL9) 사이의 기생 캐패시턴스가 불균일하게 된다.

[0020] 상술한 바와 같이 종래의 터치센서 내장형 DRD 방식의 액정 표시장치에서는 특정 서브픽셀과 관련된 게이트 라인과 터치/공통라인들 사이의 기생 캐패시턴스가 불균일하게 되어 화질불량을 야기시키는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0021] 따라서, 본 발명의 목적은 특정 서브픽셀에서 발생하는 기생 캐패시턴스의 상술한 종래의 문제점을 해소시킬 수 있는 터치센서 내장형 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0022] 상기 목적 달성을 위한 본 발명에 따르는 터치센서 내장형 표시장치는 서로 교차하도록 배열된 데이터 라인들과 게이트 라인들에 의해 정의되는 적어도 2개의 수평 표시라인들과 적어도 2개의 수직 표시라인들에 배치되는 액정 셀들; 및 상기 액정 셀들에 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압을 공급하고, 인접한 데이터 라인들 사이에 배치된 터치/공통라인에 의해 분할된 영역에 배치되는 동일 수평 표시라인에 위치한 2개의 액정셀들에 동일 데이터 전압을 공급하는 박막 트랜지스터들을 포함하고, 상기 액정셀들 각각에 포함된 서브픽셀 전극은 상기 터치/공통라인과 교차하도록 인접한 액정셀로 연장되는 연장부를 포함한다.

[0023] 상기 구성에서 2개의 액정셀들에 상기 동일 데이터 전압을 공급하는 2개의 박막 트랜지스터들은 동일 액정셀의 양측에 각각 배치될 수 있다.

[0024] 또한, 상기 동일 액정셀의 일측에 배치되는 박막 트랜지스터는, 상기 터치/공통라인을 가로질러 상기 동일 액정셀에 인접한 다른 액정셀로 연장되는 상기 동일 액정셀의 서브픽셀 전극의 연장부에 연결되고, 상기 동일 액정셀의 타측에 배치되는 박막 트랜지스터는 상기 터치/공통라인을 가로질러 상기 동일 액정셀로 연장되는 다른 액정셀의 서브픽셀 전극의 연장부에 연결된다.

[0025] 또한, 상기 데이터 라인들과 상기 터치/공통라인들은 동일층에서 서로 나란하게 배치될 수 있다.

[0026] 또한, 본 발명의 터치센서 일체형 액정 표시장치는 상기 액정셀들의 서브픽셀 전극들과 중첩되도록 배치되어 전계를 형성하며, 상기 터치/공통라인에 접속되는 터치/공통전극; 상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 게이트 구동회로; 1프레임 기간을 시분할한 디스플레이 기간 동안 상기 데이터 라인들에 상기 데이터 전압을 공급하는 소스 구동 IC; 및 상기 1프레임 기간을 터치센싱 기간 동안 상기 터치/공통전극에 터치 구동전압을 공급하고, 상기 터치/공통전극을 센싱하여 센싱 데이터를 수신하는 터치 구동 IC를 더 포함할 수 있다.

발명의 효과

[0027] 본 발명에 따르는 터치센서 내장형 액정표시장치에 의하면, 게이트 라인에 연결된 서브픽셀 전극과 터치/공통라인들 사이의 기생 캐패시턴스가 균일하게 되어 화질불량을 방지할 수 있는 효과를 얻을 수 있다.

[0028] 또한, 본 발명에 따르는 터치센서 내장형 액정표시장치에 의하면, 하나의 데이터라인에 연결된 액정셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정셀들 각각의 데이터 충전양을 균일하게 할 수 있다. 따라서, 본 발명은 기존의 인버전 방법에서 초래되는 데이터 충전양의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지할 수 있는 효과를 얻을 수 있다.

[0029] 또한, 본 발명에 따르는 터치센서 내장형 액정표시장치에 의하면, 좌우에 인접하는 액정셀들이 하나의 데이터라인을 공유하는 박막 트랜지스터의 접속관계를 이용하여 데이터라인들의 개수와 소스 드라이브 IC들의 채널 수를 줄일 수 있고 나아가, 액정표시장치의 제조 비용을 줄일 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0030] 도 1은 일반적인 터치센서 내장형 DRD 방식의 액정 표시장치의 화소 어레이의 일부 영역을 도시한 구성도.

도 2a는 게이트 라인들과 관련된 R 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면,

도 2b는 게이트 라인들과 관련된 G 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면,

도 2c는 게이트 라인들과 관련된 B 서브픽셀들과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면,

도 3은 본 발명의 실시예에 따르는 터치센서 내장형 표시장치를 개략적으로 도시한 블록도,

도 4는 본 발명의 실시예에 따르는 터치센서 내장형 표시장치의 터치 및 공통전극의 기본 구성을 개략적으로 도시한 블록도,

도 5는 도 4에 도시된 하나의 터치/공통전극에 대응하는 서브픽셀들로 이루어지는 픽셀 어레이의 구성을 구체적으로 도시한 도면,

도 6은 도 5에 도시된 홀수 번째 수평 표시라인(LINE#1)의 서브픽셀들의 일부를 보다 구체적으로 도시한 평면도,

도 7은 도 6에 도시된 라인 I-I'라인을 따라 취한 단면도,

도 8a는 R 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부를 나타낸 도면,

도 8b는 G 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부를 나타낸 도면,

도 8c는 B 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0032] 본 발명의 바람직한 실시예의 설명에서, 용어 "터치/공통전극"은 터치센서 내장형 표시장치에 대한 터치여부를 센싱하는 터치센싱 기간에는 터치센서의 터치 구동전극 또는 터치센싱 전극으로서 작용하고, 표시패널에 정보를 표시하는 디스플레이 기간에는 공통전극으로서 작용하는, 공통전극 겸용 터치전극을 의미한다. 또한, "터치/공통라인"은 터치센서 내장형 표시장치에 대한 터치여부를 센싱하는 터치 센싱기간에는 터치센서의 터치 구동전압 공급라인 또는 터치센싱 신호 공급라인으로서 작용하고, 표시패널에 정보를 표시하는 디스플레이 기간에는 터치/공통전극에 공통전압을 공급하는 공통라인으로서 작용하는, 공통라인 겸용 터치라인을 의미한다.

[0033] 우선, 도 3을 참조하여 본 발명의 실시예에 따르는 터치센서 내장형 표시장치에 대해 설명하기로 한다.

[0034] 도 3은 본 발명의 실시예에 따르는 터치센서 내장형 표시장치를 개략적으로 도시한 블록도이다.

[0035] 도 3을 참조하면, 본 발명의 실시예에 따른 터치센서 내장형 표시장치는 표시패널(100), 소스 및 터치 구동회로(202), 게이트 구동회로(204), 타이밍 콘트롤러(104) 등을 포함한다.

[0036] 표시패널(100)은 두 장의 유리기판들 사이에 액정층이 형성된다. 표시패널(100)의 하부 기판에는 복수의 데이터라인들(D1~Dm, m은 양의 정수), 데이터라인들(D1~Dm)과 교차되는 복수의 게이트라인들(G1~Gn, n은 양의 정

수), 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부들에 형성되는 복수의 박막 트랜지스터들(TFT), 액정셀들(Clc)에 데이터전압을 충전시키기 위한 다수의 서브 픽셀들(P), 서브 픽셀들(P)에 접속되어 액정셀의 전압을 유지시키기 위한 스토리지 커패시터(Cst), 및 터치/공통전극들(T)을 포함한 픽셀 어레이가 형성된다.

[0037] 표시패널(100)은 2개의 데이터라인들과 2개의 게이트라인들에 의해 정의된 영역에 2개의 서브 픽셀들이 매트릭스 형태로 배치된 DRD(Double Rate Driving) 방식으로 구동되는 표시패널이다. 즉 본 발명의 표시패널(100)은 주파수 증가를 통해 데이터 라인들의 수를 기존의 1/2로 감소시키고, 게이트 라인들의 수를 2배로 증가시키고, 하나의 데이터 라인을 인접한 두 서브픽셀이 공유하여, 순차적 구동함으로써, 소스 드라이브 IC 수를 반으로 감소시켜 비용을 절감할 수 있는 DRD 방식으로 구동된다.

[0038] 픽셀들 각각의 액정셀은 픽셀전극(P)에 인가되는 데이터전압과, 터치/공통전극(T)에 인가되는 공통전압(Vcom)의 전압차에 따라 인가되는 전계에 의해 구동되어 입사광의 투과양을 조절한다. 박막 트랜지스터들(TFT)은 게이트라인(G1~Gn)으로부터의 게이트펄스에 응답하여 턴-온되어 데이터라인(D1~Dm)으로부터의 전압을 액정셀의 픽셀전극(P)에 공급한다.

[0039] 표시패널(100)의 상부 유리기판(SUB2)에는 블랙매트릭스(BM), 컬러필터(R, G, B) 및 이들을 커버하는 오버코트층(OC) 등을 포함할 수 있다. 이와 달리 표시패널(100)의 하부 유리기판(SUB1)이 COT(Color filter On TFT) 구조로 구현될 경우 블랙매트릭스와 컬러필터는 표시패널(100)의 하부 유리기판에 형성될 수 있다.

[0040] 터치/공통전극(T)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 픽셀전극(P)과 함께 하부 유리기판 상에 형성된다. 터치/공통전극들(T)은 터치/공통 라인들(W1~Wr)에 접속되어 디스플레이 기간에는 공통전압을 공급 받고, 터치센싱 기간에는 터치 구동전압을 공급 받거나 센싱된다.

[0041] 표시패널(100)의 상부 유리기판(SUB2)과 하부 유리기판(SUB1) 각각에는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 표시패널(100)의 상부 유리기판(SUB2)과 하부 유리기판(SUB1) 사이에는 액정셀의 셀갭(Cell gap)을 유지하기 위한 컬럼 스페이서가 형성될 수 있다.

[0042] 소스 및 터치 구동회로(202)는 데이터 라인을 구동하기 위한 소스 구동 IC(S-IC)와, 터치/공통전극의 구동 및 센싱을 위한 터치 구동 IC(T-IC)을 포함한다. 소스 구동 IC(S-IC)와 터치 구동 IC(T-IC)는 표시장치의 크기에 따라 각각 복수 개로 구성될 수 있다. 소스 구동 IC(S-IC)는 미리 설정된 디스플레이 기간 동안 아날로그 비디오 데이터전압을 출력한다.

[0043] 소스 구동 IC는 타이밍 콘트롤러(104)으로부터 입력되는 디지털 비디오 데이터(RGB)를 래치한다. 그리고 소스 구동 IC는 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 아날로그 비디오 데이터전압을 출력한다. 아날로그 비디오 데이터전압은 데이터라인들(D1~Dm)(m은 자연수)에 공급된다.

[0044] 터치 구동 IC(T-IC)는 터치 센싱기간 동안 터치/공통라인들(W1~Wr)(r은 m보다 작은 자연수)을 통해 터치/공통전극들(T)에 터치 구동전압을 공급하고 터치/구동전극들(T)을 센싱하여 터치 여부 및 터치위치를 판별한다. 터치 센싱기간은 1프레임 기간을 시분할한 기간으로, 1프레임 기간은 적어도 하나의 디스플레이 구동기간과 적어도 하나의 터치 센싱기간으로 시분할 될 수 있다.

[0045] 게이트 구동회로(204)는 적어도 하나의 게이트 드라이브 IC(G-IC)를 포함한다. 게이트 구동 IC는 디스플레이 기간 동안 타이밍 콘트롤러(104)의 제어 하에 아날로그 비디오 데이터전압에 동기되는 스캔펄스(또는 게이트펄스)를 게이트라인들(G1~Gn)에 순차적으로 공급하여 아날로그 비디오 데이터전압이 기입되는 표시패널의 라인을 선택한다. 스캔펄스는 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이에서 스윙하는 펄스로 발생된다. 게이트 구동회로(204)는 터치 센싱 기간 동안 스캔펄스를 발생하지 않고 게이트 로우 전압을 게이트라인들(G1~Gn)에 지속적으로 공급한다. 따라서, 게이트라인들(G1~Gn)은 디스플레이기간 동안 게이트펄스를 픽셀들의 박막 트랜지스터(TFT)에 공급하여 표시패널(100)에서 데이터가 기입될 라인을 순차적으로 선택하고, 터치 구동 기간 동안 게이트 로우전압을 유지한다.

[0046] 타이밍 콘트롤러(104)는 외부의 호스트 시스템(도시생략)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 소스 및 터치 구동회로(202)와 게이트 구동회로(204)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 게이트 구동회로(204)의 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE), 쉬프트 방향 제어신호(DIR)

등을 포함한다. 소스 및 터치 구동회로(202)의 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 소스 출력 인에이블신호(Source Output Enable, SOE), 및 터치 구동신호(Touch Enable Signal, TDS) 등을 포함한다.

[0047] 타이밍 콘트롤러(104)는 타이밍 제어신호들을 제어하여 1 프레임 기간을 적어도 하나의 디스플레이 기간과 적어도 하나의 터치 센싱기간으로 시분할한다. 타이밍 콘트롤러(104)는 디스플레이 기간 동안 소스 및 터치 구동회로(202)의 소스 IC(S-IC)와 게이트 구동회로(204)의 출력을 인에이블시켜 비디오 데이터를 픽셀들에 표시한다. 타이밍 콘트롤러(104)는 터치 센싱기간 동안 소스 및 터치 구동회로(202)의 터치 IC(T-IC)를 구동하여 터치 위치를 검출한다. 디스플레이 기간과 터치 센싱기간은 표시패널(100)의 종류에 따라 패널 특성을 고려하여 적절히 조절될 수 있다.

[0048] 다음으로, 도 4를 참조하여 본 발명의 실시예에 따르는 터치센서 내장형 표시장치의 터치/공통전극들의 구성에 대해 보다 상세히 설명하기로 한다.

[0049] 도 4는 본 발명의 실시예에 따르는 터치센서 내장형 표시장치의 터치/공통전극의 기본 구성을 개략적으로 도시한 블록도이다. 도 4의 실시예는 자기 정전용량 방식 터치 및 공통전극의 구성을 나타낸 것으로, 설명을 간략히 하기 위해 터치/공통전극들과 터치/공통라인들을 간단히 표현하였다. 또한, 도 4에서는 자기 정전용량 방식 터치 및 공통전극을 예로 들어 설명하지만 본 발명이 이에 한정되는 것은 아니다. 본 발명이 상호 정전용량 방식으로 구현될 수도 있는 것은 명확하다. 상호 정전용량 방식 터치 및 공통전극의 구성은 이미 잘 알려져 있는 공지의 구성이므로 더 이상의 설명은 생략한다.

[0050] 도 4를 참조하면, 본 발명의 실시예에 따르는 터치센서 내장형 표시장치는 표시영역에 복수의 행(row) 및 복수의 열(column)로 배치되는 복수의 터치/공통전극들(T11~T65), 상기 복수의 터치/공통전극들(T11~T65) 각각에 연결된 터치/공통 라인들(W1~30), 및 터치/공통 라인들(W1~30)에 연결되는 터치 구동 IC(T-IC)를 포함한다.

[0051] 터치 구동 IC(T-IC)는 터치 구동기간 동안 복수의 터치/공통전극들(T11~T65)에 터치 구동전압을 공급하고, 터치/공통 라인들(W1~30)을 통해 복수의 터치/공통전극들(T11~T65)을 센싱한 센싱 데이터를 수신한다. 이들 센싱 데이터는 미리 설정된 터치 인식 알고리즘을 통해 분석된 후 좌표값으로 산출된다. 센싱 데이터의 처리를 통한 좌표값 산출은 터치 구동 IC(T-IC) 또는 별도의 터치 콘트롤러(도시 생략)를 통해 수행될 수 있다. 산출된 터치 위치의 좌표값 데이터는 외부의 호스트 시스템(도시생략)으로 전송된다. 호스트 시스템은 터치 위치의 좌표값이 지시하는 응용 프로그램을 실행한다.

[0052] 다음으로 도 5를 참조하여 본 발명의 실시예에 따르는 터치센서 내장형 표시장치에서 하나의 터치/공통전극에 대응하는 복수의 서브픽셀들에 대해 보다 구체적으로 설명하기로 한다.

[0053] 도 5는 도 4에 도시된 하나의 터치/공통전극(T11)에 대응하는 서브픽셀들로 이루어지는 픽셀 어레이의 구성을 구체적으로 도시한 도면이다.

[0054] 도 5에서 도면 부호 R11, R12, R13, R14는 홀수 번째 수평 표시라인(LINE#1, LINE#3)의 제 1, 제 4, 제 7, 제 10 액정셀들에 각각 형성된 R 서브픽셀 전극들이며, G11, G12, G13, G14는 홀수 번째 수평 표시라인의 제 2, 제 5, 제 8, 제 11 액정셀에 각각 형성된 G 서브픽셀 전극들이고, B11, 12, B13, B14는 홀수 번째 수평 표시라인의 제 3, 제 6, 제 9, 제 12 액정셀들에 각각 형성된 B 서브픽셀 전극들이다.

[0055] 또한, 도면 부호 R21, R22, R23, R24는 짝수 번째 수평 표시라인(LINE#2, LINE#4)의 제 1, 제 4, 제 7, 제 10 액정셀들에 각각 형성된 R 서브픽셀 전극들이며, G21, G22, G23, G24는 짝수 번째 수평 표시라인의 제 2, 제 5, 제 8, 제 11 액정셀에 각각 형성된 G 서브픽셀 전극이고, B21, B22, B23, B24는 짝수 번째 수평 표시라인의 제 3, 제 6, 제 9, 제 12 액정셀들에 각각 형성된 B 서브픽셀 전극이다.

[0056] 또한, 도면부호 Tr11, Tr12, Tr13, Tr14는 홀수 번째 수평 표시라인(LINE#1, LINE#3)의 R 서브픽셀 전극들(R11, R12, R13, R14)에 각각 접속되는 R 박막 트랜지스터들이며, Tg11, Tg12, Tg13, Tg14는 홀수 번째 수평 표시라인의 G 서브픽셀 전극들(G11, G12, G13, G14)에 각각 접속되는 G 박막 트랜지스터들이고, Tb11, Tb12, Tb13, Tb14는 홀수 번째 수평 표시라인의 B 서브픽셀들(B11, B12, B13, B14)에 각각 접속되는 B 박막 트랜지스터들이다.

[0057] 또한, 도면부호 Tr21, Tr22, Tr23, Tr24는 짝수 번째 수평 표시라인(LINE#2, LINE#4)의 R 서브픽셀 전극들(R21, R22, R23, R24)에 각각 접속되는 R 박막 트랜지스터들이며, Tg11, Tg12, Tg13, Tg14는 홀수 번째 수평 표시라인의 G 서브픽셀 전극들(G11, G12, G13, G14)에 각각 접속되는 G 박막 트랜지스터들이고, Tb11, Tb12,

Tb13, Tb14는 홀수 번째 수평 표시라인의 B 서브픽셀들(B11, 12, B13, B14)에 각각 접속되는 B 박막 트랜지스터들이다.

[0058] 도 5를 참조하면, 픽셀 어레이는 복수의 데이터라인들(D1~D7), 복수의 데이터라인들(D1~D7)과 교차되는 게이트라인들(G1~G8), 게이트펄스에 응답하여 액정셀들의 서브픽셀 전극들(R11~R24, G11~G24, B11~B24), 게이트라인들(G1~G8)에 의해 제어되어 데이터라인들(D1~D7)과 서브픽셀 전극들(R11~R24, G11~G24, B11~B24) 사이의 전류패스를 스위칭하기 위한 박막 트랜지스터들(TFT)(Tr11~Tr24, Tg11~Tg24, Tb11~Tb24), 서로 인접한 데이터 라인들 사이에 배치된 2개의 서브픽셀 전극들 사이에서 데이터 라인과 나란하게 배열되는 터치/공통라인(W1~W6)를 구비한다.

[0059] 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압과, 도 5의 화소 어레이 구조로 인하여 액정셀들에 충전되는 데이터전압들은 그 극성이 수평 2 도트 및 수직 1 도트 인버전으로 반전된다. 도 5에서 화살표는 액정셀들의 데이터전압 충전 순서를 나타낸다.

[0060] 소스 구동 IC(S-IC)는 컬럼 인버전 형태로 극성이 반전되는 데이터전압들을 데이터라인들(D1~D7)에 출력한다. 게이트 구동회로(204)는 제 1 내지 제 8 게이트라인들(G1~G8)에 게이트펄스를 순차적으로 공급한다. 제 1 게이트라인(G1)에 제 1 게이트펄스가 공급된 후에 제 2 내지 제 8 게이트라인들(G1~G8)에 순차적으로 제 2 내지 제 8 게이트펄스가 공급된다.

[0061] N (N은 자연수)번째 프레임 기간 동안, 소스 구동 IC(S-IC)는 홀수 번째 데이터라인들(D1, D3, D5, D7)에 정극성 데이터전압만을 공급하고, 짝수 번째 데이터라인들(D2, D4, D6)에 부극성 데이터전압만을 공급한다. N+1 번째 프레임 기간 동안, 소스 구동 IC(S-IC)는 홀수 번째 데이터라인들(D1, D3, D5, D7)에 부극성 데이터전압만을 공급하고, 짝수 번째 데이터라인들(D2, D4, D6)에 정극성 데이터전압만을 공급한다..

[0062] 홀수 번째 수평 표시라인들(LINE#1, LINE#3) 각각에서 제 1 데이터라인(D1)과 제 2 데이터라인(D2) 사이에 존재하는 홀수 번째 수평 표시라인의 제 1 및 제 2 액정셀들(R 서브픽셀 전극(R11)과 G 서브픽셀 전극 (G11)이 속하는 액정셀)은 N 번째 프레임 기간 동안 제 1 데이터라인(D1)으로부터 공급되는 정극성 데이터전압을 충전한 후에, N+1 번째 프레임 기간 동안 제 1 데이터라인(D1)으로부터 공급되는 부극성 데이터전압을 충전한다.

[0063] 또한, 홀수 번째 수평 표시라인들(LINE#1, LINE#3) 각각에서 제 2 데이터라인(D2)과 제 3 데이터라인(D3) 사이에 존재하는 홀수 번째 수평 표시라인의 제 3 및 제 4 액정셀들(B 서브픽셀 전극(B11)과 R 서브픽셀 전극 (R12)이 속하는 액정셀)은 N 번째 프레임 기간 동안 제 2 데이터라인(D2)으로부터 공급되는 부극성 데이터전압을 충전한 후에, N+1 번째 프레임 기간 동안 제 2 데이터라인(D2)으로부터 공급되는 정극성 데이터전압을 충전한다.

[0064] 또한, 짝수 번째 수평 표시라인들(LINE#2, LINE#4) 각각에서 제 1 데이터라인(D1)과 제 2 데이터라인(D2) 사이에 존재하는 짝수 수평라인의 제 1 및 제 2 액정셀들(R 서브픽셀 전극(R21)과 G 서브픽셀 전극 (G21)이 속하는 액정셀)은 N 번째 프레임 기간 동안 제 2 데이터라인(D2)으로부터 공급되는 부극성 데이터전압을 충전한 후에, N+1 번째 프레임 기간 동안 제 2 데이터라인(D2)으로부터 공급되는 정극성 데이터전압을 충전한다.

[0065] 따라서, 홀수 번째 수평 표시라인(LINE#1, LINE#3)의 제 3 및 제 4 액정셀들과, 짝수 번째 수평라인(LINE#2, LINE#4)의 제 1 및 제 2 액정셀들은 제 2 데이터라인(D2)으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다.

[0066] 홀수 번째 수평 표시라인들(LINE#1, LINE#3) 각각에서 제 3 데이터라인(D3)과 제 4 데이터라인(D4) 사이에 존재하는 홀수 번째 수평 표시라인의 제 5 및 제 6 액정셀들(G 서브픽셀 전극(G12)과 B 서브픽셀 전극 (B12)이 속하는 액정셀)은 N 번째 프레임 기간 동안 제 3 데이터라인(D3)으로부터 공급되는 정극성 데이터전압을 충전한 후에, N+1 번째 프레임 기간 동안 제 3 데이터라인(D3)으로부터 공급되는 부극성 데이터전압을 충전한다.

[0067] 또한, 짝수 번째 수평 표시라인들(LINE#2, LINE#4) 각각에서 제 2 데이터라인(D2)과 제 3 데이터라인(D3) 사이에 존재하는 짝수 수평라인의 제 3 및 제 42 액정셀들(B 서브픽셀 전극(B21)과 R 서브픽셀 전극 (R22)이 속하는 액정셀)은 N 번째 프레임 기간 동안 제 3 데이터라인(D3)으로부터 공급되는 정극성 데이터전압을 충전한 후에, N+1 번째 프레임 기간 동안 제 3 데이터라인(D3)으로부터 공급되는 부극성 데이터전압을 충전한다.

[0068] 따라서, 홀수 번째 수평 표시라인(LINE#1, LINE#3)의 제 5 및 제 6 액정셀들과, 짝수 번째 수평라인(LINE#2, LINE#4)의 제 3 및 제 4 액정셀들은 제 3 데이터라인(D3)으로부터 공급되는 동일한 극성의 데이터전압들을 충전한다.

[0069] 도 5에 도시된 픽셀 어레이에서 박막 트랜지스터들, 서브픽셀전극 및 데이터라인의 연결 관계를 제 1 수평 표시라인(LINE#1)의 제 1 내지 제 4 액정셀들과, 제 2 수평 표시라인(LINE#2)의 제 1 내지 제 4 액정셀들을 예로 들어 설명하기로 한다.

[0070] 제 1 수평 표시라인(LINE#1)에서 제 1 데이터라인(D1)과 제 2 데이터라인(D2) 사이에 존재하는 제 1 및 제 2 액정셀들은 제 1 데이터라인(D1)으로부터 순차적으로 공급되는 데이터전압을 충전한다.

[0071] 제 1 수평 표시라인의 R 박막 트랜지스터(Tr11)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 1 데이터라인(D1)으로부터의 데이터전압을 R 서브픽셀 전극(R11)에 공급한다. R 서브픽셀 전극(R11)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. R 박막 트랜지스터(Tr11)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. R 박막 트랜지스터(Tr11)의 드레인전극은 제 1 데이터라인(D1)에 접속되고, 그 소스전극은 제 1 액정셀의 R 서브픽셀 전극(R11)에 접속된다.

[0072] 제 1 수평 표시라인의 G 박막 트랜지스터(Tg11)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 1 데이터라인(D1)으로부터의 데이터전압을 제 2 액정셀의 G 서브픽셀 전극(G11)에 공급한다. G 서브픽셀 전극(G11)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. G 박막 트랜지스터(Tg11)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. G 박막 트랜지스터(Tg11)의 드레인전극은 제 1 데이터라인(D1)에 접속되고, 그 소스전극은 제 2 액정셀의 G 서브픽셀 전극(G11)에 접속된다.

[0073] 제 1 수평 표시라인(LINE#1)에서 제 2 데이터라인(D2)과 제 3 데이터라인(D3) 사이에 존재하는 제 4 및 제 3 액정셀들은 제 2 데이터라인(D2)으로부터 순차적으로 공급되는 데이터전압을 충전한다.

[0074] 제 1 수평 표시라인의 B 박막 트랜지스터(Tb11)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 B 서브픽셀 전극(B11)에 공급한다. B 서브픽셀 전극(B11)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. B 박막 트랜지스터(Tb11)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. B 박막 트랜지스터(Tb11)의 드레인전극은 제 2 데이터라인(D2)에 접속되고, 그 소스전극은 제 3 액정셀의 B 서브픽셀 전극(B11)에 접속된다.

[0075] 제 1 수평 표시라인의 R 박막 트랜지스터(Tr12)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 R 서브픽셀 전극(R12)에 공급한다. R 서브픽셀 전극(R12)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. R 박막 트랜지스터(Tr12)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. R 박막 트랜지스터(Tr12)의 드레인전극은 제 2 데이터라인(D2)에 접속되고, 그 소스전극은 제 4 액정셀의 R 서브픽셀 전극(R12)에 접속된다.

[0076] 제 1 수평 표시라인(LINE#1)에서 제 3 데이터라인(D3)과 제 4 데이터라인(D4) 사이에 존재하는 제 6 및 제 5 액정셀들은 제 3 데이터라인(D3)으로부터 순차적으로 공급되는 데이터전압을 충전한다.

[0077] 제 1 수평 표시라인의 G 박막 트랜지스터(Tg12)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 G 서브픽셀 전극(G12)에 공급한다. G 서브픽셀 전극(G12)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. G 박막 트랜지스터(Tg12)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. G 박막 트랜지스터(Tg12)의 드레인전극은 제 3 데이터라인(D3)에 접속되고, 그 소스전극은 제 5 액정셀의 G 서브픽셀 전극(G12)에 접속된다.

[0078] 제 1 수평 표시라인의 B 박막 트랜지스터(Tb12)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 B 서브픽셀 전극(B12)에 공급한다. B 서브픽셀 전극(B12)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. B 박막 트랜지스터(Tb12)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. B 박막 트랜지스터(Tb12)의 드레인전극은 제 3 데이터라인(D3)에 접속되고, 그 소스전극은 제 6 액정셀의 B 서브픽셀 전극(B12)에 접속된다.

[0079] 제 2 수평 표시라인(LINE#2)에서 제 1 데이터라인(D1)과 제 2 데이터라인(D2) 사이에 존재하는 제 1 및 제 2 액정셀들은 제 2 데이터라인(D2)으로부터 순차적으로 공급되는 데이터전압을 충전한다.

[0080] 제 2 수평 표시라인의 R 박막 트랜지스터(Tr21)는 제 3 게이트라인(G3)으로부터의 제 3 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 R 서브픽셀 전극(R21)에 공급한다. R 서브픽셀 전극(R21)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. R 박막 트랜지스터(Tr21)의 게이트전극은 제 3 게이트라인(G3)에 접속된다. R 박막 트랜지스터(Tr21)의 드레인전극은 제 2 데이터라인(D2)에 접속되고, 그 소스전극은 R 서브픽셀 전극(R21)에 접속된다.

[0081] 제 2 수평 표시라인의 G 박막 트랜지스터(Tg21)는 제 4 게이트라인(G4)으로부터의 제 4 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 G 서브픽셀 전극(G21)에 공급한다. G 서브픽셀 전극(G21)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. G 박막 트랜지스터(Tg21)의 게이트전극은 제 4 게이트라인(G4)에 접속된다. G 박막 트랜지스터(Tg21)의 드레인전극은 제 2 데이터라인(D2)에 접속되고, 그 소스전극은 G 서브픽셀 전극(G21)에 접속된다.

[0082] 제 2 수평 표시라인(LINE#2)에서 제 2 데이터라인(D2)과 제 3 데이터라인(D3) 사이에 존재하는 제 4 및 제 3 액정셀들은 제 3 데이터라인(D3)으로부터 순차적으로 공급되는 데이터전압을 충전한다.

[0083] 제 2 수평 표시라인의 B 박막 트랜지스터(Tb21)는 제 4 게이트라인(G4)으로부터의 제 4 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 B 서브픽셀 전극(B21)에 공급한다. B 서브픽셀 전극(B21)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. B 박막 트랜지스터(Tb21)의 게이트전극은 제 4 게이트라인(G4)에 접속된다. B 박막 트랜지스터(Tb21)의 드레인전극은 제 3 데이터라인(D3)에 접속되고, 그 소스전극은 B 서브픽셀 전극(B21)에 접속된다.

[0084] 제 2 수평 표시라인의 R 박막 트랜지스터(Tr22)는 제 3 게이트라인(G3)으로부터의 제 3 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 R 서브픽셀 전극(R22)에 공급한다. R 박막 트랜지스터(Tr22)은 대략 1/2 수평기간 동안 데이터전압을 충전한다. R 박막 트랜지스터(Tr22)의 게이트전극은 제 3 게이트라인(G3)에 접속된다. R 박막 트랜지스터(Tr22)의 드레인전극은 제 3 데이터라인(D3)에 접속되고, 그 소스전극은 R 서브픽셀 전극(R22)에 접속된다.

[0085] 상술한 본 발명의 실시예에 따르는 터치센서 내장형 액정 표시장치는, 터치/공통라인과 교차하지 않는 게이트 라인에 연결된 서브픽셀 전극들의 일부분을 터치/공통라인과 교차하도록 구성함으로써 게이트 라인에 연결된 서브픽셀 전극과 터치/공통라인들 사이의 기생 캐패시턴스를 균일하게 하여 화질불량을 방지할 수 있는 효과를 얻을 수 있다.

[0086] 이하, 도 6 내지 도 8c을 참조하여 게이트 라인과 터치/공통라인들 사이의 기생 캐패시턴스를 균일하게 하기 위한 구성에 대해 보다 구체적으로 설명하기로 한다.

[0087] 도 6은 도 5에 도시된 홀수 번째 수평 표시라인(LINE#1)의 서브픽셀들의 일부를 보다 구체적으로 도시한 평면도이고, 도 7은 도 6에 도시된 라인 I-I'라인을 따라 취한 단면도이다. 도 8a는 R 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부를 나타낸 도면이고, 도 8b는 G 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부를 나타낸 도면이며, 도 8c는 B 서브픽셀들에 접속된 게이트 라인과 터치/공통라인들의 교차부와 비교차부를 나타낸 도면이다.

[0088] 도 6 및 도 7을 참조하면, 2게이트 라인들(G1 및 G2)과 2개의 데이터 라인들(D1 및 D2, D2 및 D3, D3 및 D4)에 의해 정의되는 첫 번째 수평 표시라인(LINE#1)에는 2개의 서브픽셀 전극들(R11 및 G11, B11 및 R12, G12 및 B12)이 배치된다. 2개의 서브픽셀 전극들(R11 및 G11, B11 및 R12, G12 및 B12) 사이에는 각각 터치/공통라인(W1, W2, W3)이 배치된다.

[0089] 제 1 수평 표시라인(LINE#1)의 제 1 액정셀에 연결되는 R 박막 트랜지스터(Tr11)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 1 데이터라인(D1)으로부터의 데이터전압을 제 1 액정셀의 R 서브픽셀 전극(R11)에 공급한다.

[0090] R 박막 트랜지스터(Tr11)는 제 1 액정셀의 일측에 배치되며, R 서브픽셀 전극(R11)에 접속된다. R 박막 트랜지스터(Tr11)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. R 박막 트랜지스터(Tr11)의 드레인전극(DE)은 제 1 데이터라인(D1)에 접속되고, 그 소스전극(SE)은 제 1 액정셀의 R 서브픽셀 전극(R11)에 접속된다. 제 1 액정셀의 R 서브픽셀 전극(R11)은 제 1 터치/공통라인(W1)과 교차하도록 제 2 액정셀 영역으로 연장되는 연장부를 갖는다.

[0091] 제 1 수평 표시라인(LINE#1)의 제 2 액정셀에 연결되는 G 박막 트랜지스터(Tg11)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 1 데이터라인(D1)으로부터의 데이터전압을 제 2 액정셀의 G 서브픽셀 전극(G11)에 공급한다.

[0092] G 박막 트랜지스터(Tg11)는 제 1 액정셀의 일측과 반대 쪽 타측에 배치되며, 제 2 액정셀의 G 서브픽셀 전극(G11)에 접속된다. G 박막 트랜지스터(Tg11)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. G 박막 트랜지스터(Tg11) 드레인전극(DE)은 제 1 데이터라인(D1)에 접속되고, 그 소스전극(SE)은 제 2 액정셀의 G 서브픽셀

전극(G11)에 접속된다. 제 2 액정셀의 G 서브픽셀 전극(G11)은 제 1 터치/공통라인(W1)과 교차하도록 제 1 액정셀 영역으로 연장되는 연장부(G11E)를 갖는다.

[0093] 제 1 수평 표시라인(LINE#1)의 제 3 액정셀에 연결되는 B 박막 트랜지스터(Tb11)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 제 3 액정셀의 B 서브픽셀 전극(B11)에 공급한다.

[0094] B 박막 트랜지스터(Tb11)는 제 3 액정셀의 타측에 배치되며, 제 3 액정셀의 B 서브픽셀 전극(B11)에 접속된다. B 박막 트랜지스터(Tb11)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. B 박막 트랜지스터(Tb11)의 드레인 전극(DE)은 제 2 데이터라인(D2)에 접속되고, 그 소스전극(SE)은 제 3 액정셀의 B 서브픽셀 전극(B11)에 접속된다. 제 3 액정셀의 B 서브픽셀 전극(B11)은 제 2 터치/공통라인(W2)과 교차하도록 제 4 액정셀 영역으로 연장되는 연장부(B11E)를 갖는다.

[0095] 제 1 수평 표시라인(LINE#1)의 제 4 액정셀에 연결되는 R 박막 트랜지스터(Tr12)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 2 데이터라인(D2)으로부터의 데이터전압을 제 4 액정셀의 R 서브픽셀 전극(R12)에 공급한다.

[0096] R 박막 트랜지스터(Tr12)는 제 3 액정셀의 일측에 배치되며, R 서브픽셀 전극(R12)에 접속된다. R 박막 트랜지스터(Tr12)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. R 박막 트랜지스터(Tr12)의 드레인전극(DE)은 제 2 데이터라인(D2)에 접속되고, 그 소스전극(SE)은 제 4 액정셀의 R 서브픽셀 전극(R12)에 접속된다. 제 4 액정셀의 R 서브픽셀 전극(R12)은 제 2 터치/공통라인(W2)과 교차하도록 제 3 액정셀 영역으로 연장되는 연장부(R12E)를 갖는다.

[0097] 제 1 수평 표시라인(LINE#1)의 제 5 액정셀에 연결되는 G 박막 트랜지스터(Tg12)는 제 2 게이트라인(G2)으로부터의 제 2 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 제 5 액정셀의 G 서브픽셀 전극(G12)에 공급한다.

[0098] G 박막 트랜지스터(Tg12)는 제 5 액정셀의 타측에 배치되며, 제 5 액정셀의 G 서브픽셀 전극(G12)에 접속된다. G 박막 트랜지스터(Tg12)의 게이트전극은 제 2 게이트라인(G2)에 접속된다. G 박막 트랜지스터(Tg12) 드레인전극(DE)은 제 3 데이터라인(D3)에 접속되고, 그 소스전극(SE)은 제 5 액정셀의 G 서브픽셀 전극(G12)에 접속된다. 제 5 액정셀의 G 서브픽셀 전극(G12)은 제 3 터치/공통라인(W3)과 교차하도록 제 6 액정셀 영역으로 연장되는 연장부(G12E)를 갖는다.

[0099] 제 1 수평 표시라인(LINE#1)의 제 6 액정셀에 연결되는 B 박막 트랜지스터(Tb12)는 제 1 게이트라인(G1)으로부터의 제 1 게이트펄스에 응답하여 제 3 데이터라인(D3)으로부터의 데이터전압을 제 6 액정셀의 B 서브픽셀 전극(B12)에 공급한다.

[0100] B 박막 트랜지스터(Tb12)는 제 5 액정셀의 일측에 배치되어 제 5 액정셀의 B 서브픽셀 전극(B12)에 접속된다. B 박막 트랜지스터(Tb12)의 게이트전극은 제 1 게이트라인(G1)에 접속된다. B 박막 트랜지스터(Tb11)의 드레인 전극(DE)은 제 3 데이터라인(D3)에 접속되고, 그 소스전극(SE)은 제 6 액정셀의 B 서브픽셀 전극(B12)에 접속된다. 제 6 액정셀의 B 서브픽셀 전극(B12)은 제 3 터치/공통라인(W3)과 교차하도록 제 5 액정셀 영역으로 연장되는 연장부(B12E)를 갖는다.

[0101] 본 발명에 따르는 터치센서 일체형 표시장치에서는 이와 같은 방식으로 홀수 번째 수평 표시라인과 짝수 번째 수평 표시라인에 배치되는 모든 서브픽셀 전극들이 터치/공통라인들과 교차하는 교차부를 갖도록 형성된다.

[0102] 도 7을 참조하면, 기판(SUB) 상에는 게이트 라인들 및 게이트 라인들로부터 연장되는 게이트 전극(GE)이 도 6에 도시된 바와 같이 배치된다.

[0103] 게이트 라인들 및 게이트 전극(GE)을 커버하는 게이트 절연막(GI) 상에는 게이트 전극(GE)과 중첩되도록 반도체 액티브층(A)이 형성되고, 반도체 액티브층(A)과 일부 영역이 중첩되도록 소스전극(SE)과 드레인 전극(DE)이 일정 간격을 두고 형성된다. 드레인 전극(DE)은 데이터 라인(D1)으로부터 연장되도록 형성된다. 게이트 절연막(GI) 상의 데이터 라인들(D1, D2) 사이에는 터치/공통라인(W1)이 배치된다.

[0104] 데이터 라인(D1), 드레인 전극(DE), 소스 전극(SE) 및 터치/공통라인(W1)이 형성된 게이트 절연막(GI) 상에는 이들을 커버하도록 제 1 절연막(INS1)이 증착되고, 이어서 평탄화를 위한 제 2 절연막(INS2)이 증착된다.

[0105] 제 2 절연막(INS2) 상에는 게이트 라인들(G1, G2)과 데이터 라인들(D1, D2)의 교차에 의해 정의되는 영역들에는

도 6에 도시된 바와 같이 서브픽셀 전극들(R11, G11, B11, R12, G12, B12)이 형성된다. 서브픽셀 전극들(R11, G11, B11, R12, G12, B12)은 제 1 및 제 2 절연막(INS1, INS2)를 관통하는 콘택홀들(CH)을 통해 박막 트랜지스터들(Tr11, Tg11, Tb11, Tr12, Tg12, Tb12)의 소스전극들(SE)에 각각 접속된다.

[0106] 서브픽셀 전극들(R11, G11, B11, R12, G12, B12)이 형성된 제 2 절연막(INS2) 상에는 이들을 커버하기 위한 제 3 절연막(IN3)이 증착된다. 제 3 절연막(INS) 상에는 도 5에 도시된 바와 같이 복수의 서브픽셀 전극들(R11~R24, G11~G24, B11~B24)과 중첩되며, 복수의 개구부를 갖는 터치/공통전극(T11)이 형성된다.

[0107] 도 8a 내지 도 8c를 참조하면, 터치/공통라인들(W1~W6)과 비교차부를 갖는 R 서브픽셀들(R11~R14, R21~R24), G 서브픽셀들(G11~G14, G21~G24) 및 B 서브픽셀들(B11~B14, B21~B24)이 각각의 연장부에 의해 터치/공통라인들(W1~W6)과 교차부를 갖게 된다.

[0108] 상술한 바와 같이 본 발명의 실시예에 따르는 터치센서 내장형 액정표시장치에 의하면, 게이트 라인에 연결된 서브픽셀 전극과 터치/공통라인들 사이의 기생 캐패시턴스가 균일하게 되어 화질불량을 방지할 수 있는 효과를 얻을 수 있다.

[0109] 또한, 본 발명의 실시예에 따르는 터치센서 내장형 액정표시장치에 의하면, 하나의 데이터라인에 연결된 액정셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정셀들 각각의 데이터 충전양을 균일하게 할 수 있다. 따라서, 본 발명은 기존의 인버전 방법에서 초래되는 데이터 충전양의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지할 수 있는 효과를 얻을 수 있다.

[0110] 또한, 본 발명의 실시예에 따르는 터치센서 내장형 액정표시장치에 의하면, 좌우에 인접하는 액정셀들이 하나의 데이터라인을 공유하는 박막 트랜지스터의 접속관계를 이용하여 데이터라인들의 개수와 소스 드라이브 IC들의 채널 수를 줄일 수 있고 나아가, 액정표시장치의 제조 비용을 줄일 수 있는 효과를 얻을 수 있다.

[0111] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 예를 들어 본 발명의 실시예에서 설명된 터치/공통전극, 화소전극 및 각종 배선 등의 수는 단지 설명을 위한 예시적인 것일 뿐이며 본 발명을 제한하기 위한 것이 아니라는 것을 이해해야 한다.

[0112] 또한, 본 발명의 실시예에서는 동일한 화소 영역에서 서로 접속되는 박막 트랜지스터와 화소전극의 연장부의 관계에 있어서, 화소전극의 연장부가 인접한 액정셀로 연장되는 것으로 설명하고 있으나, 여기에서의 화소전극의 연장부가 인접한 액정 셀로 연장된다는 의미는 인접한 액정 셀을 향하여 연장된다는 의미이지, 화소전극의 연장부가 터치/공통라인을 넘어 인접한 액정 셀까지 연장된다는 것으로 한정 해석되어서는 안된다. 따라서, 화소전극의 연장부는 터치/공통라인과 교차하는 부분까지만 연장되는 것도 포함되는 것으로 해석되어야 한다.

[0113] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0114] 100: 표시패널 104: 타이밍 콘트롤러

202: 소스 및 터치 구동회로 204: 게이트 구동회로

S-IC: 소스 구동 IC T-IC: 터치 구동 IC

R11~R14, R21-R24: R 서브픽셀 전극

G11~G14, G21~G24: G 서브픽셀 전극

B11~B14, B21~B24: B 서브픽셀 전극

Tr11~Tr14, Tr21~Tr24: R 박막 트랜지스터

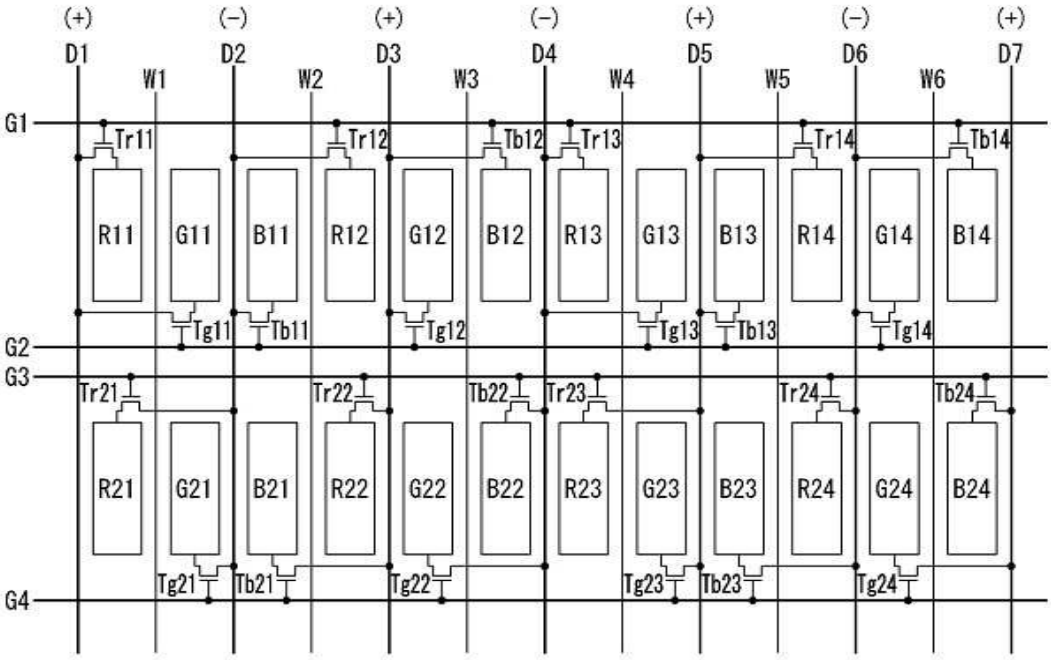
Tg11~Tg14, Tg21~Tg24: G 박막 트랜지스터

Tb11~Tb14, Tb21~Tb24: B 박막 트랜지스터

LINE#1, LINE#2, LINE#3, LINE#4: 수평 표시라인

도면

도면1



도면2a

	R11, R21	R12, R22	R13, R23	R14, R24
G1	+NC	−C	−NC	+C
G3	−C	+NC	+C	−NC

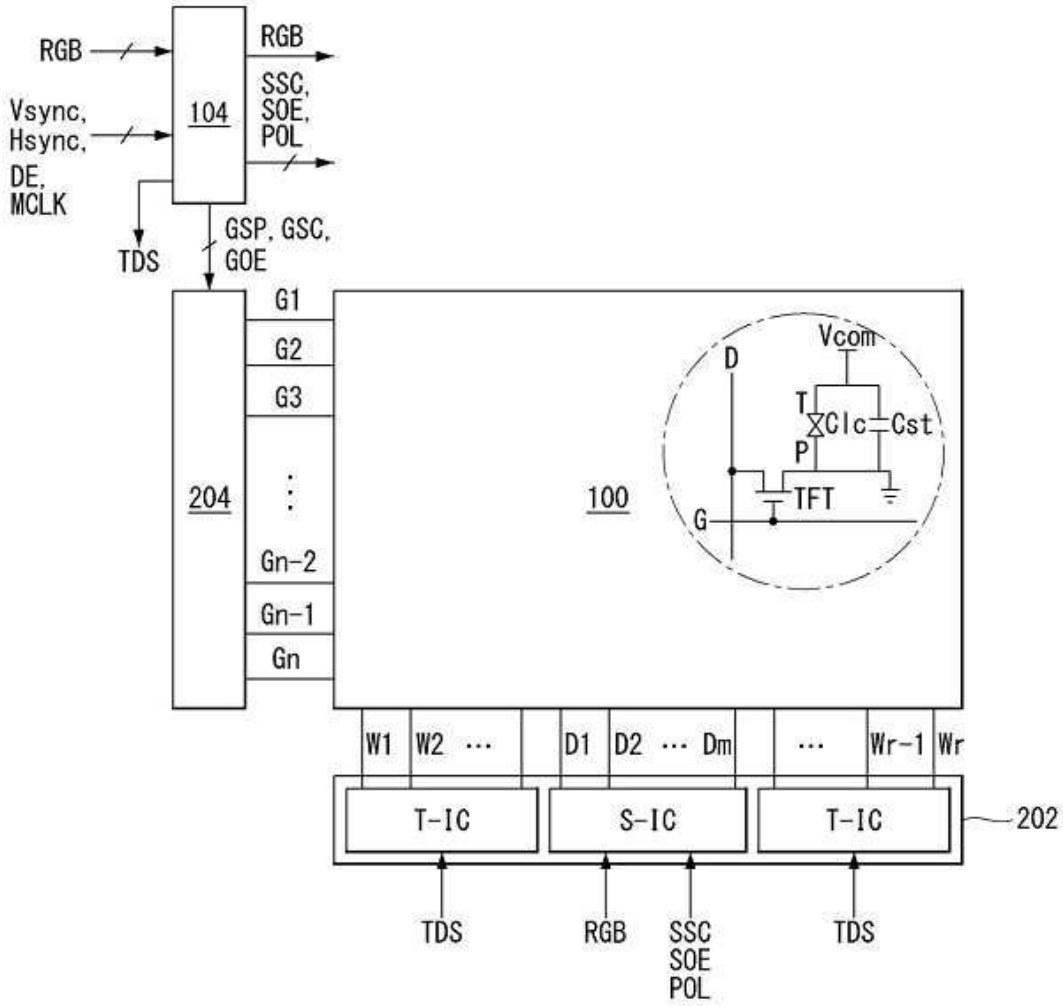
도면2b

	G11, G21	G12, G22	G13, G23	G14, G24
G2	+C	+NC	−C	−NC
G4	−NC	−C	+NC	+C

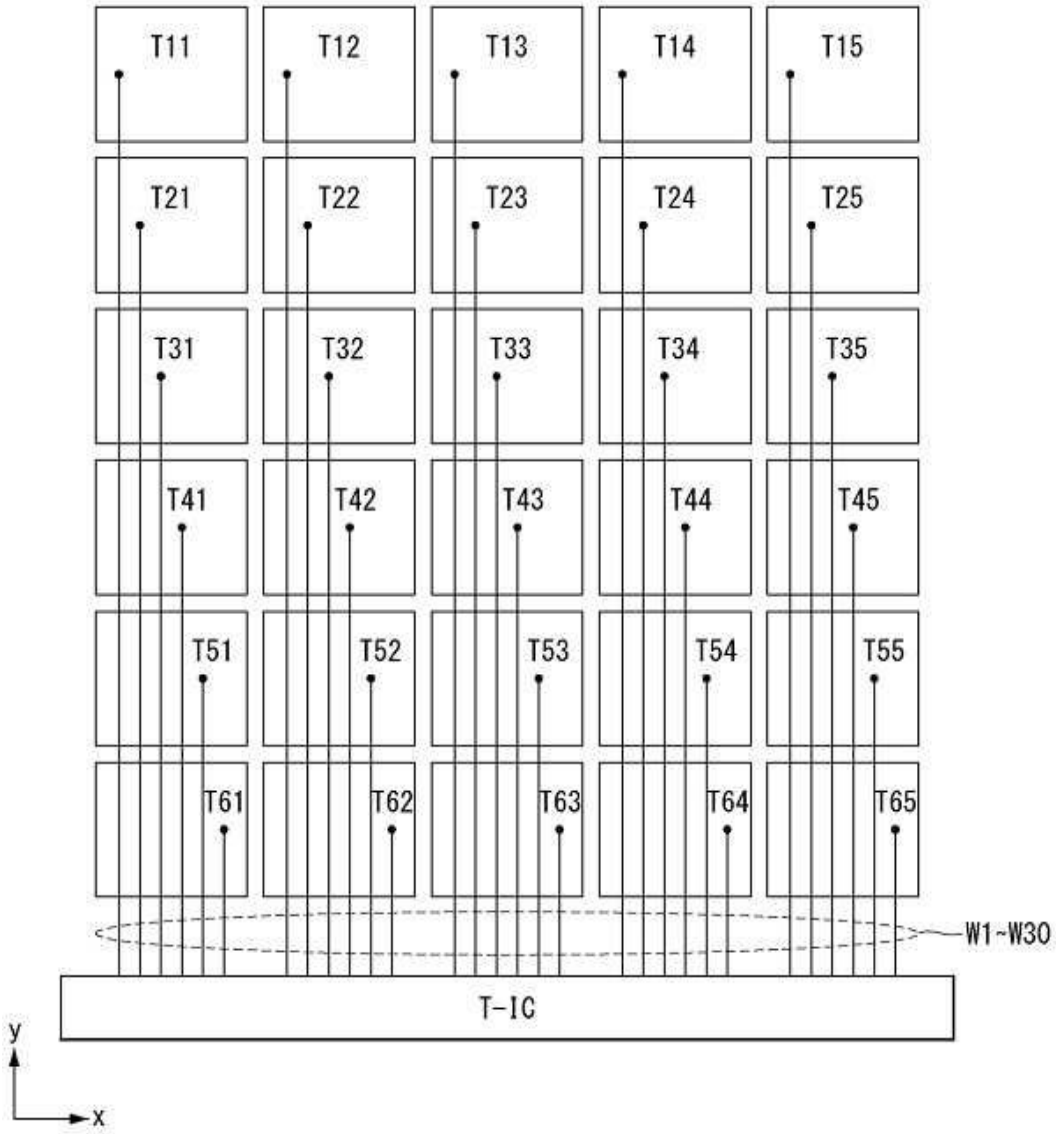
도면2c

	B11, B21	B12, B22	B13, B23	B14, B24
G1		+C		−C
G2	−NC		+NC	
G3		−NC		+NC
G4	+C		−C	

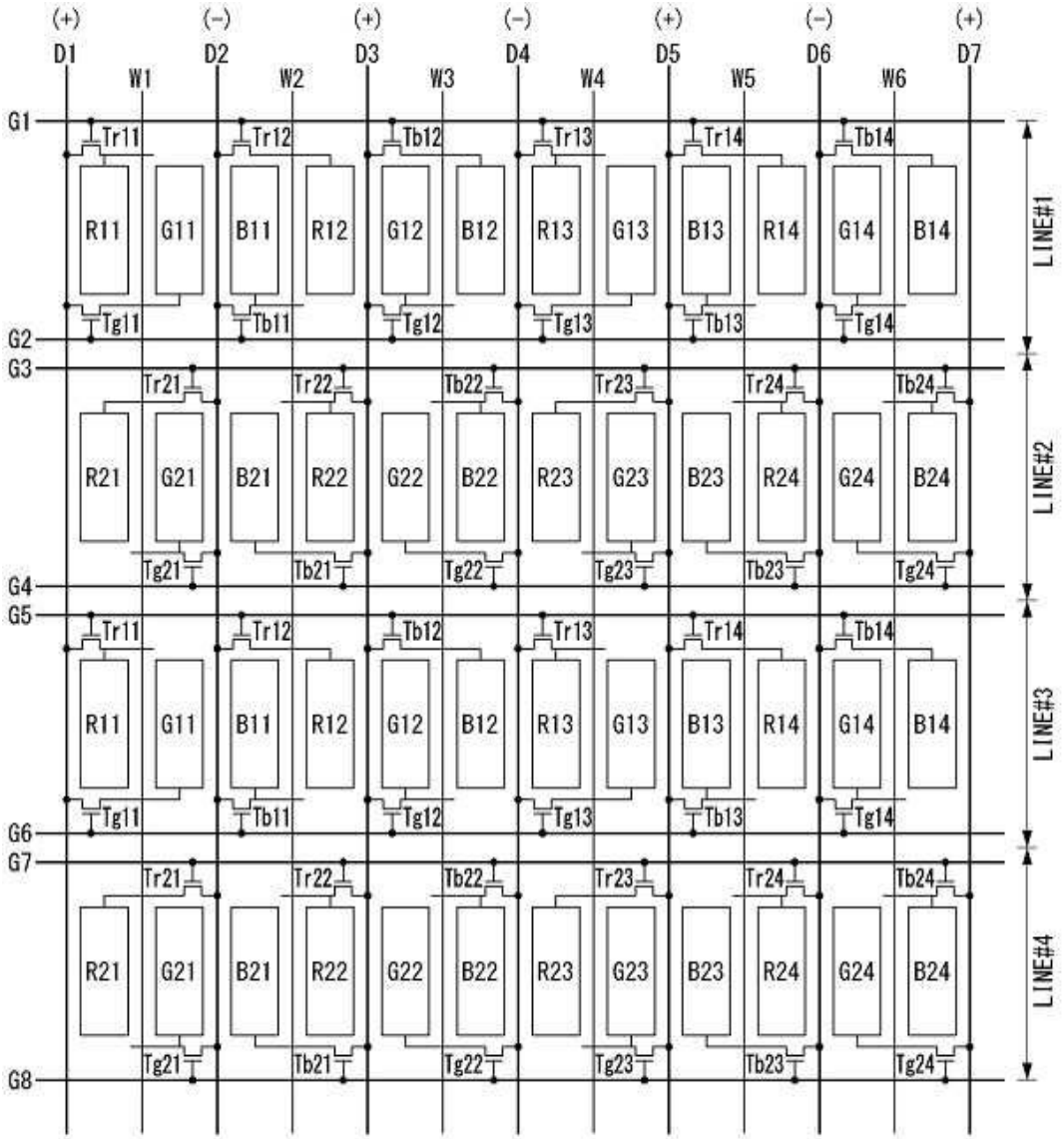
도면3


RGB
Vsync,
Hsync,
DE,
MCLK
104
RGB
SSC,
SOE,
POL
TDS
GSP, GSC,
GOE
204
G1
G2
G3
Gn-2
Gn-1
Gn
100
Vcom
D
T
Clc
Cst
P
TFT
G
W1
W2
D1
D2
Dm
Wr-1
Wr
T-IC
S-IC
T-IC
202
TDS
RGB
SSC
SOE
POL
TDS

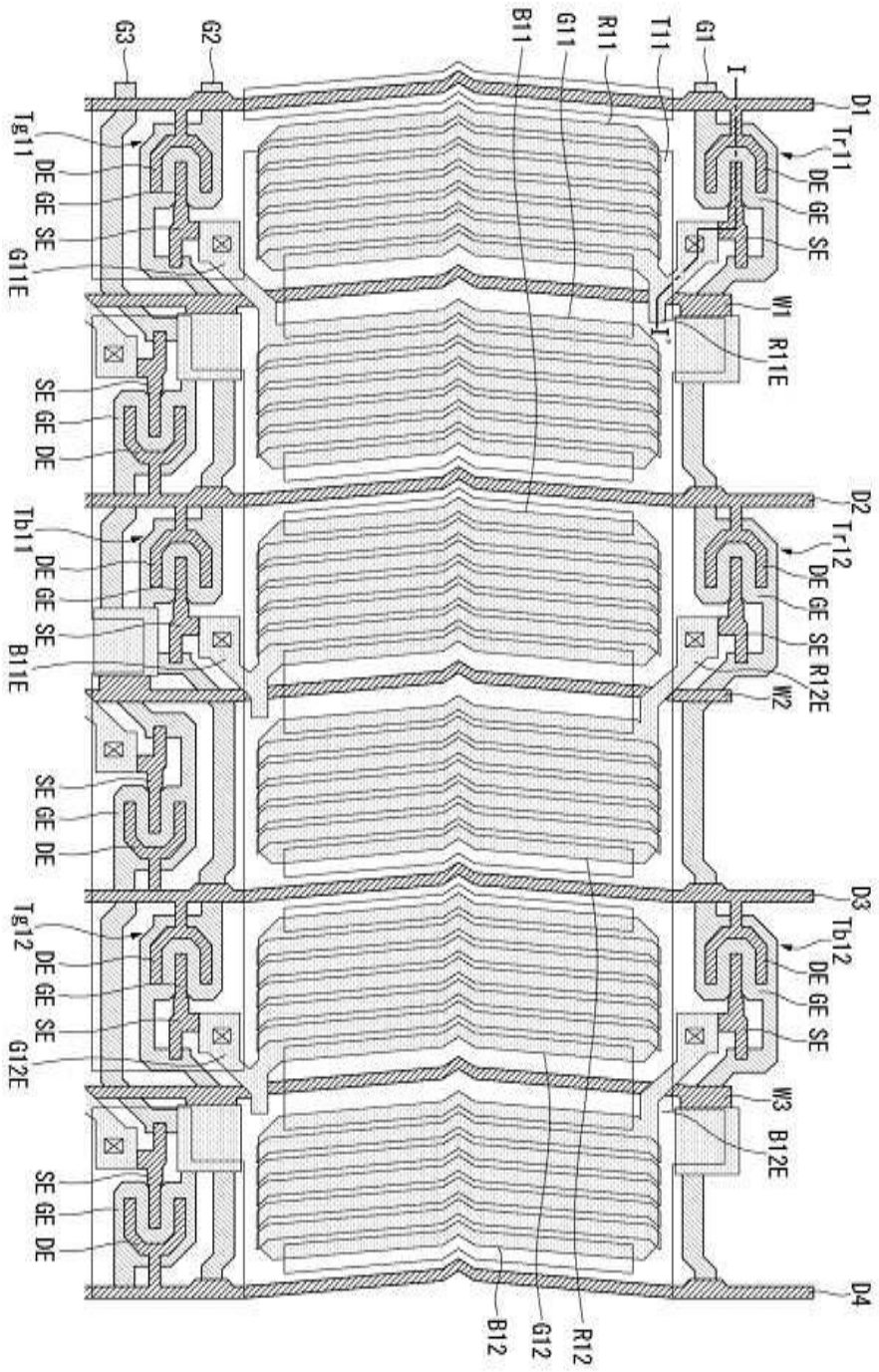
도면4


T11
T12
T13
T14
T15
T21
T22
T23
T24
T25
T31
T32
T33
T34
T35
T41
T42
T43
T44
T45
T51
T52
T53
T54
T55
T61
T62
T63
T64
T65
W1~W30
T-IC
y
x

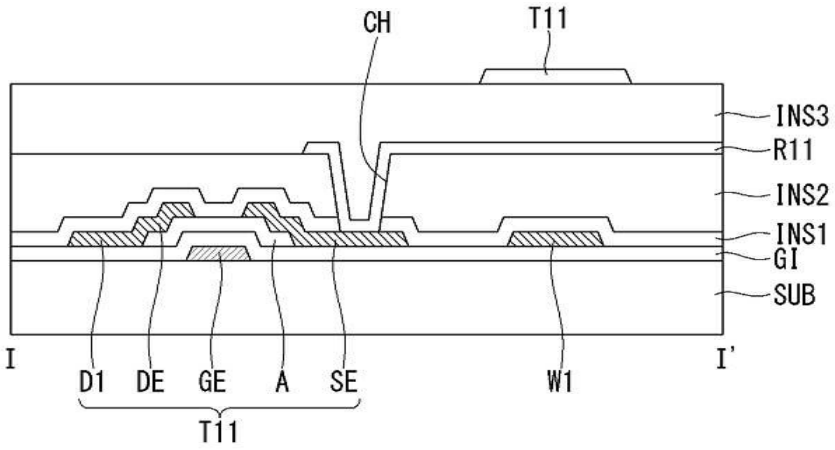
도면5


(+)
D1
W1
(-)
D2
W2
(+)
D3
W3
(-)
D4
W4
(+)
D5
W5
(-)
D6
W6
(+)
D7
G1
G2
G3
G4
G5
G6
G7
G8
Tr11
Tr12
Tb12
Tr13
Tr14
Tb14
R11
G11
B11
R12
G12
B12
R13
G13
B13
R14
G14
B14
Tg11
Tb11
Tg12
Tg13
Tb13
Tg14
Tr21
Tr22
Tb22
Tr23
Tr24
Tb24
R21
G21
B21
R22
G22
B22
R23
G23
B23
R24
G24
B24
Tg21
Tb21
Tg22
Tg23
Tb23
Tg24
LINE#1
LINE#2
LINE#3
LINE#4

도면6


G3
G2
B11
G11
R11
T11
G1
I
D1
Tr11
DE GE SE
W1 R11E
Tg11
DE GE SE
G11E
SE GE DE
D2
Tr12
DE GE SE R12E
W2
Tb11
DE GE SE
B11E
SE GE DE
D3
Tb12
DE GE SE
W3 B12E
Tg12
DE GE SE
G12E
SE GE DE
D4
B12
G12
R12

도면7



도면8a

	R11, R21	R12, R22	R13, R23	R14, R24
G1	+C	-C	-C	+C
G3	-C	+C	+C	-C

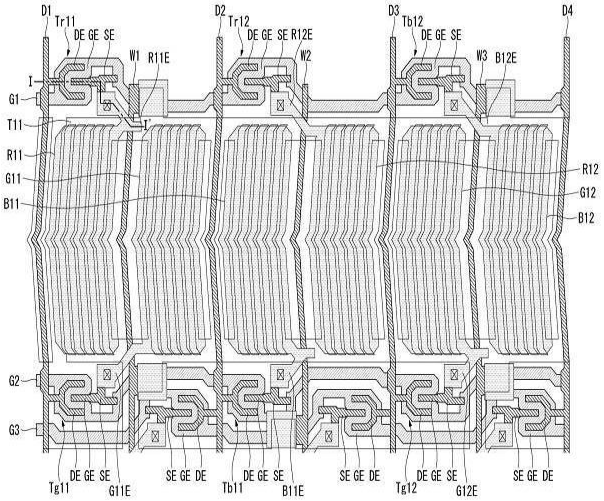
도면8b

	G11, G21	G12, G22	G13, G23	G14, G24
G2	+C	+C	-C	-C
G4	-C	-C	+C	+C

도면8c

	B11, B21	B12, B22	B13, B23	B14, B24
G1		+C		-C
G2	-C		+C	
G3		-C		+C
G4	+C		-C	

专利名称(译)	液晶显示屏，内置触摸传感器		
公开(公告)号	KR1020180046417A	公开(公告)日	2018-05-09
申请号	KR1020160141013	申请日	2016-10-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG SUNG HO 홍성호 HWANG KWANG JO 황광조		
发明人	홍성호 황광조		
IPC分类号	G02F1/1333 G02F1/1343 G06F3/044 G09G3/36		
CPC分类号	G02F1/13338 G06F3/0412 G06F3/044 G09G3/3648 G06F3/0418 G02F1/1343		

摘要(译)

本发明涉及一种内置触摸传感器的液晶显示器，包括设置在至少两条水平显示线上的液晶单元和至少两条由数据线和栅极线限定的垂直显示线，所述数据线和栅极线相互交叉排列;以及液晶显示面板，其以极性方式将极性反转的数据电压提供给液晶单元，并且通过布置在相邻数据线之间的触摸/公共线布置在布置在划分区域中的相同水平显示线中并且，包括在每个液晶单元中的子像素电极包括延伸到相邻液晶单元的延伸部，以与触摸/公共线交叉。