

(52) CPC특허분류

G02F 2001/136222 (2013.01)

(72) 발명자

신승환

전라북도 전주시 완산구 물레방아3길 23 (태평동)

이소영

서울특별시 마포구 마포대로 115-8 105동 812호 (공덕동, 삼성래미안공덕1차아파트)

명세서

청구범위

청구항 1

기관과;

상기 기관 상부에 제1 방향의 게이트 배선 및 공통 배선과;

상기 게이트 배선 및 상기 공통 배선과 교차하고, 상기 게이트 배선과 화소 영역을 정의하는 제2 방향의 데이터 배선과;

상기 게이트 배선 및 데이터 배선에 연결되는 박막트랜지스터와;

상기 박막트랜지스터 상부의 상기 화소 영역에 위치하는 컬러필터층과;

상기 공통 배선 상부에 위치하는 차광층과;

상기 컬러필터층 상부의 상기 화소 영역에 위치하고 상기 박막트랜지스터와 연결되는 화소 전극을 포함하며,

상기 차광층은 제1 컬러패턴과 제2 컬러패턴을 포함하고, 상기 제2 컬러패턴은 상기 공통 배선에 대응하여 제1 홀을 가지며, 상기 제1 컬러패턴은 상기 제1 홀의 3면을 둘러싸는 제1 개구부를 갖는 액정표시장치용 어레이 기판.

청구항 2

제1항에 있어서,

상기 컬러필터층과 상기 차광층 상부에 오버코트층을 더 포함하고, 상기 오버코트층은 상기 제1 홀 내에 제1 콘택홀을 가지는 액정표시장치용 어레이 기판.

청구항 3

제2항에 있어서,

상기 제1 콘택홀은 상기 박막트랜지스터의 드레인 전극을 노출하는 액정표시장치용 어레이 기판.

청구항 4

제2항에 있어서,

상기 제2 컬러패턴은 상기 제1 개구부 내에 제2 홀을 더 가지며, 상기 오버코트층은 상기 제2 홀 내에 제2 콘택홀을 더 가지는 액정표시장치용 어레이 기판.

청구항 5

제4항에 있어서,

상기 제2 콘택홀은 상기 공통 배선을 노출하는 액정표시장치용 어레이 기판.

청구항 6

제1항에 있어서,

상기 제1 컬러패턴은 상기 게이트 배선에 대응하여 제2 개구부를 더 가지는 액정표시장치용 어레이 기판.

청구항 7

제1항에 있어서,

상기 제1 컬러패턴은 적 컬러물질로 이루어지고, 상기 제2 컬러패턴은 청 컬러물질로 이루어지는 액정표시장치용 어레이 기판.

청구항 8

제1항에 있어서,

상기 차광층은 제3 컬러패턴을 더 포함하고, 상기 제3 컬러패턴은 상기 제1 컬러패턴과 동일한 모양을 가지는 액정표시장치용 어레이 기판.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치용 어레이 기판에 관한 것으로, 특히 컬러필터를 포함하는 어레이 기판에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(liquid crystal display device: LCD) 및 유기발광다이오드 표시장치(organic light emitting diode display device: OLED)와 같은 여러 가지 평판표시장치(flat panel display device: FPD)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동 등의 장점을 가지고 있어 널리 사용되고 있다.

[0004] 액정표시장치는 액정의 광학적 이방성과 유전율 이방성을 이용하는 것으로, 두 기판과 두 기판 사이의 액정층, 그리고 액정층의 액정분자를 구동하기 위한 화소 전극과 공통 전극을 포함한다. 따라서, 액정표시장치는, 화소 전극과 공통 전극에 전압을 인가하여 생성되는 전기장에 의해 액정분자의 배열을 조절하고, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현한다. 이러한 액정표시장치는 휴대폰이나 멀티미디어장치와 같은 휴대용 기기부터 노트북 또는 컴퓨터 모니터 및 대형 텔레비전에 이르기까지 다양하게 적용된다.

[0005] 일반적으로 액정표시장치의 하부 기판에는 각 화소 영역의 화소 전극에 신호를 인가하기 위한 박막트랜지스터가 형성되고, 상부 기판에는 각 화소 영역에 대응하여 컬러필터가 형성된다. 박막트랜지스터를 포함하는 하부 기판은 어레이 기판이라 일컬어지고, 컬러필터를 포함하는 상부 기판은 컬러필터 기판이라 일컬어진다.

[0006] 이러한 액정표시장치는 두 기판을 각각 형성하고 하부 기판의 화소 전극과 상부 기판의 컬러필터가 일대일 대응되도록 배치하는 공정을 통해 형성되는데, 두 기판을 배치하는 과정에서 오정렬(misalign)이 발생하여 빛샘과 같은 불량일 수 있다. 빛샘을 방지하기 위해, 상부 기판에 폭이 넓은 블랙 매트릭스를 형성할 수 있는데, 이러한 경우 액정표시장치의 개구율이 낮아지게 된다.

[0007] 특히, 액정표시장치가 고해상도를 가짐에 따라 동일 면적 내에서 화소 영역의 크기가 줄어들게 되므로, 적은 개구율의 차이에도 영상의 화질은 큰 영향을 받게 된다.

[0008] 이에 따라, 컬러필터를 어레이 기판에 형성하여 오정렬을 방지하고 개구율을 높이는 방법이 제시되었다. 이때, 컬러필터는 박막트랜지스터의 상부에 형성될 수 있으며, 이러한 구조는 컬러필터 온 박막트랜지스터(color filter on thin film transistor: COT) 구조라고 일컬어진다.

- [0009] 한편, 어레이 기판 상에 컬러필터와 동일한 물질로 차광층을 형성함으로써 상부 기판의 블랙 매트릭스를 생략하여 개구율을 더 높일 수 있다.
- [0010] 이러한 차광층은 콘택홀에 대응하는 영역에도 형성되며, 차광층은 콘택홀에 대응하여 홀을 가진다. 차광층의 홀의 크기는 콘택홀의 크기 및 정렬 마진을 고려하여 결정되며, 이에 따라 배선의 최소 폭이 결정된다. 이에 대해 도면을 참조하여 설명한다.
- [0011] 도 1은 종래의 차광층을 포함하는 어레이 기판을 개략적으로 도시한 평면도이고, 도 2는 도 1의 II-II선에 대응하는 단면도로, 차광층과 오버코트층만을 도시한다.
- [0012] 도 1과 도 2에 도시한 바와 같이, 기판(10) 상에 차광층(20)이 형성된다. 차광층(20)은 제1 컬러패턴(22)과 제1 컬러패턴(22) 상부의 제2 컬러패턴(24)을 포함한다. 제1 컬러패턴(22)은 제1 홀(22a)을 갖고, 제2 컬러패턴(24)은 제1 홀(22a)보다 넓은 제2 홀(24a)을 가지며, 제1 홀(22a)이 제2 홀(24a) 내에 위치한다.
- [0013] 차광층(20) 상부에는 오버코트층(30)이 형성된다. 오버코트층(30)은 콘택홀(30a)을 가지며, 콘택홀(30a)은 제1 및 제2 홀(22a, 24a) 내에 위치한다.
- [0014] 여기서, 제1 및 제2 홀(22a, 24a)의 크기는 콘택홀(30a)의 크기와 정렬 마진을 고려하여 결정되며, 차광층(20) 하부의 배선(도시하지 않음) 최소 폭도 결정된다. 즉, 제1 컬러패턴(22)과 제2 컬러패턴(24) 및 오버코트층(30)이 서로 어긋나게 형성되더라도, 콘택홀(30a)을 통해 하부의 배선(도시하지 않음)이 노출되고, 빔샘이 발생하지 않으며, 제1 또는 제2 컬러패턴(22, 24)의 이동에 의해 인접한 화소 영역의 컬러필터가 영향을 받지 않는 범위 내에서 제1 및 제2 홀(22a, 24a)의 크기와 배선의 최소 폭(w1)이 결정된다. 이때, 배선의 최소 폭(w1)은 제2 홀(24a)의 크기와 제2 홀(24a)로부터 상하 거리에 해당하는 제1 마진(w2) 및 제2 마진(w3)의 합으로 결정된다.
- [0015] 일례로, 콘택홀(30a)의 크기가 10×10 마이크로미터일 경우, 정렬 마진을 고려하여 제1 홀(22a)의 크기는 13×13 마이크로미터고, 제2 홀(24a)의 크기는 19×19 마이크로미터이다. 또한, 제1 마진(w2)과 제2 마진(w3)은 각각 8 마이크로미터이다. 따라서, 배선의 최소 폭(w1)은 35 마이크로미터가 된다.
- [0016] 최근, 대화면, 고해상도 액정표시장치의 요구에 따라, 화소 영역의 크기는 줄어들고 게이트 및 데이터 배선 폭은 증가하게 되므로, 개구율이 현저하게 감소되는데, 이러한 배선의 최소 폭(w1)에 의해 개구율을 향상시키는데 한계가 있다.

발명의 내용

해결하려는 과제

- [0017] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 액정표시장치의 개구율을 향상시키고자 한다.

과제의 해결 수단

- [0018] 상기의 목적을 달성하기 위하여, 본 발명의 액정표시장치용 어레이 기판은, 기판 상부에 제1 방향의 게이트 배선 및 공통 배선과, 게이트 배선 및 공통 배선과 교차하고, 게이트 배선과 화소 영역을 정의하는 제2 방향의 데이터 배선과, 게이트 배선 및 데이터 배선에 연결되는 박막트랜지스터와, 박막트랜지스터 상부의 화소 영역에 위치하는 컬러필터층과, 박막트랜지스터와 공통 배선 상부에 위치하는 차광층과, 컬러필터층 상부에 공통 배선에 대응하여 제1 및 제2 콘택홀을 갖는 오버코트층과, 오버코트층 상부의 화소 영역에 위치하고 박막트랜지스터와 연결되는 화소 전극을 포함하며, 차광층은 제1 컬러패턴과 제2 컬러패턴을 포함하고, 제2 컬러패턴은 제1 및 제2 콘택홀에 각각 대응하는 제1 및 제2 홀을 가지며, 제1 컬러패턴은 제1 및 제2 홀의 3면을 둘러싸는 제1 개구부를 가진다. 따라서, 제1 및 제2 콘택홀이 형성되는 부분에는 차광층의 제2 컬러패턴만이 위치하여, 설계 마진을 줄일 수 있으며, 이에 따라 공통 배선의 폭을 줄일 수 있다.
- [0019] 또한, 차광층은 제1 컬러패턴과 동일한 모양을 가지는 제3 컬러패턴을 더 포함할 수 있으며, 이에 따라 차광층에 대응하는 셀 갭을 줄여 필요한 액정의 양을 줄일 수 있다.

발명의 효과

- [0020] 본 발명에서는, 컬러필터 및 차광층을 어레이 기판에 형성하고 상부 기판의 블랙 매트릭스를 생략하여 액정표시장치의 개구율을 높일 수 있다.

- [0021] 또한, 차광층이 2중층 이상의 구조를 가져 빛샘을 방지하고 반사 시감을 향상시킬 수 있으며, 콘택홀에 대응하는 부분에는 차광층의 단일 컬러패턴만이 위치하도록 함으로써, 설계 마진을 줄일 수 있으므로, 공통 배선의 폭을 줄여 개구율을 더 증가시킬 수 있다.
- [0022] 또한, 차광층을 3중층 구조로 하여 차광층에 대응하는 셀 갭을 줄일 수 있으므로, 필요한 액정의 양을 줄여 제조 비용을 감소시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 종래의 차광층을 포함하는 어레이 기판을 개략적으로 도시한 평면도이다.
- 도 2는 도 1의 II-II선에 대응하는 단면도이다.
- 도 3은 본 발명의 제1 실시예에 따른 액정표시장치용 어레이 기판의 개략적인 평면도이다.
- 도 4는 도 3의 IV-IV선에 대응하는 단면도이다.
- 도 5는 도 3의 V-V선에 대응하는 단면도이다.
- 도 6은 본 발명의 제1 실시예에 따른 액정표시장치용 어레이 기판에서 배선의 최소 폭에 대해 설명하기 위한 개략적 도면이다.
- 도 7a와 도 7b 및 도 7c는 본 발명의 제1 실시예에 따른 차광층을 개략적으로 도시한 평면도이다.
- 도 8은 본 발명의 제1 실시예에 따른 제2 컬러패턴의 다른 예를 개략적으로 도시한 도면이다.
- 도 9는 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 액정표시장치용 어레이 기판은, 기판과, 상기 기판 상부에 제1 방향의 게이트 배선 및 공통 배선과, 상기 게이트 배선 및 상기 공통 배선과 교차하고, 상기 게이트 배선과 화소 영역을 정의하는 제2 방향의 데이터 배선과, 상기 게이트 배선 및 데이터 배선에 연결되는 박막트랜지스터와, 상기 박막트랜지스터 상부의 상기 화소 영역에 위치하는 컬러필터층과, 상기 공통 배선 상부에 위치하는 차광층과, 상기 컬러필터층 상부의 상기 화소 영역에 위치하고 상기 박막트랜지스터와 연결되는 화소 전극을 포함하며, 상기 차광층은 제1 컬러패턴과 제2 컬러패턴을 포함하고, 상기 제2 컬러패턴은 상기 공통 배선에 대응하여 제1 홀을 가지며, 상기 제1 컬러패턴은 상기 제1 홀의 3면을 둘러싸는 제1 개구부를 가진다.
- [0025] 상기 컬러필터층과 상기 차광층 상부에 오버코트층을 더 포함하고, 상기 오버코트층은 상기 제1 홀 내에 제1 콘택홀을 가진다.
- [0026] 상기 제1 콘택홀은 상기 박막트랜지스터의 드레인 전극을 노출한다.
- [0027] 상기 제2 컬러패턴은 상기 제1 개구부 내에 제2 홀을 더 가지며, 상기 오버코트층은 상기 제2 홀 내에 제2 콘택홀을 더 가진다.
- [0028] 상기 제2 콘택홀은 상기 공통 배선을 노출한다.
- [0029] 상기 제1 컬러패턴은 상기 게이트 배선에 대응하여 제2 개구부를 더 가질 수 있다.
- [0030] 상기 제1 컬러패턴은 적 컬러물질로 이루어지고, 상기 제2 컬러패턴은 청 컬러물질로 이루어진다.
- [0031] 상기 차광층은 제3 컬러패턴을 더 포함하고, 상기 제3 컬러패턴은 상기 제1 컬러패턴과 동일한 모양을 가질 수 있다.
- [0032] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치용 어레이 기판에 대하여 상세히 설명한다.
- [0033] -제1 실시예-
- [0034] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치용 어레이 기판의 개략적인 평면도이고, 도 4와 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 개략적인 단면도이다. 도 3과 도 4 및 도 5는 한 화소 영역을 도시하며, 도 4는 도 3의 IV-IV선에 대응하는 단면을 도시하고, 도 5는 도 3의 V-V선에 대응하는 단면을 도시한다. 도 3과 도 4 및 도 5의 어레이 기판은 컬러필터를 포함하는데, 도시의 편의를 위해, 도 3에서 컬러필

터는 생략한다.

- [0035] 도 3과 도 4 및 도 5에 도시한 바와 같이, 투명한 절연 기판(110) 위에 도전성 물질로 이루어진 게이트 배선(112)과 게이트 전극(114), 그리고 공통 배선(116)이 형성된다.
- [0036] 게이트 배선(112)은 제1 방향을 따라 연장되고, 제1, 제2, 제3 게이트부(112a, 112b, 112c)를 포함한다. 제1 게이트부(112a)는 각 화소 영역에 대응하여 폭이 비교적 큰 사각형 모양을 가진다. 제2 및 제3 게이트부(112b, 112b)는 제2 방향을 따라 이격되고, 제2 및 제3 게이트부(112b, 112b)의 각각은 제1 게이트부(112a)보다 좁은 폭을 가지며, 인접한 화소 영역의 제1 게이트부(112a)를 연결한다. 여기서, 제1 게이트부(112a)의 폭은 기존에 비해 상당히 크다. 이에 따라, 대면적, 고해상도 액정표시장치에 적용하더라도 게이트 배선(112)의 저항을 줄일 수 있어 신호 지연을 방지할 수 있다.
- [0037] 게이트 배선(112)의 구조는 이에 제한되지 않으며, 게이트 배선(112)은 기존과 마찬가지로 구조를 가질 수 있다.
- [0038] 게이트 전극(114)은 게이트 배선(112)에 연결된다. 게이트 전극(114)은 게이트 전극(114)은 게이트 배선(112)의 일부로 이루어질 수 있다. 이와 달리, 게이트 배선(112)으로부터 연장될 수 있다.
- [0039] 공통 배선(116)은 제1 방향을 따라 연장되고, 게이트 배선(112)과 이격되어 위치한다. 공통 배선(116)은 제1 게이트부(112a)에 대응하는 부분의 폭이 제2 및 제3 게이트부(112b, 112c)에 대응하는 부분보다 넓을 수 있다.
- [0040] 기판(110)은 유리나 플라스틱으로 이루어질 수 있다. 또한, 게이트 배선(112)과 게이트 전극(114), 그리고 공통 배선(116)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0041] 이어, 게이트 배선(112)과 게이트 전극(114), 그리고 공통 배선(116) 상부에는 게이트 절연막(120)이 형성되어 이들을 덮는다. 게이트 절연막(120)은 질화 실리콘(SiNx)이나 산화 실리콘(SiO₂)으로 이루어질 수 있다.
- [0042] 게이트 전극(114) 상부의 게이트 절연막(120) 위에는 반도체층(122)이 형성된다. 반도체층(122)은 진성 비정질 실리콘의 액티브층(122a)과 불순물 도핑된 비정질 실리콘의 오믹 콘택층(122b)을 포함한다. 이와 달리, 반도체층(122)은 산화물 반도체로 이루어질 수 있다. 이 경우, 오믹 콘택층(122b)은 생략되고, 반도체층(122)의 상부에는 게이트 전극(114)에 대응하여 식각 방지막이 형성될 수 있다.
- [0043] 또한, 게이트 절연막(120) 상부에는 반도체층(122)과 동일 물질로 반도체 패턴(126)이 형성된다. 반도체 패턴(126)은 진성 비정질 실리콘의 제1 패턴(126a)과 불순물 도핑된 비정질 실리콘의 제2 패턴(126b)을 포함한다.
- [0044] 다음, 반도체층(122) 상부에는 소스 및 드레인 전극(134, 136)이 형성되고, 반도체 패턴(126) 상부에는 데이터 배선(132)이 형성된다. 소스 및 드레인 전극(134, 136)은 반도체층(122) 상부에서 게이트 전극(114)을 중심으로 이격되어 위치하고, 오믹 콘택층(122b)은 소스 및 드레인 전극(134, 136)과 동일한 모양을 가진다. 소스 및 드레인 전극(134, 136) 사이에는 액티브층(122a)이 노출된다.
- [0045] 드레인 전극(136)의 일부는 공통 배선(116)과 중첩하여 스토리지 커패시터를 형성한다. 드레인 전극(136)의 중첩 부분은 제1 커패시터 전극을 이루고, 공통 배선(116)의 중첩 부분은 제2 커패시터 전극을 이룬다.
- [0046] 게이트 전극(114)과 반도체층(122), 소스 전극(134), 그리고 드레인 전극(136)은 박막트랜지스터(T)를 이룬다. 소스 및 드레인 전극(134, 136) 사이에 노출된 액티브층(122a)은 박막트랜지스터(T)의 채널이 되며, 일례로 채널은 U자 모양일 수 있다. 박막트랜지스터(T)의 채널 모양은 이에 제한되지 않으며 달라질 수 있다.
- [0047] 한편, 데이터 배선(132)은 소스 및 드레인 전극(134, 136)과 동일 물질로 형성된다. 데이터 배선(132)은 실질적으로 제1 방향과 교차하는 제2 방향을 따라 연장되고, 게이트 배선(112)과 교차하여 화소 영역을 정의한다. 데이터 배선(132)은 화소 영역의 중앙을 기준으로 꺾어진 구조를 가진다. 데이터 배선(132)은 소스 전극(134)과 연결되며, 소스 전극(134)은 데이터 배선(132)에서 연장된다. 이와 달리, 소스 전극(134)은 데이터 배선(132)의 일부로 이루어질 수도 있다.
- [0048] 게이트 배선(112)과 중첩하는 데이터 배선(132)의 부분은 다른 부분보다 좁은 폭을 가진다. 보다 상세하게, 게이트 배선(112)의 제2 및 제3 게이트부(112b, 112c)와 중첩하는 데이터 배선(132)의 부분은 다른 부분보다 좁은 폭을 가진다. 이에 따라, 게이트 배선(112)과 데이터 배선(132)의 중첩 면적을 감소시켜 기생 용량(parasitic capacitance)을 줄일 수 있다.
- [0049] 소스 및 드레인 전극(134, 136)과 데이터 배선(132)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈

(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.

- [0050] 여기서, 반도체층(122)과 소스 및 드레인 전극(134, 136)은 하나의 마스크를 이용한 사진식각공정을 통해 형성될 수 있다. 이에 따라, 반도체층(122)은 실질적으로 소스 및 드레인 전극(134, 136)과 동일한 모양을 가지며, 데이터 배선(132) 하부에도 반도체 패턴(126)이 형성된다.
- [0051] 이때, 소스 및 드레인 전극(134, 136)과 데이터 배선(132)은 각각 반도체층(122)의 액티브층(122a) 및 반도체 패턴(126)의 제1 패턴(126a)보다 좁은 폭을 가져, 액티브층(122a) 및 제1 패턴(126a)의 가장자리 상면은 소스 및 드레인 전극(134, 136)과 데이터 배선(132)에 의해 각각 노출될 수 있다.
- [0052] 이와 달리, 반도체층(122)은 소스 및 드레인 전극(134, 136) 그리고 데이터 배선(132)과 다른 사진식각공정을 통해 형성될 수도 있는데, 이 경우, 반도체층(122)의 측면은 소스 및 드레인 전극(134, 136)으로 덮이며, 데이터 배선(132) 하부의 반도체 패턴(126)은 생략될 수 있다.
- [0053] 다음, 소스 및 드레인 전극(134, 136)과 데이터 배선(132) 상부에는 보호층(140)이 형성된다. 보호층(140)은 산화 실리콘(SiO_2)나 질화 실리콘(SiNx)의 무기절연물질로 형성될 수 있다.
- [0054] 보호층(140) 상부의 화소 영역에는 컬러필터층(152)이 형성된다. 컬러필터층(152)은 적(R), 녹(G), 청(B) 컬러필터를 포함하며, 하나의 컬러필터가 하나의 화소 영역에 대응한다. 일례로, 도 4의 컬러필터층(152)은 청 컬러필터일 수 있다.
- [0055] 또한, 보호층(140) 상부에는 차광층(156)이 형성되며, 차광층(156)은 게이트 배선(112)과 박막트랜지스터(T), 공통 배선(116) 및 데이터 배선(132)에 대응하여 위치한다. 차광층(156)은 게이트 배선(112)과 공통 배선(116) 사이에도 대응하여 위치한다.
- [0056] 차광층(156)은 외부광이 박막트랜지스터(T)로 입사하는 것을 방지하며, 외부광이 게이트 배선(112)과 박막트랜지스터(T), 공통 배선(116) 및 데이터 배선(132)에서 반사되어 출력되는 것을 차단하거나 감소시킨다.
- [0057] 차광층(156)은 빛샘을 방지하고 반사 시감을 향상시키기 위해 2중층 이상의 구조를 가지는 것이 바람직하다. 여기서, 차광층(156)은 제1 컬러패턴(157)과 제1 컬러패턴(157) 상부의 제2 컬러패턴(158)을 포함한다. 제1 컬러패턴(157) 및 제2 컬러패턴(158)은 적, 녹, 청 컬러필터 중 선택된 두 컬러필터와 동일 물질로 형성될 수 있다. 일례로, 차광 효과를 높이기 위해, 제1 컬러패턴(157) 및 제2 컬러패턴(158)은 각각 적 컬러필터 및 청 컬러필터와 동일 물질로 형성할 수 있으며, 이에 제한되지 않는다.
- [0058] 제1 컬러패턴(157)은 개구부(157a)를 가지며, 제2 컬러패턴(158)은 제1 홀(158a)과 제2 홀(158b)을 가진다. 개구부(157a)는 공통 배선(116) 상부에 위치하고, 제1 홀(158a)과 제2 홀(158b)은 개구부(157a) 내에 위치한다.
- [0059] 여기서, 컬러필터층(152)은 제2 컬러패턴(158)과 동일 물질로 형성되므로 제2 컬러패턴(158)과 컬러필터층(152)은 서로 중첩되지 않고 연결된다.
- [0060] 이와 달리, 컬러필터층(152)이 제1 컬러패턴(157)과 동일한 컬러물질로 형성될 경우, 제1 컬러패턴(157)과 컬러필터층(152)은 중첩되지 않고 서로 연결될 수 있으며, 제1 컬러패턴(157)과 컬러필터층(152) 사이에 개구부(157a)가 위치할 수 있다.
- [0061] 이와 달리, 차광층(156)은 컬러필터층(152)과 중첩할 수도 있다. 즉, 제1 컬러패턴(157) 및 제2 컬러패턴(158)이 각각 적 컬러필터 및 청 컬러필터와 동일 물질로 형성되고, 컬러필터층(152)이 녹 컬러필터일 경우, 차광층(156)의 제1 및 제2 컬러패턴(157, 158)과 컬러필터층(152)이 서로 다른 컬러물질로 형성된다. 이때, 제1 컬러패턴(157)이 먼저 형성되고, 제1 컬러패턴(157) 상부에 컬러필터층(152)이 제1 컬러패턴(157)과 부분적으로 중첩하게 형성되며, 컬러필터층(152) 상부에 제2 컬러패턴(158)이 컬러필터층(152)과 중첩하게 형성될 수 있다. 여기서, 개구부(157a)는 제1 컬러패턴(157)과 컬러필터층(152) 사이에 위치한다.
- [0062] 그러나, 제1 및 제2 컬러패턴(157, 158)과 컬러필터층(152)의 적층 순서는 이에 제한되지 않는다.
- [0063] 컬러필터층(152)과 차광층(156) 상부에는 오버코트층(160)이 형성된다. 오버코트층(160)은 실질적으로 평탄한 표면을 가진다.
- [0064] 오버코트층(160)은 보호층(140)과 함께 드레인 전극(136)을 노출하는 제1 콘택홀(162)을 가진다. 또한, 오버코트층(160)은 보호층(140) 및 게이트 절연막(120)과 함께 공통 배선(116)을 노출하는 제2 콘택홀(164)을 가진다.

- [0065] 제1 콘택홀(162)은 제1 홀(158a) 내에 위치하고, 제2 콘택홀(164)은 제2 홀(158b) 내에 위치한다.
- [0066] 이러한 오버코트층(160)은 포토아크릴(photo acrylic)로 이루어질 수 있다.
- [0067] 오버코트층(160) 상부의 화소 영역에는 화소 전극(172)과 공통 전극(174)이 형성된다. 화소 전극(172)과 공통 전극(174) 각각은 실질적으로 제2 방향을 따라 연장되고, 제1 방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다. 공통 전극(174)의 패턴은 화소 전극(172)의 패턴과 제1 방향을 따라 이격되어 번갈아 배치된다. 화소 전극(172)과 공통 전극(174)의 각 패턴은 화소 영역의 중앙을 기준으로 꺾어져 있어 제2 방향에 대해 일정 각도를 가지며, 제1 방향으로 화소 영역의 중앙을 지나는 가상의 선에 대해 실질적으로 대칭인 구조를 가진다. 여기서, 화소 전극(172)과 공통 전극(174)은 제2 방향에 대해 45도 또는 이보다 작은 각도를 가지고 꺾어진다.
- [0068] 공통 전극(174)의 일 패턴은 데이터 배선(132)과 중첩한다. 공통 전극(174)의 일 패턴은 데이터 배선(132)보다 넓은 폭을 가져 데이터 배선(132)을 덮는다. 또한, 공통 전극(174)의 일 패턴은 연장되어 공통 배선(116)과 중첩하며, 제2 콘택홀(164)을 통해 공통 배선(116)과 접촉한다.
- [0069] 화소 전극(172) 및 공통 전극(174)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도전물질로 형성될 수 있다.
- [0070] 또한, 제1 연결부(173)와 제2 연결부(175)가 화소 전극(172) 및 공통 전극(174)과 동일층 상에 동일 물질로 형성된다.
- [0071] 제1 연결부(173)와 제2 연결부(175)는 제1 방향을 따라 연장되고, 화소 영역의 마주대하는 양측에 각각 위치한다. 제1 연결부(173)는 화소 전극(172)의 패턴들 일단과 연결되고, 드레인 전극(136)과 중첩하며, 제1 콘택홀(162)을 통해 드레인 전극(136)과 접촉한다.
- [0072] 또한, 제2 연결부(175)는 공통 전극(174)의 패턴들 일단과 연결된다. 한 화소 영역에 대응하는 제2 연결부(175)는 인접한 화소 영역에 대응하는 제2 연결부(175)와 연결될 수 있다. 이와 달리, 제2 연결부(175)는 각 화소 영역별로 분리되어 있을 수도 있다.
- [0073] 이러한 본 발명의 제1 실시예에 따른 액정표시장치에서는, 어레이 기판의 박막트랜지스터(T) 상부에 컬러필터층(152)과 차광층(156)을 형성하고, 어레이 기판에 대향하는 상부 기판(도시하지 않음)의 블랙 매트릭스를 생략함으로써, 액정표시장치의 개구율을 높일 수 있다.
- [0074] 또한, 차광층(156)의 제1 컬러패턴(157)이 개구부(157a)를 가져, 제1 및 제2 콘택홀(162, 164)에 대응하는 부분에는 제2 컬러패턴(158)만이 위치하므로, 제1 및 제2 콘택홀(162, 164)에 대응하는 제1 및 제2 홀(158a, 158b)의 크기를 줄이고, 이에 따라 배선의 최소 폭을 줄여 개구율을 높일 수 있다.
- [0075] 이에 대해, 도면을 참조하여 보다 상세히 설명한다.
- [0076] 도 6은 본 발명의 제1 실시예에 따른 액정표시장치용 어레이 기판에서 배선의 최소 폭에 대해 설명하기 위한 개략적 도면으로, 도 4의 제1 콘택홀에 대응하는 부분을 도시한다.
- [0077] 도 6에 도시한 바와 같이, 차광층(156)의 제1 컬러패턴(158)이 제1 홀(158a)을 가지며, 오버코트층(160)의 제1 콘택홀(162)이 제1 홀(158a) 내에 위치한다.
- [0078] 여기서, 제1 컬러패턴(158)과 오버코트층(160)이 서로 어긋나게 형성되더라도, 제1 콘택홀(162)을 통해 하부의 공통 배선(도 4의 116)이 노출되고, 빛샘이 발생하지 않으며, 제1 컬러패턴(158)의 이동에 의해 인접한 화소 영역의 컬러필터가 영향을 받지 않는 범위 내에서 제1 홀(158a)의 크기와 공통 배선(도 4의 116)의 최소 폭(w11)이 결정된다. 이때, 공통 배선(도 4의 116)의 최소 폭(w11)은 제1 홀(158a)의 크기와 제1 홀(158a)로부터 상하 거리에 해당하는 제1 마진(w12) 및 제2 마진(w13)의 합으로 결정된다.
- [0079] 일례로, 제1 콘택홀(162)의 크기가 10×10 마이크로미터일 경우, 정렬 마진을 고려하여 제1 홀(158a)의 크기는 13×13 마이크로미터이다. 또한, 제1 마진(w12)과 제2 마진(w13)은 각각 8 마이크로미터이다. 따라서, 공통 배선(도 4의 116)의 최소 폭(w11)은 29 마이크로미터가 된다. 이에 따라, 종래에 비해 공통 배선(도 4의 116)의 폭을 줄일 수 있으며, 개구율을 약 3.5% 향상시킬 수 있다.
- [0080] 그러나, 제1 콘택홀(162)과 제1 홀(158a)의 크기 및 공통 배선(도 4의 116)의 최소 폭은 이에 제한되지 않는다.
- [0081] 도 7a와 도 7b 및 도 7c는 본 발명의 제1 실시예에 따른 차광층을 개략적으로 도시한 평면도로, 게이트 배선과

공통 배선 및 박막트랜지스터에 대응하는 영역을 도시한다. 여기서, 도 7a는 제1 컬러패턴을 도시하고, 도 7b는 제2 컬러패턴을 도시하며, 도 7c는 제1 및 제2 컬러패턴을 함께 도시한다.

[0082] 도 7a와 도 7b 및 도 7c에 도시한 바와 같이, 차광층(156)은 제1 컬러패턴(157)과 제2 컬러패턴(158)을 포함한다. 제1 컬러패턴(157)은 개구부(157a)를 가지며, 제2 컬러패턴(158)은 제1 및 제2 홀(158a, 158b)을 가진다. 제1 및 제2 홀(158a, 158b)은 개구부(157a) 내에 위치한다.

[0083] 여기서, 개구부(157a)는 제1 홀(158a)과 제2 홀(158b) 각각의 3면을 둘러싸며, 이에 따라, 개구부(157a)를 갖는 제1 컬러패턴(157)은 각진 U자 모양일 수 있다. 개구부의 모양은 이에 제한되지 않는다.

[0084] 도 8은 본 발명의 제1 실시예에 따른 제2 컬러패턴의 다른 예를 개략적으로 도시한 도면이다.

[0085] 도 8에 도시한 바와 같이, 제2 컬러패턴(157)은 제1 개구부(157a)와 제2 개구부(157b)를 가진다. 제1 개구부(157a)는 제1 컬러패턴(도 7c의 158)의 제1 및 제2 홀(도 7c의 158a, 도 7c의 158b)에 대응한다. 제2 개구부(157a)는 게이트 배선(도 4의 112)의 제1 게이트부(도 4의 112a) 상부에 위치한다.

[0086] 여기서, 제1 및 제2 개구부(157a, 157b)를 갖는 제1 컬러패턴(157)은 H자 모양일 수 있다.

[0087] 앞선 본 발명의 제1 실시예에서는 차광층(156)이 제1 및 제2 컬러패턴(157, 158)을 포함하는 경우에 대해 설명하였으나, 차광층은 제1, 제2, 제3 컬러패턴을 포함할 수도 있다.

[0088] 이러한 본 발명의 제1 실시예에 따른 제1 및 제2 컬러패턴(157, 158)은 컬러 레지스트를 특정 영역에만 도포함으로써 형성될 수 있다. 이와 달리, 제1 및 제2 컬러패턴(157, 158)은 컬러 레지스트를 도포 후 사진식각공정을 통해 패터닝함으로써 형성될 수도 있다.

[0089] -제2 실시예-

[0090] 도 9는 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도로, 데이터 배선에 대응하는 부분을 도시한다. 본 발명의 제2 실시예는 차광층을 제외하고 제1 실시예와 동일한 어레이 기판 구조를 가지며, 동일한 부분에 대해서 동일 부호를 부여하고 이에 대한 설명은 간략히 하거나 생략한다.

[0091] 도 9에 도시한 바와 같이, 절연 기판(110)을 포함하는 어레이 기판과 대향 기판(180)이 이격되어 위치하고, 어레이 기판과 대향 기판(180) 사이에는 액정층(190)이 위치한다.

[0092] 절연 기판(110) 상부에 게이트 절연막(120)이 형성되고, 게이트 절연막(120) 상부에 반도체 패턴(126)과 데이터 배선(132)이 형성되며, 데이터 배선(132) 상부에 보호층(140)이 형성된다.

[0093] 보호층(140) 상부에는 차광층(256)이 형성된다. 차광층(256)은 순차적으로 적층된 제1, 제2, 제3 컬러패턴(257, 258, 259)을 포함한다. 제1, 제2, 제3 컬러패턴(257, 258, 259)은 서로 다른 컬러물질로 형성되며, 일례로, 제1, 제2, 제3 컬러패턴(257, 258, 259)은 각각 적, 녹, 청 컬러물질로 이루어질 수 있다.

[0094] 여기서, 도시하지 않았지만, 제1 및 제2 컬러패턴(257, 258)은 제1 실시예의 제1 컬러패턴(도 4의 157)과 동일한 모양을 가지며, 제3 컬러패턴(259)은 제1 실시예의 제2 컬러패턴(도 4의 158)과 동일한 모양을 가진다. 즉, 제1 및 제2 컬러패턴(257, 258)은 적어도 하나의 개구부(도시하지 않음)를 가지며, 제3 컬러패턴(259)은 개구부에 대응하는 제1 및 제2 홀(도시하지 않음)을 가진다. 이때, 제2 컬러패턴(258)의 폭이 제1 컬러패턴(257)의 폭보다 좁을 수 있다.

[0095] 이어, 차광층(256) 상부에는 오버코트층(160)이 형성되고, 오버코트층(160) 상부에는 화소 전극(도시하지 않음)과 공통 전극(174)이 형성된다.

[0096] 화소 전극과 공통 전극(174) 상부에는 제1 배향막(도시하지 않음)이 형성되고, 대향 기판(180) 하면에는 제2 배향막(도시하지 않음)이 형성되어, 액정층(190)은 제1 및 제2 배향막 사이에 위치하며, 액정층(190)의 액정분자는 제1 및 제2 배향막에 의해 초기 배열 방향을 가진다.

[0097] 이러한 본 발명의 제2 실시예에 따른 액정표시장치에서는 차광층(256)이 제1, 제2, 제3 컬러패턴(257, 258, 259)을 포함하여 어레이 기판의 박막 두께(d2)가 제1 실시예에서의 박막 두께(도 5의 d1)보다 두껍다. 이에 따라, 차광층(256)에 대응하는 셀 갭, 즉, 어레이 기판과 대향 기판(180) 사이의 간격(g1)을 제1 실시예에 비해 줄일 수 있다. 따라서, 필요한 액정의 양을 줄일 수 있어 제조 비용을 절감할 수 있다.

[0098] 한편, 앞선 제1 및 제2 실시예에서는 화소 전극과 공통 전극이 동일 기판에 형성되는 경우에 대해

설명하였으나, 본 발명은 이에 제한되지 않으며, 화소 전극과 공통 전극이 서로 다른 기판에 형성될 수도 있다.

[0099] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

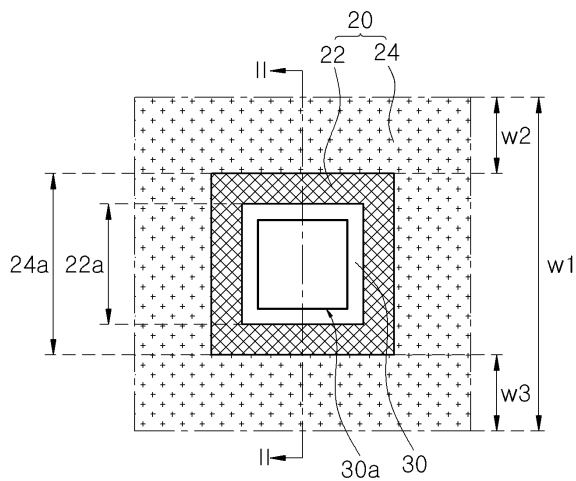
부호의 설명

[0100]

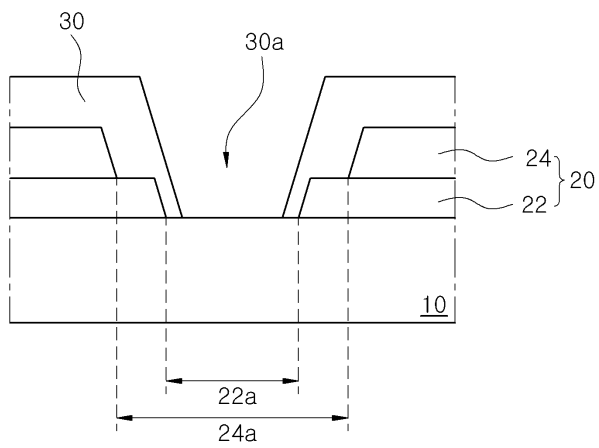
110: 기판 112: 게이트 배선
114: 게이트 전극 116: 공통 배선
120: 게이트 절연막 122: 반도체층
132: 데이터 배선 134: 소스 전극
136: 드레인 전극 140: 보호층
152: 컬러필터층 156: 차광층
157, 158: 제1 및 제2 컬러패턴 157a: 개구부
158a, 158b: 제1 및 제2 홀 160: 오버코트층
162: 제1 콘택홀 164: 제2 콘택홀
172: 화소 전극 173: 제1 연결부
174: 공통 전극 175: 제2 연결부

도면

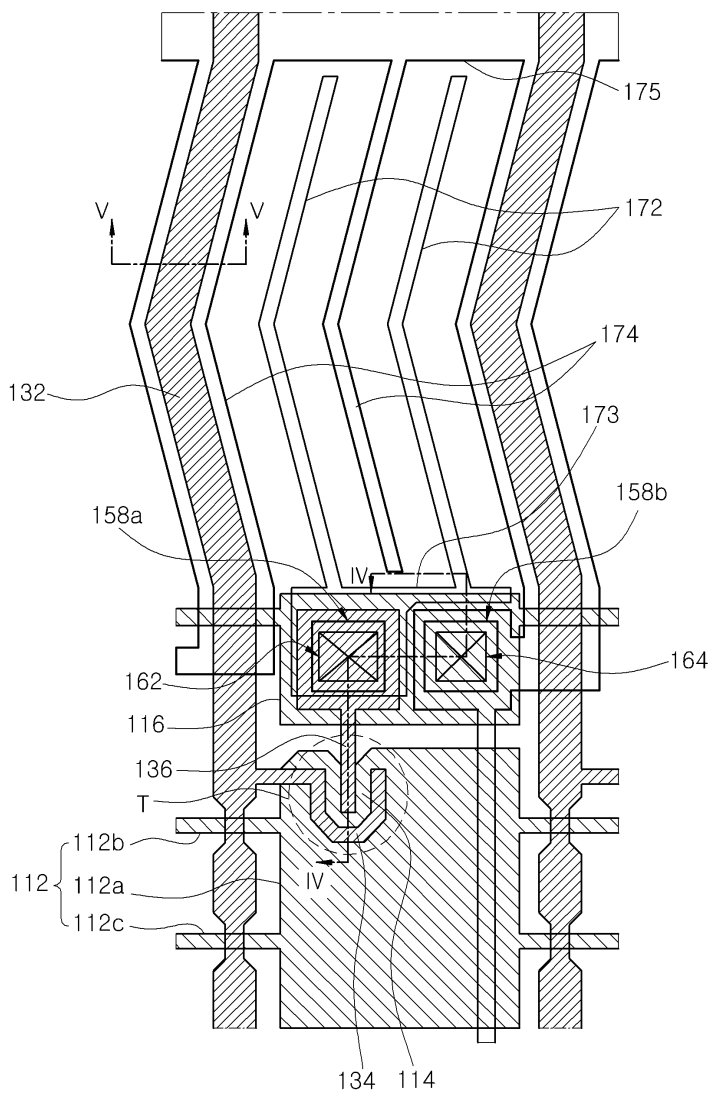
도면1



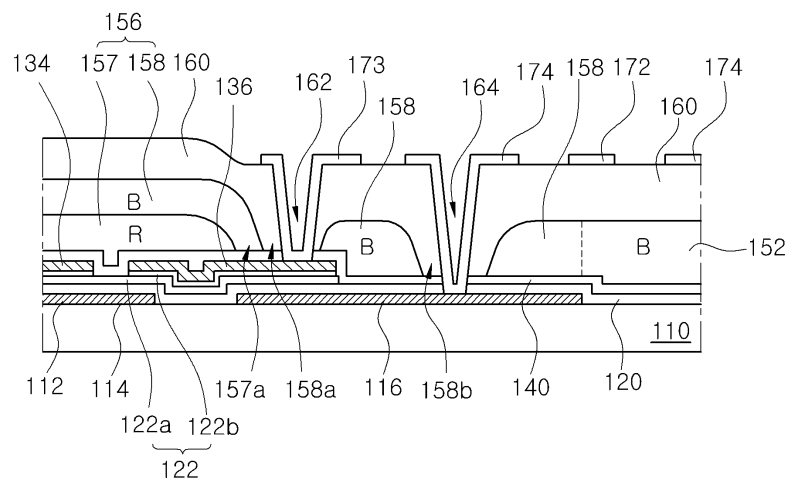
도면2



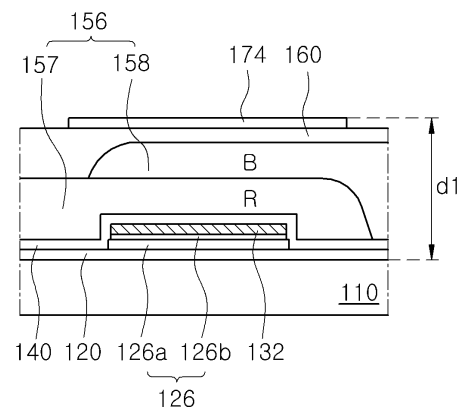
도면3



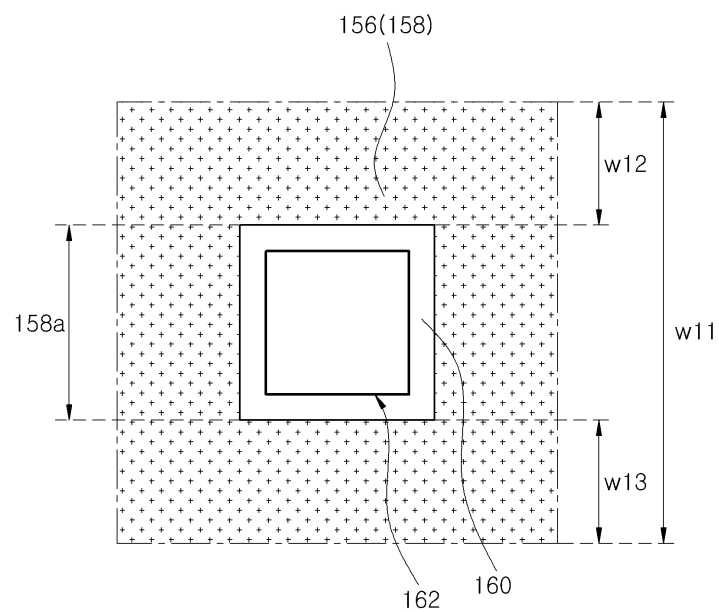
도면4



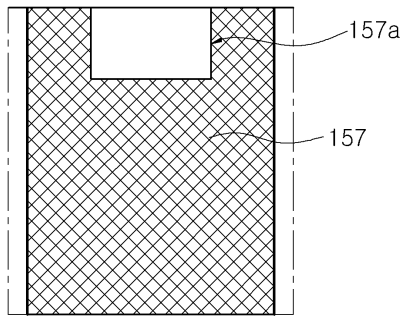
도면5



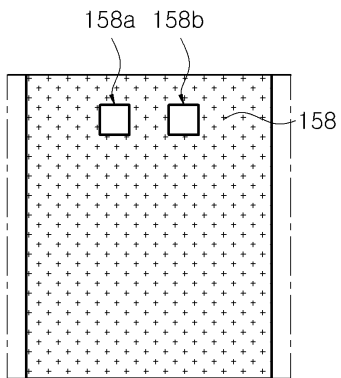
도면6



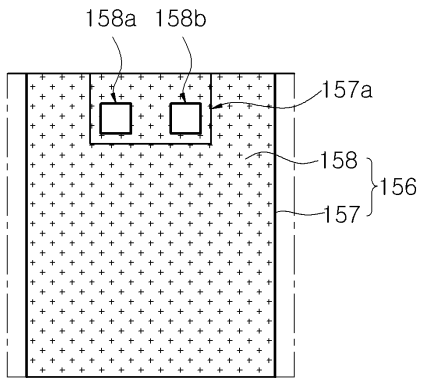
도면7a



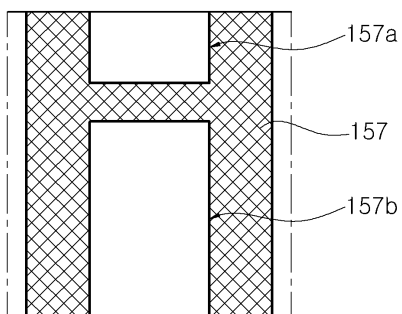
도면7b



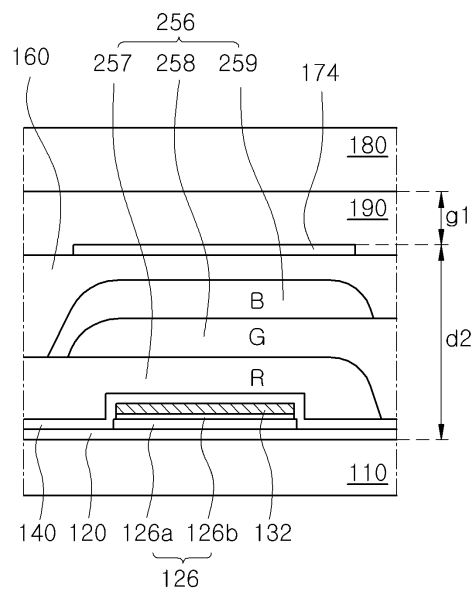
도면7c



도면8



도면9



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020170126552A	公开(公告)日	2017-11-20
申请号	KR1020160056515	申请日	2016-05-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO DAE YOUNG 서대영 JEONG YOUNG MIN 정영민 SHIN SEUNG HWAN 신승환 LEE SO YOUNG 이소영		
发明人	서대영 정영민 신승환 이소영		
IPC分类号	G02F1/1362 G02F1/1335		
CPC分类号	G02F1/1362 G02F1/133514 G02F2001/136222		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器阵列面板，包括滤色器，基板上侧和公共线的第一方向的栅极布线，第二方向的数据线与公共线和栅极布线交叉，栅极布线和薄膜晶体管连接到数据线，滤色器层位于薄膜晶体管上部的像素区域中，光学屏蔽层位于布线的公共上部，外涂层对应于公共部分在滤色器层的上部具有第一和第二接触孔，并且包括像素电极，并且光学屏蔽层包括第一颜色图案和第二颜色图案以及第二颜色图案和第二颜色图案的第一和第二孔对应于第一和第二接触孔，它具有第一开口，其中第一颜色图案围绕3页第一和第二孔。像素电极位于外涂层上部的像素区域中并连接到薄膜晶体管。因此，在构建第一和第二接触孔的部分中，仅定位光学屏蔽层的第二颜色图案。

