



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0126159
(43) 공개일자 2017년11월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01)

(52) CPC특허분류
G02F 1/1362A (2013.01)
G02F 1/136286 (2013.01)

(21) 출원번호 10-2016-0056196
(22) 출원일자 2016년05월09일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신형범

경기도 고양시 일산서구 후곡로 36, 404동 1303호
(일산동, 후곡마을4단지아파트)

(74) 대리인

특허법인네이트

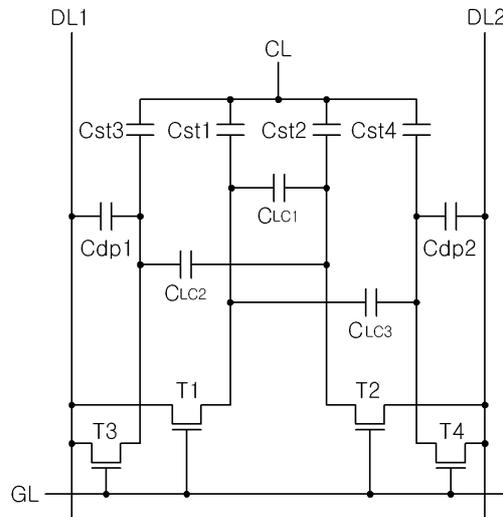
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치용 어레이 기판

(57) 요약

본 발명의 액정표시장치용 어레이 기판은, 교차하여 화소영역을 정의하는 게이트 배선과 제1 및 제2 데이터 배선, 화소영역에 위치하는 제1, 제2, 제3, 제4 박막트랜지스터와, 제1, 제2, 제3, 제4 박막트랜지스터와 각각 연결되는 제1, 제2, 제3, 제4 화소 전극을 포함하며, 제3 화소 전극은 제1 데이터 배선과 제1 화소 전극 사이에 위치하고, 제4 화소 전극은 제2 데이터 배선과 제2 화소 전극 사이에 위치하며, 제1 및 제3 박막트랜지스터는 게이트 배선 및 제1 데이터 배선과 연결되고, 제2 및 제4 박막트랜지스터는 게이트 배선 및 제2 데이터 배선과 연결된다. 여기서, 제3 및 제4 화소 전극은 각각 제1 및 제2 화소 전극과 동일한 신호를 받는데, 제3 및 제4 화소 전극은 제1 및 제2 화소 전극으로부터 분리되어 있어, 데이터 신호의 영향이 최소화된다.

대표도 - 도4



(52) CPC특허분류

G02F 1/1368 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

기관과;

상기 기관 상부에 위치하고 제1방향을 따라 연장되는 게이트 배선과;

제2방향을 따라 연장되고, 상기 게이트 배선과 교차하여 화소영역을 정의하는 제1 및 제2 데이터 배선과;

상기 화소영역에 위치하는 제1, 제2, 제3, 제4 박막트랜지스터와;

상기 화소영역에 위치하며, 상기 제1, 제2, 제3, 제4 박막트랜지스터와 각각 연결되는 제1, 제2, 제3, 제4 화소 전극

을 포함하며,

상기 제3 화소 전극은 상기 제1 데이터 배선과 상기 제1 화소 전극 사이에 위치하고, 상기 제4 화소 전극은 상기 제2 데이터 배선과 상기 제2 화소 전극 사이에 위치하는 액정표시장치용 어레이 기관.

청구항 2

제1항에 있어서,

상기 제1 및 제3 박막트랜지스터는 상기 게이트 배선 및 상기 제1 데이터 배선과 연결되고, 상기 제2 및 제4 박막트랜지스터는 상기 게이트 배선 및 상기 제2 데이터 배선과 연결되는 액정표시장치용 어레이 기관.

청구항 3

제2항에 있어서,

상기 제1 화소 전극과 상기 제2 화소 전극은 제1 액정 커패시터를 구성하고, 상기 제2 화소 전극과 상기 제3 화소 전극은 제2 액정 커패시터를 구성하며, 상기 제1 화소 전극과 상기 제4 화소 전극은 제3 액정 커패시터를 구성하는 액정표시장치용 어레이 기관.

청구항 4

제3항에 있어서,

상기 제1 화소 전극의 패턴들 중 일부는 상기 제2 화소 전극의 패턴들 중 일부와 번갈아 배치되고 상기 제1 화소 전극의 패턴들 중 나머지는 상기 제4 화소 전극의 패턴들과 번갈아 배치되며, 상기 제2 화소 전극의 패턴들 중 나머지는 상기 제3 화소 전극의 패턴들과 번갈아 배치되는 액정표시장치용 어레이 기관.

청구항 5

제2항에 있어서,

상기 제1 박막트랜지스터는 제1 게이트 전극과, 제1 반도체층, 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 박막트랜지스터는 제2 게이트 전극과, 제2 반도체층, 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제3 박막트랜지스터는 제3 게이트 전극과, 제3 반도체층, 제3 소스 전극 및 제3 드레인 전극을 포함하고, 상기 제4 박막트랜지스터는 제4 게이트 전극과, 제4 반도체층, 제4 소스 전극 및 제4 드레인 전극을 포함하며,

상기 제1, 제2, 제3, 제4 게이트 전극은 상기 게이트 배선에 연결되며,

상기 제1 소스 전극과 상기 제3 소스 전극은 상기 제1 데이터 배선에 연결되고, 상기 제2 소스 전극과 상기 제4 소스 전극은 상기 제2 데이터 배선에 연결되며,

상기 제1, 제2, 제3, 제4 드레인 전극은 상기 제1, 제2, 제3, 제4 화소 전극과 각각 연결되는 액정표시장치용 어레이 기판.

청구항 6

제5항에 있어서,

상기 제1 반도체층은 상기 제3 반도체층과 일체로 이루어지고, 상기 제2 반도체층은 상기 제4 반도체층과 일체로 이루어지는 액정표시장치용 어레이 기판.

청구항 7

제6항에 있어서,

상기 제1 소스 전극은 상기 제3 소스 전극과 일체로 이루어지고, 상기 제2 소스 전극은 상기 제4 소스 전극과 일체로 이루어지는 액정표시장치용 어레이 기판.

청구항 8

제1항에 있어서,

상기 기판 상부에 상기 제1방향을 따라 연장되는 공통 배선과;

상기 공통 배선에서 상기 제2방향을 따라 연장되며, 상기 화소영역의 양측에 각각 위치하는 제1 및 제2 보조 공통 배선

을 더 포함하는 액정표시장치용 어레이 기판.

청구항 9

제8항에 있어서,

상기 제1 보조 공통 배선은 상기 제3 화소 전극의 패턴과 중첩하고, 상기 제2 보조 공통 배선은 상기 제4 화소 전극의 패턴과 중첩하는 액정표시장치용 어레이 기판.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히, 응답속도를 높이고 화질을 개선할 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(liquid crystal display device: LCD device) 및 유기발광다이오드 표시장치(organic light emitting diode device: OLED device)와 같은 여러 가지 평판표시장치(flat panel display device: FPD device)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동 등의 장점을 가지고 있어 널

리 사용되고 있다.

- [0004] 액정표시장치는 액정의 광학적 이방성과 분극 성질을 이용하는 것으로, 두 기판과 두 기판 사이의 액정층, 그리고 액정층의 액정분자를 구동하기 위한 화소 전극 및 공통 전극을 포함한다. 따라서, 액정표시장치는, 화소 전극 및 공통 전극에 전압을 인가하여 생성되는 전기장에 의해 액정분자의 배열을 조절하고, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현한다. 이러한 액정표시장치는 휴대폰이나 멀티미디어장치와 같은 휴대용 기기부터 노트북 또는 컴퓨터 모니터 및 대형 텔레비전에 이르기까지 다양하게 적용된다.
- [0005] 그런데, 이러한 액정표시장치에서는 액정분자의 응답속도에 따라 잔상이 발생할 수 있다. 따라서, 액정분자의 응답속도를 빠르게 하기 위한 다양한 연구가 이루어져 왔으며, 일례로 고전압으로 액정분자를 구동할 수 있는 액정표시장치용 어레이 기판이 제안되었다.
- [0006] 도 1은 종래의 액정표시장치용 어레이 기판을 개략적으로 도시한 도면이다.
- [0007] 도 1에 도시한 바와 같이, 제1방향으로 다수의 게이트 배선(GL1, GL2, GL3, GL4)이 연장되고, 제2방향으로 다수의 데이터 배선(DL1, DL2, DL3)이 연장된다. 게이트 배선(GL1, GL2, GL3, GL4)과 데이터 배선(DL1, DL2, DL3)은 교차하여 화소영역을 정의한다.
- [0008] 각 화소영역에는 제1 및 제2 박막트랜지스터(T1, T2)와 제1 및 제2 화소 전극(PE1, PE2)이 위치한다.
- [0009] 일례로, 제1 및 제2 게이트 배선(GL1, GL2)과 제1 및 제2 데이터 배선(DL1, DL2)에 의해 정의되는 제1 화소영역에서, 제1 박막트랜지스터(T1)는 제1 게이트 배선(GL1)과 제1 데이터 배선(DL1)에 연결되고, 제2 박막트랜지스터(T2)는 제1 게이트 배선(GL1)과 제2 데이터 배선(DL2)에 연결된다.
- [0010] 제1 화소 전극(PE1)은 제1 박막트랜지스터(T1)에 연결되고, 제2 화소 전극(PE2)은 제2 박막트랜지스터(T2)에 연결된다. 제1 화소 전극(PE1)과 제2 화소 전극(PE2) 각각은 다수의 패턴을 포함하며, 제1 화소 전극(PE1)의 패턴들과 제2 화소 전극(PE2)의 패턴들은 엇갈리게 교대로 배치된다. 제1 화소 전극(PE1)과 제2 화소 전극(PE2)은 액정 커패시터를 이룬다.
- [0011] 또한, 도시되지 않았으나, 공통 배선이 각 화소영역의 제1 및 제2 화소 전극(PE1, PE2)과 중첩하며 스토리지 커패시터를 이룬다.
- [0012] 이러한 어레이 기판을 포함하는 액정표시장치는, 제1 박막트랜지스터(T1)를 통해 제1 전압을 제1 화소 전극(PE1)에 인가하고 제2 박막트랜지스터(T2)를 통해 제2 전압을 제2 화소 전극(PE2)에 인가하여 제1 화소 전극(PE1)과 제2 화소 전극(PE2) 사이의 전위 차이에 의해 액정분자를 구동시켜 영상을 표시한다.
- [0013] 그런데, 종래의 액정표시장치는 플리커(flicker)에 의해 화질이 저하되는 문제가 있다. 이에 대해, 도면을 참조하여 상세히 설명한다.
- [0014] 도 2는 종래의 액정표시장치의 한 화소영역에 대한 개략적인 회로도로서, 도 1의 어레이 기판을 포함한다.
- [0015] 도 2에 도시한 바와 같이, 제1 화소 전극(도 1의 PE1)과 제2 화소 전극(도 1의 PE2)은 액정 커패시터(C_{LC})를 이루고, 제1 화소 전극(도 1의 PE1)과 공통 배선(CL)은 제1 스토리지 커패시터(C_{st1})를 이루며, 제2 화소 전극(도 1의 PE2)과 공통 배선(CL)은 제2 스토리지 커패시터(C_{st2})를 이룬다.
- [0016] 한편, 제1 데이터 배선(DL1)과 제1 화소 전극(PE1) 사이에는 제1 기생 커패시터(C_{dp1})가 생기고, 제2 데이터 배선(DL2)과 제2 화소 전극(PE2) 사이에는 제2 기생 커패시터(C_{dp2})가 생긴다.
- [0017] 이때, 제1 및 제2 화소 전극(도 1의 PE1, 도 1의 PE2)은 실제로 제1 및 제2 데이터 배선(DL1, DL2)에 각각 근접하며, 제1 및 제2 데이터 배선(DL1, DL2) 주위에는 전계 차폐를 위한 별도의 전극이 없으므로, 제1 및 제2 기생 커패시터(C_{dp1} , C_{dp2})의 용량은 비교적 크다. 이에 따라, 제1 및 제2 화소 전극(도 1의 PE1, 도 1의 PE2)의 화소 전위(V_{p1} , V_{p2})는 각각 제1 및 제2 데이터 배선(DL1, DL2)의 데이터 신호(V_{d1} , V_{d2})에 따라 쉽게 영향을 받으며, 데이터 신호(V_{d1} , V_{d1})의 변동에 따라 화소 전위(V_{p1} , V_{p2})가 변동한다.
- [0018] 데이터 신호(V_{d1} , V_{d2})의 극성 반전이 한 프레임 내에서 수시로 일어나는 도트 인버전(dot inversion) 방식으로 종래의 액정표시장치를 구동할 경우, 화소 전위(V_{p1} , V_{p2})의 변동이 비교적 적어 실질적으로 플리커가 거의 없으나, 도트 인버전 방식은 소비전력이 높고, 구동 회로가 발열 및 발화되기 쉬운 문제가 있다.
- [0019] 한편, 한 프레임 동안 극성 반전이 없는 컬럼 인버전(column inversion) 방식으로 종래의 액정표시장치를 구동할 경우, 비교적 소비전력이 낮으며, 구동 회로의 발열 및 발화를 해결할 수 있으나, 화소 전위(V_{p1} , V_{p2})의 변

동이 한 프레임 동안 일정한 방향성을 가지게 되고, 이것이 일정한 주기(frame time)를 갖는 휘도 변동으로 나타나게 된다. 따라서, 컬럼 인버전 방식으로 그레이 패턴(gray pattern)을 구현 시 플리커가 발생하게 된다.

[0020] 도 3은 종래의 액정표시장치의 시간에 따른 투과율 변화를 나타내는 그래프로, 패널의 수직 방향을 따른 수직 위치 각각에서의 투과율에 대한 시뮬레이션 결과를 도시한다. 여기서, 종래의 액정표시장치는 컬럼 인버전 방식으로 구동되며, 투과율은 그레이 패턴에 해당한다.

[0021] 도 3에 도시한 바와 같이, 제1 내지 제8 수직 위치(VP1, VP2, VP3, VP4, VP5, VP6, VP7, VP8) 각각에서 투과율은 한 프레임 내에서 변동하는데, 패널의 중앙인 제5 수직 위치(VP5)에서 투과율 변동이 가장 심한 것을 알 수 있다.

[0022] 이때, 최대 투과율 변동비는 약 2.15%이며, 이에 따라 플리커가 발생하여 화질을 저하시킨다.

[0023] 이러한 플리커를 개선하기 위해, 제1 및 제2 데이터 배선(도 1의 DL1, 도 1의 DL2)과 제1 및 제2 화소 전극(도 1의 PE1, 도 1의 PE2) 사이의 거리를 증가시켜 제1 및 제2 기생 커패시터(도 2의 Cdp1, 도 2의 Cdp2)의 용량을 줄이거나, 제1 및 제2 스토리지 커패시터(도 2의 Cst1, 도 2의 Cst2)의 전극 면적을 증가시켜 용량을 증가시킬 수 있으나, 이 경우 개구율이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0024] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 액정표시장치의 개구율 저하 없이 플리커를 방지하여 화질 저하 문제를 해결하고자 한다.

과제의 해결 수단

[0025] 상기의 목적을 달성하기 위하여, 본 발명의 액정표시장치용 어레이 기판은, 제1방향을 따라 연장되는 게이트 배선과, 제2방향을 따라 연장되고, 상기 게이트 배선과 교차하여 화소영역을 정의하는 제1 및 제2 데이터 배선과, 상기 화소영역에 위치하는 제1, 제2, 제3, 제4 박막트랜지스터와, 상기 제1, 제2, 제3, 제4 박막트랜지스터와 각각 연결되는 제1, 제2, 제3, 제4 화소 전극을 포함하며, 상기 제3 화소 전극은 상기 제1 데이터 배선과 상기 제1 화소 전극 사이에 위치하고, 상기 제4 화소 전극은 상기 제2 데이터 배선과 상기 제2 화소 전극 사이에 위치하며, 상기 제1 및 제3 박막트랜지스터는 상기 게이트 배선 및 상기 제1 데이터 배선과 연결되고, 상기 제2 및 제4 박막트랜지스터는 상기 게이트 배선 및 상기 제2 데이터 배선과 연결된다.

[0026] 여기서, 제3 및 제4 화소 전극은 각각 제1 및 제2 화소 전극과 동일한 신호를 받는데, 제3 및 제4 화소 전극은 제1 및 제2 화소 전극으로부터 분리되어 있어, 데이터 신호의 영향이 최소화된다.

발명의 효과

[0027] 본 발명에서는, 각 화소영역에 제1, 제2, 제3, 제4 박막트랜지스터와 각각 연결되는 제1, 제2, 제3, 제4 화소 전극을 포함하여, 제1 화소 전극과 제2 화소 전극, 제1 화소 전극과 제4 화소 전극 사이, 그리고 제3 화소 전극과 제2 화소 전극 사이의 전위 차이에 의해 고전압으로 액정분자를 구동할 수 있으며, 응답속도를 높일 수 있다.

[0028] 또한, 컬럼 인버전 방식으로 액정표시장치를 구동하여, 소비전력을 낮추고, 구동 회로의 발열 및 발화 문제를 해결할 수 있다.

[0029] 또한, 제3 화소 전극을 제1 화소 전극과 분리하고 제4 화소 전극을 제2 화소 전극과 분리하여 데이터 신호의 영향을 최소화함으로써 휘도 변동을 줄일 수 있다. 이에 따라, 플리커를 개선하여 화질을 향상시킬 수 있다.

[0030] 또한, 화소 전극과 데이터 배선을 근접하게 설계할 수 있으므로, 개구율을 향상시킬 수 있다.

도면의 간단한 설명

[0031] 도 1은 종래의 액정표시장치용 어레이 기판을 개략적으로 도시한 도면이다.

도 2는 종래의 액정표시장치의 한 화소영역에 대한 개략적인 회로도이다.

도 3은 종래의 액정표시장치의 시간에 따른 투과율 변화를 나타내는 그래프이다.

- 도 4는 본 발명의 실시예에 따른 액정표시장치의 한 화소영역에 대한 개략적인 회로도이다.
- 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기관의 평면도이다.
- 도 6은 도 5에서 A1영역을 확대한 도면이다.
- 도 7은 도 6의 VII-VII선에 대응하는 단면도이다.
- 도 8은 도 5의 VIII-VIII선에 대응하는 단면도이다.
- 도 9는 본 발명의 실시예에 따른 액정표시장치의 한 화소영역에 인가되는 신호를 도시한 개략적인 회로도이다.
- 도 10 본 발명의 실시예에 따른 액정표시장치의 시간에 따른 투과율 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명의 액정표시장치용 어레이 기관은, 기관과, 상기 기관 상부에 위치하고 제1방향을 따라 연장되는 게이트 배선과, 제2방향을 따라 연장되고, 상기 게이트 배선과 교차하여 화소영역을 정의하는 제1 및 제2 데이터 배선과, 상기 화소영역에 위치하는 제1, 제2, 제3, 제4 박막트랜지스터와, 상기 화소영역에 위치하며, 상기 제1, 제2, 제3, 제4 박막트랜지스터와 각각 연결되는 제1, 제2, 제3, 제4 화소 전극을 포함하며, 상기 제3 화소 전극은 상기 제1 데이터 배선과 상기 제1 화소 전극 사이에 위치하고, 상기 제4 화소 전극은 상기 제2 데이터 배선과 상기 제2 화소 전극 사이에 위치한다.
- [0033] 상기 제1 및 제3 박막트랜지스터는 상기 게이트 배선 및 상기 제1 데이터 배선과 연결되고, 상기 제2 및 제4 박막트랜지스터는 상기 게이트 배선 및 상기 제2 데이터 배선과 연결된다.
- [0034] 상기 제1 화소 전극과 상기 제2 화소 전극은 제1 액정 커패시터를 구성하고, 상기 제2 화소 전극과 상기 제3 화소 전극은 제2 액정 커패시터를 구성하며, 상기 제1 화소 전극과 상기 제4 화소 전극은 제3 액정 커패시터를 구성한다.
- [0035] 상기 제1 화소 전극의 패턴들 중 일부는 상기 제2 화소 전극의 패턴들 중 일부와 번갈아 배치되고 상기 제1 화소 전극의 패턴들 중 나머지는 상기 제4 화소 전극의 패턴들과 번갈아 배치되며, 상기 제2 화소 전극의 패턴들 중 나머지는 상기 제3 화소 전극의 패턴들과 번갈아 배치된다.
- [0036] 상기 제1 박막트랜지스터는 제1 게이트 전극과, 제1 반도체층, 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 박막트랜지스터는 제2 게이트 전극과, 제2 반도체층, 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제3 박막트랜지스터는 제3 게이트 전극과, 제3 반도체층, 제3 소스 전극 및 제3 드레인 전극을 포함하고, 상기 제4 박막트랜지스터는 제4 게이트 전극과, 제4 반도체층, 제4 소스 전극 및 제4 드레인 전극을 포함하며, 상기 제1, 제2, 제3, 제4 게이트 전극은 상기 게이트 배선에 연결되며, 상기 제1 소스 전극과 상기 제3 소스 전극은 상기 제1 데이터 배선에 연결되고, 상기 제2 소스 전극과 상기 제4 소스 전극은 상기 제2 데이터 배선에 연결되며, 상기 제1, 제2, 제3, 제4 드레인 전극은 상기 제1, 제2, 제3, 제4 화소 전극과 각각 연결된다.
- [0037] 상기 제1 반도체층은 상기 제3 반도체층과 일체로 이루어지고, 상기 제2 반도체층은 상기 제4 반도체층과 일체로 이루어진다.
- [0038] 상기 제1 소스 전극은 상기 제3 소스 전극과 일체로 이루어지고, 상기 제2 소스 전극은 상기 제4 소스 전극과 일체로 이루어진다.
- [0039] 본 발명의 액정표시장치용 어레이 기관은, 상기 기관 상부에 상기 제1방향을 따라 연장되는 공통 배선과, 상기 공통 배선에서 상기 제2방향을 따라 연장되며, 상기 화소영역의 양측에 각각 위치하는 제1 및 제2 보조 공통 배선을 더 포함한다.
- [0040] 상기 제1 보조 공통 배선은 상기 제3 화소 전극의 패턴과 중첩하고, 상기 제2 보조 공통 배선은 상기 제4 화소 전극의 패턴과 중첩한다.
- [0041] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치용 어레이 기관에 대하여 상세히 설명한다.
- [0042] 도 4는 본 발명의 실시예에 따른 액정표시장치의 한 화소영역에 대한 개략적인 회로도이다.
- [0043] 도 4에 도시한 바와 같이, 제1방향으로 게이트 배선(GL)이 연장되고, 제2방향으로 제1 및 제2 데이터 배선(DL1, DL2)이 연장된다. 게이트 배선(GL)과 제1 및 제2 데이터 배선(DL1, DL2)은 교차하여 화소영역을 정의한다.

- [0044] 화소영역에는 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)와, 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3}), 그리고 제1, 제2, 제3, 제4 스토리지 커패시터(Cst1, Cst2, Cst3, Cst4)가 위치한다.
- [0045] 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)의 게이트 전극은 게이트 배선(GL)에 연결되고, 제1 및 제3 박막트랜지스터(T1, T3)의 소스 전극은 제1 데이터 배선(DL1)에 연결되며, 제2 및 제4 박막트랜지스터(T2, T4)의 소스 전극은 제2 데이터 배선(DL2)에 연결된다.
- [0046] 제1 박막트랜지스터(T1)의 드레인 전극과 제2 박막트랜지스터(T2)의 드레인 전극 사이에는 제1 액정 커패시터(C_{LC1})가 연결되고, 제2 박막트랜지스터(T2)의 드레인 전극과 제3 박막트랜지스터(T3)의 드레인 전극 사이에는 제2 액정 커패시터(C_{LC2})가 연결되며, 제1 박막트랜지스터(T1)의 드레인 전극과 제4 박막트랜지스터(T4)의 드레인 전극 사이에는 제3 액정 커패시터(C_{LC3})가 연결된다.
- [0047] 또한, 제1 박막트랜지스터(T1)의 드레인 전극과 공통 배선(CL) 사이에는 제1 스토리지 커패시터(Cst1)가 연결되고, 제2 박막트랜지스터(T2)의 드레인 전극과 공통 배선(CL) 사이에는 제2 스토리지 커패시터(Cst2)가 연결되며, 제3 박막트랜지스터(T3)의 드레인 전극과 공통 배선(CL) 사이에는 제3 스토리지 커패시터(Cst3)가 연결되며, 제4 박막트랜지스터(T4)의 드레인 전극과 공통 배선(CL) 사이에는 제4 스토리지 커패시터(Cst4)가 연결된다.
- [0048] 이러한 본 발명의 실시예에 따른 액정표시장치는, 제1 박막트랜지스터(T1) 및 제2 박막트랜지스터(T2)를 통해 제1 전압을 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3})의 제1 전극에 인가하고, 제2 박막트랜지스터(T2) 및 제4 박막트랜지스터(T4)를 통해 제2 전압을 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3})의 제2 전극에 인가하여 제1 전극과 제2 전극 사이의 전위 차이에 의해 액정분자를 구동시켜 영상을 표시한다.
- [0049] 한편, 제1 데이터 배선(DL1)과 제3 박막트랜지스터(T3)의 드레인 전극 사이에는 제1 기생 커패시터(Cdp1)가 생기고, 제2 데이터 배선(DL2)과 제4 박막트랜지스터(T4)의 드레인 전극 사이에는 제2 기생 커패시터(Cdp2)가 생긴다.
- [0050] 이러한 본 발명의 실시예에 따른 액정표시장치에서는, 제1 및 제2 기생 커패시터(Cdp1, Cdp2)가 제2 및 제3 액정 커패시터(C_{LC2} , C_{LC3})에 각각 연결되어 제2 및 제3 액정 커패시터(C_{LC2} , C_{LC3})에만 영향을 미치지므로, 데이터 신호의 영향을 최소화함으로써 플리커를 개선할 수 있다.
- [0051] 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기관의 평면도이고, 도 6은 도 5에서 A1영역을 확대한 도면이다.
- [0052] 도 5와 도 6에 도시한 바와 같이, 제1방향을 따라 게이트 배선(112a, 112b)이 형성되고, 제2방향을 따라 데이터 배선(131a, 131b, 131c)이 형성되며, 게이트 배선(112a, 112b)과 데이터 배선(131a, 131b, 131c)은 교차하여 화소영역을 정의한다. 이때, 제1 및 제2 게이트 배선(112a, 112b)과 제1 및 제2 데이터 배선(131a, 131b)에 의해 제1 화소영역이 정의되고, 제1 및 제2 게이트 배선(112a, 112b)과 제2 및 제3 데이터 배선(131b, 131c)에 의해 제2 화소영역이 정의된다.
- [0053] 게이트 배선(112a, 112b)과 이격되어 제1방향을 따라 공통 배선(118)이 형성되고, 각 화소영역에는 제1 및 제2 보조 공통 배선(118a, 118b)이 공통 배선(118)으로부터 제2방향을 따라 연장된다. 제1 및 제2 보조 공통 배선(118a, 118b)은 각 화소영역의 양측에 각각 위치하여 데이터 배선(131a, 131b, 131c)과 인접한다. 일례로, 제1 화소영역에서 제1 보조 공통 배선(118a)은 제1 데이터 배선(131a)과 인접하고, 제2 보조 공통 배선(118b)은 제2 데이터 배선(131b)과 인접한다.
- [0054] 각 화소영역에는 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)가 형성된다. 제1 화소영역에서 제1 박막트랜지스터(T1)와 제3 박막트랜지스터(T3)는 제1 게이트 배선(112a) 및 제1 데이터 배선(131a)에 연결되고, 제2 박막트랜지스터(T2)와 제4 박막트랜지스터(T4)는 제1 게이트 배선(112a) 및 제2 데이터 배선(131b)에 연결된다.
- [0055] 보다 상세하게, 제1 박막트랜지스터(T1)는 제1 게이트 전극(114)과 제1 반도체층(도시하지 않음), 제1 소스 전극(132) 및 제1 드레인 전극(133)을 포함하고, 제2 박막트랜지스터(T2)는 제2 게이트 전극(115)과 제2 반도체층(도시하지 않음), 제2 소스 전극(134) 및 제2 드레인 전극(135)을 포함하며, 제3 박막트랜지스터(T3)는 제3 게이트 전극(116)과 제3 반도체층(도시하지 않음), 제3 소스 전극(136) 및 제3 드레인 전극(137)을 포함하고, 제4 박막트랜지스터(T4)는 제4 게이트 전극(117)과 제4 반도체층(도시하지 않음), 제4 소스 전극(138) 및 제4 드레인

인 전극(139)을 포함한다.

- [0056] 제1 게이트 전극(114)과 제1 소스 및 제1 드레인 전극(132, 133) 사이에는 제1 반도체층이 위치하고, 제2 게이트 전극(115)과 제2 소스 및 제2 드레인 전극(134, 135) 사이에는 제2 반도체층이 위치하며, 제3 게이트 전극(116)과 제3 소스 및 제3 드레인 전극(136, 137) 사이에는 제3 반도체층이 위치하고, 제4 게이트 전극(117)과 제4 소스 및 제4 드레인 전극(138, 139) 사이에는 제4 반도체층이 위치한다.
- [0057] 여기서, 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117)은 제1 게이트 배선(112a)에 연결되고, 제1 소스 전극(132)과 제3 소스 전극(136)은 제1 데이터 배선(131a)에 연결되며, 제2 소스 전극(134)과 제4 소스 전극(138)은 제2 데이터 배선(131b)에 연결된다. 제1 드레인 전극(133)은 제1 소스 전극(132)과 이격되어 위치하고, 제2 드레인 전극(135)은 제2 소스 전극(134)과 이격되어 위치하며, 제3 드레인 전극(137)은 제3 소스 전극(136)과 이격되어 위치하고, 제4 드레인 전극(139)은 제4 소스 전극(138)과 이격되어 위치한다.
- [0058] 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117)은 제1 게이트 배선(112a)의 일부로 이루어지며, 제1 게이트 배선(112a)의 다른 부분보다 넓은 폭을 가질 수 있다. 이와 달리, 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117)의 적어도 하나는 제1 게이트 배선(112a)으로부터 제2방향으로 연장될 수도 있다.
- [0059] 또한, 제1 및 제3 소스 전극(132, 136)은 제1 데이터 배선(131a)에서 연장되고, 제2 및 제4 소스 전극(134, 138)은 제2 데이터 배선(131b)에서 연장된다. 이때, 제3 소스 전극(136)이 제1 데이터 배선(131a)에서 연장되고, 제1 소스 전극(132)이 제3 소스 전극(136)에서 연장될 수 있으며, 제4 소스 전극(138)이 제2 데이터 배선(131b)에서 연장되고, 제2 소스 전극(134)이 제4 소스 전극(138)에서 연장될 수 있으며, 이에 제한되지 않는다. 이와 달리, 제1 및 제3 소스 전극(132, 136)은 제1 데이터 배선(131a)의 일부로 이루어질 수 있고, 제2 및 제4 소스 전극(134, 138)은 제2 데이터 배선(131b)의 일부로 이루어질 수도 있다.
- [0060] 제1 소스 전극(132)과 제1 드레인 전극(133) 사이의 제1 반도체층은 제1 박막트랜지스터(T1)의 채널이 되고, 제2 소스 전극(134)과 제2 드레인 전극(135) 사이의 제2 반도체층은 제2 박막트랜지스터(T2)의 채널이 되며, 제3 소스 전극(136)과 제3 드레인 전극(137) 사이의 제3 반도체층은 제3 박막트랜지스터(T3)의 채널이 되고, 제4 소스 전극(138)과 제4 드레인 전극(139) 사이의 제4 반도체층은 제4 박막트랜지스터(T4)의 채널이 된다.
- [0061] 여기서, 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)의 채널은 곡선(curved line) 형태일 수 있다. 일례로, 제1, 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)의 채널은 U자 모양일 수 있다. 이와 달리, 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)의 채널은 곡선의 W자 모양이나 웨이브 형상일 수 있으며, 이에 제한되지 않는다.
- [0062] 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)의 일부는 공통 배선(118)과 중첩하여 스토리지 커패시터를 형성한다.
- [0063] 한편, 제2 화소영역에서 제1 박막트랜지스터와 제3 박막트랜지스터는 제2 게이트 배선(112b) 및 제2 데이터 배선(131b)에 연결되고, 제2 박막트랜지스터와 제4 박막트랜지스터는 제2 게이트 배선(112b) 및 제3 데이터 배선(131c)에 연결된다.
- [0064] 각 화소영역에는 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)이 위치한다. 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 각각은 실질적으로 제2방향을 따라 연장되고, 제1방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다.
- [0065] 제1 화소영역에서 제1 데이터 배선(131a)과 제1 화소 전극(162) 사이에 제3 화소 전극(166)이 위치하고, 제2 데이터 배선(131b)과 제2 화소 전극(164) 사이에 제4 화소 전극(168)이 위치한다. 제1 화소 전극(162)의 패턴들 중 일부는 제2 화소 전극(164)의 패턴들 중 일부와 제1방향을 따라 이격되어 번갈아 배치되고, 제1 화소 전극(162)의 패턴들 중 나머지는 제4 화소 전극(168)의 패턴들과 제1방향을 따라 이격되어 번갈아 배치되며, 제2 화소 전극(164)의 패턴들 중 나머지는 제3 화소 전극(166)의 패턴들과 제1방향을 따라 이격되어 번갈아 배치된다.
- [0066] 따라서, 제3 화소 전극(166)의 일 패턴은 제1 데이터 배선(131a)과 제2 화소 전극(164) 사이에 위치하고, 제4 화소 전극(168)의 일 패턴은 제2 데이터 배선(131b)과 제1 화소 전극(162) 사이에 위치한다. 제3 화소 전극(166)의 일 패턴 및 제4 화소 전극(168)의 일 패턴은 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 다른 패턴들보다 넓은 폭을 가질 수 있다.
- [0067] 이에 따라, 제1 화소영역에는 실질적으로 제3 화소 전극(166)과 제2 화소 전극(164), 제1 화소 전극(162), 그리

고 제4 화소 전극(168)이 순차적으로 배치된다.

- [0068] 여기서, 제3 화소 전극(166)의 일 패턴은 제1 보조 공통 배선(118a)과 중첩하고, 제4 화소 전극(168)의 일 패턴은 제2 보조 공통 배선(118b)과 중첩할 수 있다.
- [0069] 앞서 언급한 바와 같이, 중첩하는 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)의 일부와 공통 배선(118)은 스토리지 커패시터를 형성한다. 또한, 중첩하는 제3 화소 전극(166)의 일 패턴과 제1 보조 공통 배선(118a) 및 제4 화소 전극(168)의 일 패턴과 제2 보조 공통 배선(118b)은 스토리지 커패시터를 이룬다. 이러한 스토리지 커패시터는 한 프레임에서 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)에 인가되는 전압을 다음 프레임까지 유지하는 역할을 한다.
- [0070] 제1 화소 전극(162)의 패턴들 중 일부와 제2 화소 전극(164)의 패턴들 중 일부는 제1 액정 커패시터(도 4의 C_{LC1})를 이루고, 제2 화소 전극(164)의 패턴들 중 나머지와 제3 화소 전극(166)은 제2 액정 커패시터(도 4의 C_{LC2})를 이루며, 제1 화소 전극(162)의 패턴들 중 나머지와 제4 화소 전극(168)은 제3 액정 커패시터(도 4의 C_{LC3})를 이룬다.
- [0071] 제1 화소 전극(162)의 패턴 개수는 제2 화소 전극(164)의 패턴 개수와 동일하고, 제3 화소 전극(166)의 패턴 개수는 제4 화소 전극(168)의 패턴 개수와 동일하며, 제1 및 제2 화소 전극(162, 164)의 패턴 개수는 제3 및 제4 화소 전극(166, 168)의 패턴 개수보다 클 수 있다.
- [0072] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 각 패턴은 화소영역의 중앙을 기준으로 꺾어져 있어 제2 방향에 대해 일정 각도를 가지며, 제1방향을 따라 화소영역의 중앙을 지나는 가상의 선에 대해 실질적으로 대칭인 구조를 가질 수 있다. 여기서, 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 각 패턴은 제2방향에 대해 45도 또는 이보다 작은 각도를 가지고 꺾어질 수 있다.
- [0073] 한편, 데이터 배선(131a, 131b, 131c)도 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)에 대응하여 꺾어진 부분을 포함할 수 있다. 또한, 제1 및 제2 보조 공통 배선(118a, 118b)도 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)에 대응하여 꺾어진 부분을 포함할 수 있다.
- [0074] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)은 각각 제1, 제2, 제3, 제4 연결부(162a, 164a, 166a, 168)와 연결된다. 제1, 제2, 제3, 제4 연결부(162a, 164a, 166a, 168)는 각각 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 중첩하며 제1, 제2, 제3, 제4 콘택홀(150a, 150b, 150c, 150d)을 통해 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 각각 접촉한다. 따라서, 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)은 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 전기적으로 연결된다.
- [0075] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 각 패턴은 각각 제1, 제2, 제3, 제4 연결부(162a, 164a, 166a, 168)를 통해 서로 연결될 수 있고, 별도의 연결패턴을 통해 서로 연결될 수도 있다.
- [0076] 도 7과 도 8은 본 발명의 실시예에 따른 액정표시장치용 어레이 기관의 단면도로, 도 7은 도 6의 VII-VII선에 대응하는 단면을 도시하고, 도 8은 도 5의 VIII-VIII선에 대응하는 단면을 도시한다.
- [0077] 도 7과 도 8에 도시한 바와 같이, 투명한 절연 기관(110) 위에 도전성 물질로 이루어진 게이트 배선(112a)과 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b)이 형성된다.
- [0078] 기관(110)은 유리나 플라스틱으로 이루어질 수 있다. 또한, 게이트 배선(112)과 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0079] 게이트 배선(112a)과 공통 배선(118)은 제1방향을 따라 연장되고, 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117)은 게이트 배선(112a)에 연결되며, 제1 및 제2 보조 공통 배선(118a, 118b)은 공통 배선(118)에 연결된다. 여기서, 제1 및 제3 게이트 전극(114, 116)은 서로 직접 접촉하고, 제2 및 제4 게이트 전극(115, 117)은 서로 직접 접촉할 수 있다.
- [0080] 이어, 게이트 배선(112)과 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b) 상부에는 게이트 절연막(120)이 형성되어 이들을 덮는다. 게이트 절연막

(120)은 질화 실리콘(SiNx)이나 산화 실리콘(SiO₂)으로 이루어질 수 있다.

- [0081] 게이트 절연막(120) 위에는 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)이 형성된다. 제1 반도체층(122)은 제1 게이트 전극(114)과 대응하고, 제2 반도체층(123)은 제2 게이트 전극(115)과 대응하며, 제3 반도체층(124)은 제3 게이트 전극(116)과 대응하고, 제4 반도체층(125)은 제4 게이트 전극(117)과 대응한다. 제1 반도체층(122)은 제3 반도체층(124)과 일체로 이루어지고, 제2 반도체층(123)은 제4 반도체층(125)과 일체로 이루어질 수 있다.
- [0082] 제1 반도체층(122)은 진성 비정질 실리콘의 제1 액티브층(122a)과 불순물 도핑된 비정질 실리콘의 제1 오믹 콘택층(122b)을 포함하고, 제2 반도체층(123)은 진성 비정질 실리콘의 제2 액티브층(123a)과 불순물 도핑된 비정질 실리콘의 제2 오믹 콘택층(123b)을 포함하며, 제3 반도체층(124)은 진성 비정질 실리콘의 제3 액티브층(124a)과 불순물 도핑된 비정질 실리콘의 제3 오믹 콘택층(124b)을 포함하고, 제4 반도체층(125)은 진성 비정질 실리콘의 제4 액티브층(125a)과 불순물 도핑된 비정질 실리콘의 제4 오믹 콘택층(125b)을 포함한다.
- [0083] 이때, 제1 액티브층(122a)은 제3 액티브층(124a)과 일체로 이루어지고, 제1 오믹 콘택층(122b)의 일 패턴은 제3 오믹 콘택층(124b)의 일 패턴과 일체로 이루어지며, 제2 액티브층(123a)은 제4 액티브층(125a)과 일체로 이루어지고, 제2 오믹 콘택층(123b)의 일 패턴은 제4 오믹 콘택층(125b)의 일 패턴과 일체로 이루어진다.
- [0084] 이와 달리, 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)은 산화물 반도체로 이루어질 수 있다. 이 경우, 제1, 제2, 제3, 제4 오믹 콘택층(122b, 123b, 124b, 125b)은 생략되고, 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)의 상부에는 제1, 제2, 제3, 제4 게이트 전극(114, 115, 116, 117)에 대응하여 각각 식각 방지막이 형성될 수 있다.
- [0085] 다음, 제1 반도체층(122) 상부에는 제1 소스 및 제1 드레인 전극(132, 133)이 형성되고, 제2 반도체층(123) 상부에는 제2 소스 및 제2 드레인 전극(134, 135)이 형성되며, 제3 반도체층(124) 상부에는 제3 소스 및 제3 드레인 전극(136, 137)이 형성되고, 제4 반도체층(125) 상부에는 제4 소스 및 제4 드레인 전극(138, 139)이 형성된다.
- [0086] 제1 게이트 전극(114)과 제1 반도체층(122), 제1 소스 전극(132) 및 제1 드레인 전극(133)은 제1 박막트랜지스터(T1)를 이루고, 제2 게이트 전극(115)과 제2 반도체층(123), 제2 소스 전극(134) 및 제2 드레인 전극(135)은 제2 박막트랜지스터(T2)를 이루며, 제3 게이트 전극(116)과 제3 반도체층(124), 제3 소스 전극(136) 및 제3 드레인 전극(137)은 제3 박막트랜지스터(T3)를 이루고, 제4 게이트 전극(117)과 제4 반도체층(125), 제4 소스 전극(138) 및 제4 드레인 전극(139)은 제4 박막트랜지스터(T4)를 이룬다.
- [0087] 제1 소스 및 제1 드레인 전극(132, 133)은 제1 반도체층(122) 상부에서 제1 게이트 전극(114)을 중심으로 이격되어 위치하고, 제2 소스 및 제2 드레인 전극(134, 135)은 제2 반도체층(123) 상부에서 제2 게이트 전극(115)을 중심으로 이격되어 위치하며, 제3 소스 및 제3 드레인 전극(136, 137)은 제3 반도체층(124) 상부에서 제3 게이트 전극(116)을 중심으로 이격되어 위치하고, 제4 소스 및 제4 드레인 전극(138, 139)은 제4 반도체층(125) 상부에서 제4 게이트 전극(117)을 중심으로 이격되어 위치한다.
- [0088] 제1 소스 전극(132)은 제3 소스 전극(136)과 서로 직접 접촉하여 일체로 이루어지고, 제2 소스 전극(134)은 제4 소스 전극(138)과 서로 직접 접촉하여 일체로 이루어질 수 있다.
- [0089] 제1 오믹 콘택층(122b)은 제1 소스 및 제1 드레인 전극(132, 133)과 동일한 모양을 갖고, 제2 오믹 콘택층(123b)은 제2 소스 및 제2 드레인 전극(134, 135)과 동일한 모양을 가지며, 제3 오믹 콘택층(124b)은 제3 소스 및 제3 드레인 전극(136, 137)과 동일한 모양을 갖고, 제4 오믹 콘택층(125b)은 제4 소스 및 제4 드레인 전극(138, 139)과 동일한 모양을 가질 수 있다.
- [0090] 제1 소스 및 제1 드레인 전극(132, 133) 사이의 제1 액티브층(122a)과, 제2 소스 및 제2 드레인 전극(134, 135) 사이의 제2 액티브층(123a), 제3 소스 및 제3 드레인 전극(136, 137) 사이의 제3 액티브층(124a), 그리고 제4 소스 및 제4 드레인 전극(138, 139) 사이의 제4 액티브층(125a)은 노출되며, 각각 제1, 제2, 제3, 제4 박막트랜지스터(T1, T2, T3, T4)의 채널이 된다.
- [0091] 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)의 일부는 공통 배선(118)과 중첩하여 각각 제1, 제2, 제3, 제4 스토리지 커패시터를 형성한다. 공통 배선(118)의 중첩 부분은 각각 제1, 제2, 제3, 제4 스토리지 커패시터의 제1 커패시터 전극을 이루고, 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)의 중첩 부분은 각각 제1, 제2, 제3, 제4 스토리지 커패시터의 제2 커패시터 전극을 이룬다. 이때, 공통 배선(118)의 중첩 부분은

다른 부분에 비해 넓은 폭을 가질 수 있다.

- [0092] 한편, 제1 및 제2 데이터 배선(131a, 131b)이 제1, 제2, 제3, 제4 소스 전극(132, 134, 136, 138) 및 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 동일 물질로 동일층에 형성된다. 제1 및 제2 데이터 배선(131a, 131b)은 게이트 배선(112a)과 교차하여 화소영역을 정의한다.
- [0093] 제1 및 제2 데이터 배선(131a, 131b)과 제1, 제2, 제3, 제4 소스 전극(132, 134, 136, 138), 그리고 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0094] 여기서, 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)과 제1, 제2, 제3, 제4 소스 전극(132, 134, 136, 138)과, 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139), 그리고 제1 및 제2 데이터 배선(131a, 131b)은 하나의 마스크를 이용한 동일 사진식각공정을 통해 형성될 수 있다. 이에 따라, 제1 및 제2 데이터 배선(131a, 131b) 각각의 하부에 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)과 동일 물질로 이루어진 반도체 패턴(126)이 형성된다. 즉, 반도체 패턴(126)은 진성 비정질 실리콘의 제1 패턴(126a)과 불순물 도핑된 비정질 실리콘의 제2 패턴(126b)을 포함한다.
- [0095] 이와 달리, 제1, 제2, 제3, 제4 반도체층(122, 123, 124, 125)은 제1, 제2, 제3, 제4 소스 전극(132, 134, 136, 138)과, 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139), 그리고 제1 및 제2 데이터 배선(131a, 131b)과 다른 마스크를 이용한 다른 사진식각공정을 통해 형성될 수도 있다. 이 경우, 제1 반도체층(122)의 측면은 제1 소스 및 제1 드레인 전극(132, 133)으로 덮이고, 제2 반도체층(123)의 측면은 제2 소스 및 제2 드레인 전극(135, 136)으로 덮이며, 제3 반도체층(124)의 측면은 제3 소스 및 제3 드레인 전극(136, 137)으로 덮이고, 제4 반도체층(125)의 측면은 제4 소스 및 제4 드레인 전극(138, 139)으로 덮인다. 또한, 제1 및 제2 데이터 배선(131a, 131b) 하부의 반도체 패턴(126)은 생략될 수 있다.
- [0096] 다음, 제1, 제2, 제3, 제4 소스 전극(132, 134, 136, 138)과, 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139), 그리고 제1 및 제2 데이터 배선(131a, 131b) 상부에는 보호층(150)이 형성된다. 이때, 보호층(150)은 평탄한 표면을 갖는 것이 바람직하다.
- [0097] 보호층(150)은 단일층 구조를 가지며, 산화 실리콘(SiO₂)나 질화 실리콘(SiN_x)의 무기절연물질로 형성되거나 포토아크릴(photoacryl)과 같은 유기절연물질로 형성될 수 있다. 이와 달리, 보호층(150)은 다중층 구조를 가질 수도 있으며, 일례로, 무기절연물질의 제1 절연층과 유기절연물질의 제2 절연층을 포함할 수 있다.
- [0098] 보호층(150)은 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)을 각각 노출하는 제1, 제2, 제3, 제4 콘택홀(도 6의 150a, 도 6의 150b, 150c, 150d)을 포함한다.
- [0099] 보호층(150) 상부의 화소영역에는 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)과 제1, 제2, 제3, 제4 연결부(도 6의 162a, 도 6의 164a, 166a, 168a)가 형성된다.
- [0100] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 각각은 실질적으로 제2방향을 따라 연장되고, 제1방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다. 제1 데이터 배선(131a)과 제1 화소 전극(162) 사이에 제3 화소 전극(166)이 위치하고, 제2 데이터 배선(131b)과 제2 화소 전극(164) 사이에 제4 화소 전극(168)이 위치한다. 제1 화소 전극(162)의 패턴들 중 일부는 제2 화소 전극(164)의 패턴들 중 일부와 제1방향을 따라 이격되어 번갈아 배치되고, 제1 화소 전극(162)의 패턴들 중 나머지는 제4 화소 전극(168)의 패턴들과 제1방향을 따라 이격되어 번갈아 배치되며, 제2 화소 전극(164)의 패턴들 중 나머지는 제3 화소 전극(166)의 패턴들과 제1방향을 따라 이격되어 번갈아 배치된다.
- [0101] 따라서, 제3 화소 전극(166)의 일 패턴은 제1 데이터 배선(131a)과 제2 화소 전극(164) 사이에 위치하고, 제4 화소 전극(168)의 일 패턴은 제2 데이터 배선(131b)과 제1 화소 전극(162) 사이에 위치한다. 제3 화소 전극(166)의 일 패턴 및 제4 화소 전극(168)의 일 패턴은 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)의 다른 패턴들보다 넓은 폭을 가질 수 있다. 제3 화소 전극(166)의 일 패턴은 제1 보조 공통 배선(118a)과 중첩하고, 제4 화소 전극(168)의 일 패턴은 제2 보조 공통 배선(118b)과 중첩할 수 있다.
- [0102] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)은 각각 제1, 제2, 제3, 제4 연결부(도 6의 162a, 도 6의 164a, 166a, 168a)와 연결된다. 제1, 제2, 제3, 제4 연결부(도 6의 162a, 도 6의 164a, 166a, 168a)는 각각 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 중첩하며, 제1, 제2, 제3, 제4 콘택홀(도 6의 150a, 도 6의 150b, 150c, 150d)을 통해 제1, 제2, 제3, 제4 드레인 전극(133, 135, 137, 139)과 각각 접촉한다.

- [0103] 제1, 제2, 제3, 제4 화소 전극(162, 164, 166, 168)과 제1, 제2, 제3, 제4 연결부(도 6의 162a, 도 6의 164a, 166a, 168a)는 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도 전물질로 형성될 수 있다.
- [0104] 도 9는 본 발명의 실시예에 따른 액정표시장치의 한 화소영역에 인가되는 신호를 도시한 개략적인 회로도이다.
- [0105] 도 9에 도시한 바와 같이, 제1 박막트랜지스터(T1) 및 제3 박막트랜지스터(T3)를 통해 제1 전압을 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3})의 제1 전극에 인가하고, 제2 박막트랜지스터(T2) 및 제4 박막트랜지스터(T4)를 통해 제2 전압을 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3})의 제2 전극에 인가한다. 따라서, 제1 및 제3 액정 커패시터(C_{LC1} , C_{LC3})의 제1 전극은 제1 화소 전위(V_{p1})를 가지며, 제1 및 제2 액정 커패시터(C_{LC1} , C_{LC2})의 제2 전극은 제2 화소 전위(V_{p2})를 갖고, 제2 액정 커패시터(C_{LC2})의 제1 전극은 제3 화소 전위(V_{p3})를 가지며, 제3 액정 커패시터(C_{LC3})의 제2 전극은 제4 화소 전위(V_{p4})를 가진다.
- [0106] 즉, 제1 및 제3 박막트랜지스터(T1, T3)를 통해 제1 전압을 제1 및 제3 화소 전극(도 5의 162, 도 5의 166)에 각각 인가하고, 제2 및 제4 박막트랜지스터(T2, T4)를 통해 제2 전압을 제2 및 제4 화소 전극(도 5의 164, 도 5의 168)에 각각 인가한다. 따라서, 제1 및 제3 화소 전극(도 5의 162, 도 5의 166)에는 동일 극성의 제1 전압이 인가되고, 제2 및 제4 화소 전극(164, 168)에는 동일 극성의 제2 전압이 인가되며, 제1 및 제2 화소 전극(도 5의 162, 도 5의 164)과, 제2 및 제3 화소 전극(도 5의 164, 도 5의 166), 그리고 제1 및 제4 화소 전극(도 5의 162, 도 5의 168)의 전위 차이에 의해 액정분자를 구동시킨다.
- [0107] 이에 따라, 고전압으로 액정분자를 구동할 수 있으므로, 액정분자의 응답속도를 빠르게 할 수 있으며, 구동 전압이 높은 액정분자를 포함하는 나노 캡슐을 이용한 표시장치에도 적용할 수 있다.
- [0108] 한편, 제1 및 제2 화소 전극(도 5의 162, 도 5의 164)과, 제2 및 제3 화소 전극(도 5의 164, 도 5의 166), 그리고 제1 및 제4 화소 전극(도 5의 162, 도 5의 168)의 전위 차이를 종래의 화소 전극과 공통 전극의 전위 차이에 대응하도록 할 경우, 저전압으로 액정분자를 구동시킬 수도 있으며, 이 경우 구동 전압을 줄여 소비전력을 감소시킬 수 있다.
- [0109] 여기서, 제1 및 제2 기생 커패시터(C_{dp1} , C_{dp2})는 각각 제2 및 제3 액정 커패시터(C_{LC2} , C_{LC3})에 연결되므로, 제1 및 제2 데이터 배선(DL1, DL2)의 데이터 신호(V_{d1} , V_{d2})는 제2 및 제3 액정 커패시터(C_{LC2} , C_{LC3})의 화소 전위(V_{p3} , V_{p4})에만 영향을 미친다. 즉, 제1 액정 커패시터(C_{LC1})의 화소 전위(V_{p1} , V_{p2})는 데이터 신호(V_{d1} , V_{d2})의 영향을 받지 않는다. 따라서, 화소영역에서 화소 전위(V_{p1} , V_{p2} , V_{p3} , V_{p4})의 유효 전위차 및 휘도 값 변화가 줄어들어 플리커를 개선할 수 있다.
- [0110] 여기서, 제1 액정 커패시터(C_{LC1})의 용량은 제2 및 제3 액정 커패시터(C_{LC2} , C_{LC3})의 용량보다 큰 것이 바람직하다. 제1, 제2, 제3 액정 커패시터(C_{LC1} , C_{LC2} , C_{LC3})의 용량은 제1, 제2, 제3, 제4 화소 전극(도 5의 162, 도 5의 164, 도 5의 166, 도 5의 168)의 패턴들의 수 및/또는 블록수로 조절될 수 있으며, 블록은 제1, 제2, 제3, 제4 화소 전극(도 5의 162, 도 5의 164, 도 5의 166, 도 5의 168)의 패턴들 간의 간격으로 정의될 수 있다.
- [0111] 도 10 본 발명의 실시예에 따른 액정표시장치의 시간에 따른 투과율 변화를 나타내는 그래프로, 패널의 수직 방향을 따른 수직 위치 각각에서의 투과율에 대한 시뮬레이션 결과를 도시한다. 여기서, 본 발명의 실시예에 따른 액정표시장치는 컬럼 인버전 방식으로 구동되며, 투과율은 그레이 패턴에 해당한다.
- [0112] 도 10에 도시한 바와 같이, 제1 내지 제8 수직 위치(VP1, VP2, VP3, VP4, VP5, VP6, VP7, VP8) 각각에서 투과율은 한 프레임 내에서 변동한다.
- [0113] 이때, 패널의 중앙인 제5 수직 위치(VP5)에서 투과율 변동이 가장 큰데, 제5 수직 위치(VP5)에서 최대 투과율 변동비는 약 1.40%이다.
- [0114] 이와 같이, 본 발명의 실시예에 따른 액정표시장치에서는 컬럼 인버전 방식에 의해 구동하더라도, 종래에 비해 최대 투과율 변동비가 줄어들어 플리커를 개선할 수 있다.
- [0115] 또한, 본 발명의 실시예에 따른 액정표시장치는 소비전력을 절감하고 구동 회로의 발열 및 발화 문제를 해결할 수 있다.

[0116] 한편, 제1 및 제2 데이터 배선(도 5의 DL1, 도 5의 DL2)과 제3 및 제4 화소 전극(도 5의 166, 도 5의 168)을 근접하게 설계할 수 있으므로, 개구율을 향상시킬 수 있다.

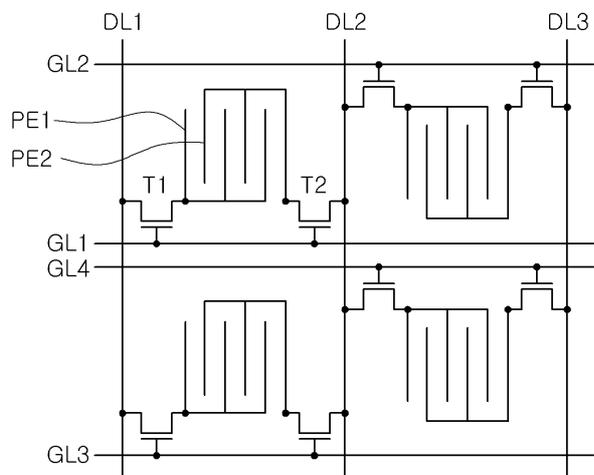
[0117] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

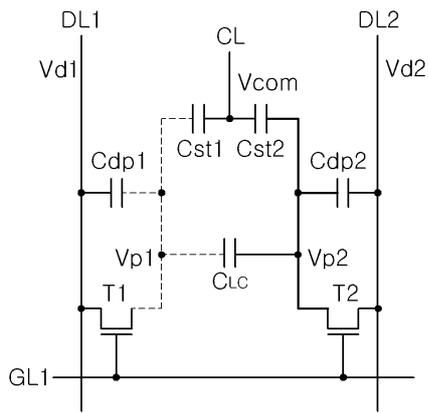
- [0118] 110: 기관 112a, 112b: 제1, 제2 게이트 배선
- 114, 115, 116, 117: 제1, 제2, 제3, 제4 게이트 전극
- 118: 공통 배선 118a, 118b: 제1, 제2 보조 공통 배선
- 120: 게이트 절연막
- 122, 123, 124, 125: 제1, 제2, 제3, 제4 반도체층
- 122a, 123a, 124a, 125a: 제1, 제2, 제3, 제4 액티브층
- 122b, 123b, 124b, 125b: 제1, 제2, 제3, 제4 오믹콘택층
- 126: 반도체 패턴 126a, 126b: 제1, 제2 패턴
- 131a, 131b, 131c: 제1, 제2, 제3 데이터 배선
- 132, 134, 136, 138: 제1, 제2, 제3, 제4 소스 전극
- 133, 135, 137, 139: 제1, 제2, 제3, 제4 드레인 전극
- 150: 보호층
- 150a, 150b, 150c, 150d: 제1, 제2, 제3, 제4 콘택홀
- 162, 164, 166, 168; 제1, 제2, 제3, 제4 화소전극
- 162a, 164a, 166a, 168a: 제1, 제2, 제3, 제4 연결부
- T1, T2, T3, T4: 제1, 제2, 제3, 제4 박막트랜지스터

도면

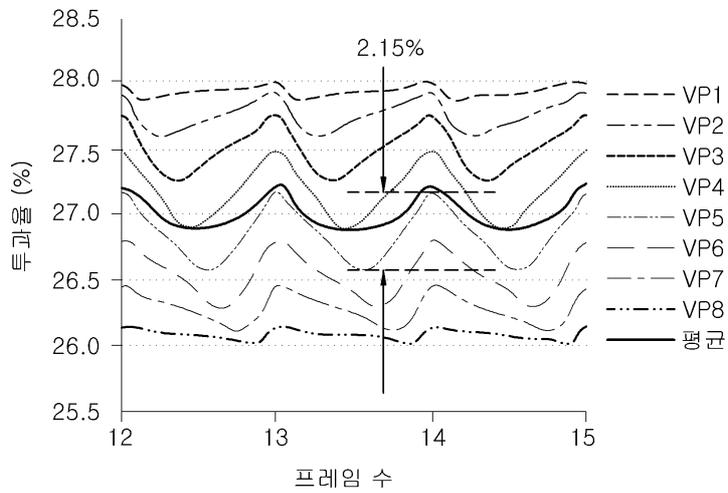
도면1



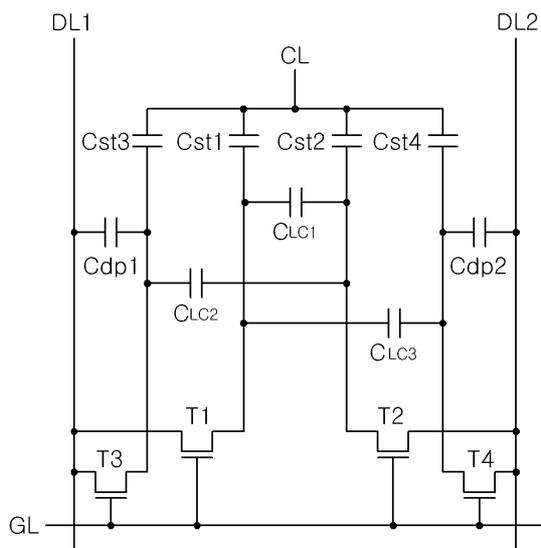
도면2



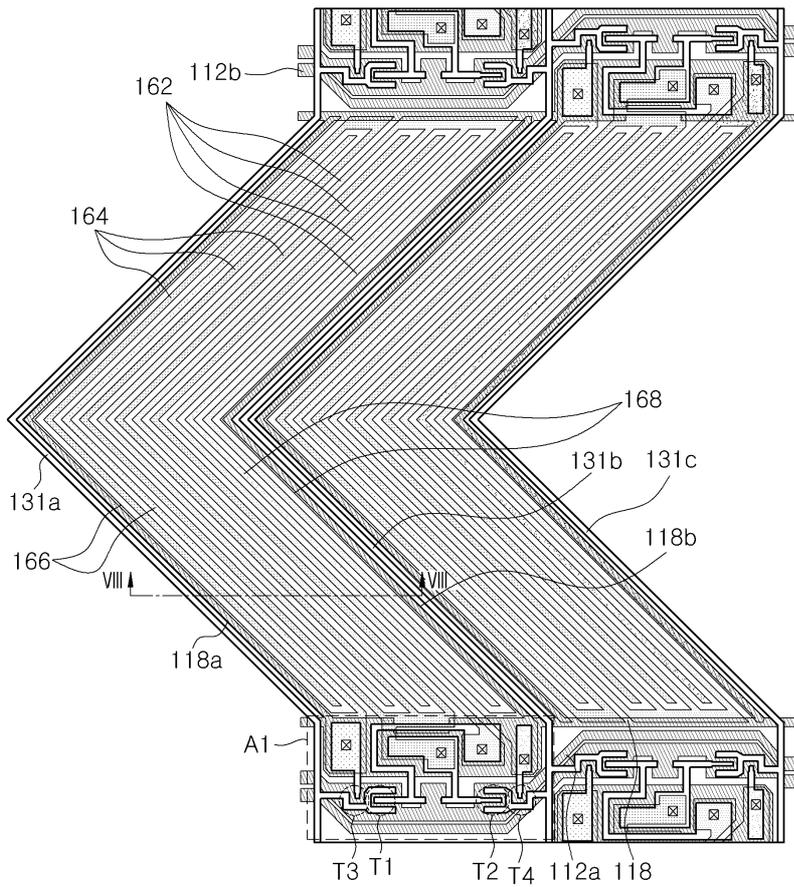
도면3



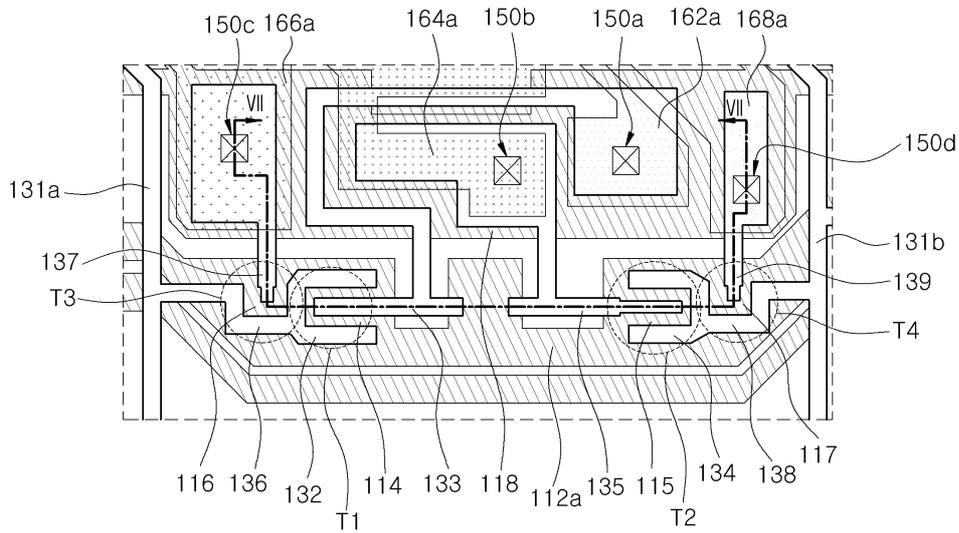
도면4



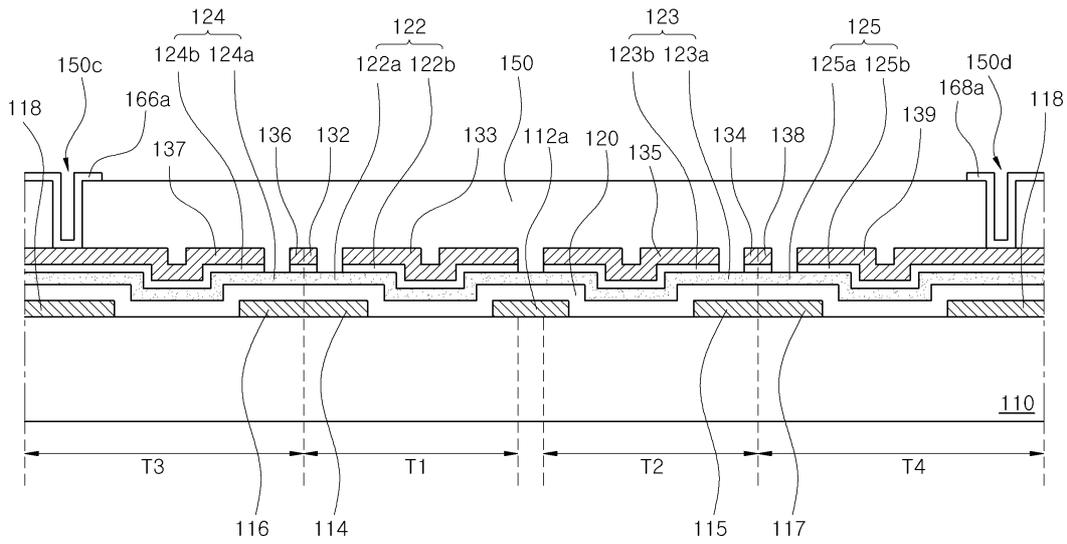
도면5



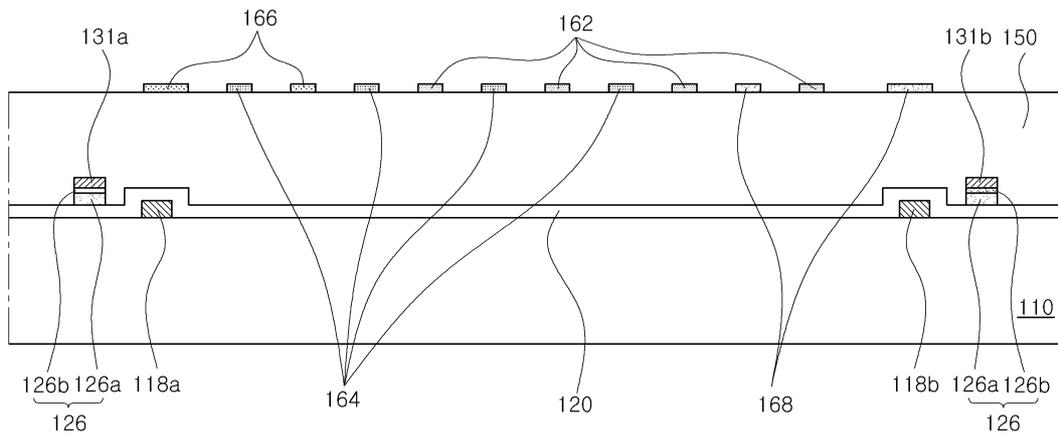
도면6



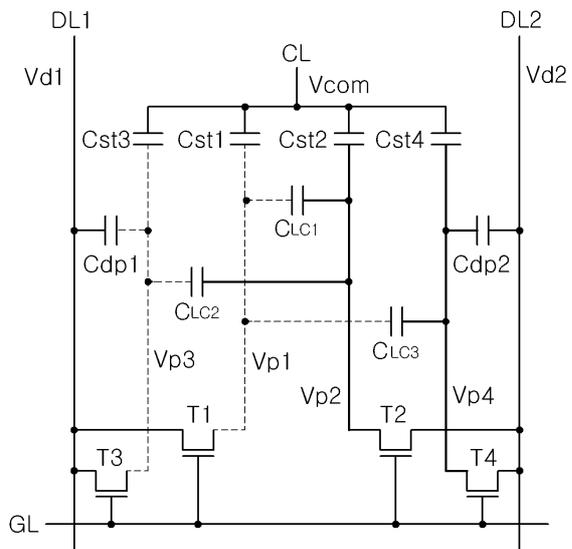
도면7



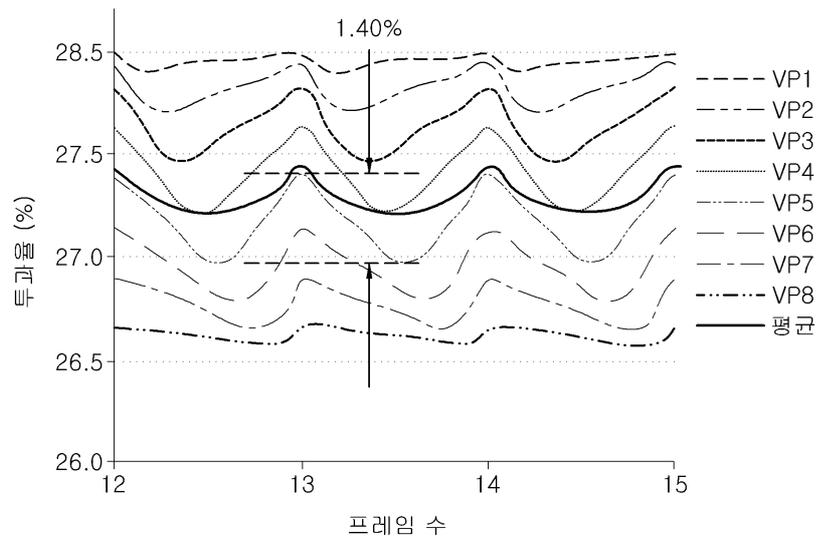
도면8



도면9



도면10



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020170126159A	公开(公告)日	2017-11-17
申请号	KR1020160056196	申请日	2016-05-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN HYUNG BEOM 신형범		
发明人	신형범		
IPC分类号	G02F1/1362		
CPC分类号	G02F1/13624 G02F1/1368 G02F1/136286 G09G2330/021 G09G2320/0247		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器阵列面板交叉并且包括栅极布线和限定像素区域的第一和第二数据线，第一和第二数据线位于像素区域中，第三和第二数据线连接到第四薄膜晶体管，第三，第一和第二连接第四薄膜晶体管，第三，第四像素电极和第三像素电极位于第一数据线上，第一像素位于电极和第四像素电极之间位于第二数据线上数据线和电极与第一和第三薄膜晶体管之间的第二像素连接到栅极布线，第一数据线和第二和第四薄膜晶体管连接到栅极布线和第二数据线。这里，第三和第四像素电极接收与第一和第二像素电极相同的信号。第三和第四像素电极与第一和第二像素电极分开，并且数据信号的影响被最小化。

