

(52) CPC특허분류

G02F 1/1343 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2320/0252 (2013.01)

명세서

청구범위

청구항 1

기관과;

상기 기관 상부에 위치하고 제1방향을 따라 연장되는 제1 게이트 배선과;

제2방향을 따라 연장되고, 상기 제1 게이트 배선과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터 배선과;

상기 제1 및 제2 화소영역의 각각에 위치하는 제1 및 제2 박막트랜지스터와;

상기 제1 및 제2 화소영역의 각각에 위치하며, 상기 제1 박막트랜지스터와 연결된 제1 화소 전극과;

상기 제1 및 제2 화소영역의 각각에 위치하며, 상기 제2 박막트랜지스터와 연결된 제2 화소 전극과;

상기 제1 및 제2 화소영역에 각각 위치하고, 상기 제2 데이터 배선과 동일층 상에 동일 물질로 이루어지는 제1 및 제2 보조 데이터 배선

을 포함하며,

상기 제1 보조 데이터 배선은 상기 제1 화소영역의 제2 화소 전극과 중첩하고, 상기 제2 보조 데이터 배선은 상기 제2 화소영역의 제1 화소 전극과 중첩하는 액정표시장치용 어레이 기판.

청구항 2

제1항에 있어서,

상기 제1 보조 데이터 배선의 양단은 상기 제1 화소영역의 제2 화소 전극 상에 놓이며, 상기 제2 보조 데이터 배선의 양단은 상기 제2 화소영역의 제1 화소 전극 상에 놓이는 액정표시장치용 어레이 기판.

청구항 3

제1항에 있어서,

상기 기관 상부에 상기 제1방향을 따라 연장되는 공통 배선과;

상기 공통 배선에서 상기 제2방향을 따라 연장되며, 상기 제1 및 제2 화소영역에 각각 위치하는 제1 및 제2 보조 공통 배선

을 더 포함하는 액정표시장치용 어레이 기판.

청구항 4

제3항에 있어서,

상기 제1 및 제2 보조 공통 배선은 상기 제1 및 제2 보조 데이터 배선과 각각 중첩하는 액정표시장치용 어레이 기판.

청구항 5

제4항에 있어서,

상기 제1 및 제2 보조 데이터 배선의 폭은 상기 제1 및 제2 보조 공통 배선의 폭보다 좁은 액정표시장치용 어레이 기판.

청구항 6

제3항에 있어서,

상기 제1 및 제2 보조 공통 배선은 상기 제1 및 제2 보조 데이터 배선과 각각 이격되는 액정표시장치용 어레이 기판.

청구항 7

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 보조 공통 배선은 상기 제1 화소영역의 제2 화소 전극과 중첩하고, 상기 제2 보조 공통 배선은 상기 제2 화소영역의 제1 화소 전극과 중첩하는 액정표시장치용 어레이 기판.

청구항 8

제1항에 있어서,

상기 제1 화소영역의 제1 박막트랜지스터는 상기 제1 게이트 배선 및 상기 제1 데이터 배선과 연결되고, 상기 제1 화소영역의 제2 박막트랜지스터는 상기 제1 게이트 배선 및 상기 제2 데이터 배선과 연결되는 액정표시장치용 어레이 기판.

청구항 9

제8항에 있어서,

상기 기판 상부에 상기 제1방향을 따라 연장되고 상기 제1 게이트 배선과 이격되는 제2 게이트 배선과;

상기 제2방향을 따라 연장되고, 상기 제2 데이터 배선과 이격되는 제3 데이터 배선을 더 포함하며,

상기 제2 화소영역의 제1 박막트랜지스터는 상기 제2 게이트 배선 및 상기 제2 데이터 배선과 연결되고, 상기 제2 화소영역의 제2 박막트랜지스터는 상기 제2 게이트 배선 및 상기 제3 데이터 배선과 연결되는 액정표시장치용 어레이 기판.

청구항 10

제1항에 있어서,

상기 제1 및 제2 화소영역의 각각에 컬러필터층을 더 포함하며, 상기 컬러필터층은 상기 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 화소 전극 사이에 위치하는 액정표시장치용 어레이 기판.

발명의 설명

기술 분야

본 발명은 액정표시장치에 관한 것으로, 특히, 응답속도를 높이고 화질을 개선할 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

[0001]

배경 기술

- [0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(liquid crystal display device: LCD device) 및 유기발광다이오드 표시장치(organic light emitting diode device: OLED device)와 같은 여러 가지 평판표시장치(flat panel display device: FPD device)가 널리 개발되어 다양한 분야에 적용되고 있다.
- [0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동 등의 장점을 가지고 있어 널리 사용되고 있다.
- [0004] 액정표시장치는 액정의 광학적 이방성과 분극 성질을 이용하는 것으로, 두 기판과 두 기판 사이의 액정층, 그리고 액정층의 액정분자를 구동하기 위한 제1 및 제2 전극을 포함한다. 따라서, 액정표시장치는, 제1 및 제2 전극에 전압을 인가하여 생성되는 전기장에 의해 액정분자의 배열을 조절하고, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현한다. 이러한 액정표시장치는 휴대폰이나 멀티미디어장치와 같은 휴대용 기기부터 노트북 또는 컴퓨터 모니터 및 대형 텔레비전에 이르기까지 다양하게 적용된다.
- [0005] 그런데, 이러한 액정표시장치에서는 액정분자의 응답속도에 따라 잔상이 발생할 수 있다.
- [0006] 또한, 액정표시장치는 액정분자를 구동하기 위한 다수의 패턴을 사진식각공정을 통해 형성하는데, 패턴 형성 과정에서 상부 패턴이 하부 패턴에 대해 어긋나게 형성될 경우, 인접한 화소영역 간에 기생용량의 차이가 발생하게 된다. 이에 따라, 플리커(flicker)가 발생하여 화질이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 액정표시장치의 응답속도를 높이고, 플리커를 방지하여 화질 저하 문제를 해결하고자 한다.

과제의 해결 수단

- [0008] 상기의 목적을 달성하기 위하여, 본 발명의 액정표시장치용 어레이 기판은, 교차하여 제1 및 제2 화소영역을 정의하는 게이트 배선과 제1 및 제2 데이터 배선을 포함하고, 상기 제1 및 제2 화소영역의 각각에 제1 및 제2 박막트랜지스터가 위치하며, 상기 제1 및 제2 화소영역의 각각에 상기 제1 박막트랜지스터와 연결된 제1 화소 전극과 상기 제2 박막트랜지스터와 연결된 제2 화소 전극이 위치하고, 상기 제2 데이터 배선과 동일층 상에 동일 물질로 이루어지는 제1 및 제2 보조 데이터 배선을 포함하며, 상기 제1 보조 데이터 배선은 상기 제1 화소영역의 제2 화소 전극과 중첩하고, 상기 제2 보조 데이터 배선은 상기 제2 화소영역의 제1 화소 전극과 중첩한다.
- [0009] 이때, 제2 데이터 배선과 제1 화소영역의 제2 화소 전극 사이에 제1 기생 커패시터가 생기고, 제2 데이터 배선과 제2 화소영역의 제1 화소 전극 사이에 제2 기생 커패시터가 생기며, 제1 화소영역에서 제1 보조 데이터 배선과 제2 화소 전극 사이에 제3 기생 커패시터가 생기고, 제2 화소영역에서 제2 보조 데이터 배선과 제1 화소 전극 사이에 제4 기생 커패시터가 생긴다.
- [0010] 이에 따라, 제1 화소영역에서 기생용량은 제1 기생 커패시터와 제3 기생 커패시터의 용량의 합이 되고, 제2 기생 커패시터와 제4 기생 커패시터의 용량의 합이 되며, 제3 기생 커패시터와 제4 기생 커패시터의 용량은 제1 기생 커패시터와 제2 기생 커패시터의 용량보다 크다.
- [0011] 따라서, 제1 및 제2 화소 전극이 제2 데이터 배선에 대해 어긋나게 형성되더라도 제1 화소영역과 제2 화소영역 사이의 기생용량 편차를 줄일 수 있다.
- [0012] 또한, 본 발명의 액정표시장치용 어레이 기판은, 게이트 배선과 이격된 공통 배선과 공통 배선으로부터 연장된 제1 및 제2 보조 공통 배선을 더 포함한다. 이때, 제1 및 제2 보조 데이터 배선은 제1 및 제2 보조 공통 배선과 각각 중첩할 수 있고, 또는 제1 및 제2 보조 데이터 배선은 제1 및 제2 보조 공통 배선과 이격될 수도 있다.

발명의 효과

- [0013] 본 발명에서는, 각 화소영역에 제1 및 제2 박막트랜지스터와 제1 및 제2 박막트랜지스터에 각각 연결되는 제1 및 제2 화소 전극을 포함하여, 제1 및 제2 화소 전극에 의해 고전압으로 액정분자를 구동할 수 있다. 따라서,

응답속도를 높일 수 있으며, 구동 전압이 높은 액정분자를 포함하는 나노 캡슐을 이용한 표시장치에도 적용할 수 있다.

[0014] 또한, 보조 데이터 배선을 이용하여 인접한 화소영역의 기생용량 편차를 줄임으로써, 플리커를 방지하고 화질 저하를 막을 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시예에 따른 액정표시장치의 회로도이다.

도 2는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관의 평면도이다.

도 3은 도 2에서 A1영역을 확대한 도면이다.

도 4는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관의 단면도로, 도 2의 IV-IV선에 대응하는 단면을 도시한다.

도 5는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관의 단면도로, 도 2의 V-V선에 대응하는 단면을 도시한다.

도 6은 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관의 단면도로, 도 3의 VI-VI선에 대응하는 단면을 도시한다.

도 7은 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기관의 평면도이다.

도 8은 도 7에서 A2영역을 확대한 도면이다.

도 9는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기관의 단면도로, 도 8의 IX-IX선에 대응하는 단면을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 액정표시장치용 어레이 기관은, 기관과, 상기 기관 상부에 위치하고 제1방향을 따라 연장되는 제1 게이트 배선과, 제2방향을 따라 연장되고, 상기 제1 게이트 배선과 교차하여 제1 및 제2 화소영역을 정의하는 제1 및 제2 데이터 배선과, 기 제1 및 제2 화소영역의 각각에 위치하는 제1 및 제2 박막트랜지스터와, 상기 제1 및 제2 화소영역의 각각에 위치하며, 상기 제1 박막트랜지스터와 연결된 제1 화소 전극과, 상기 제1 및 제2 화소영역의 각각에 위치하며, 상기 제2 박막트랜지스터와 연결된 제2 화소 전극과, 상기 제1 및 제2 화소영역에 각각 위치하고, 상기 제2 데이터 배선과 동일층 상에 동일 물질로 이루어지는 제1 및 제2 보조 데이터 배선을 포함하며, 상기 제1 보조 데이터 배선은 상기 제1 화소영역의 제2 화소 전극과 중첩하고, 상기 제2 보조 데이터 배선은 상기 제2 화소영역의 제1 화소 전극과 중첩한다.

[0017] 상기 제1 보조 데이터 배선의 양단은 상기 제1 화소영역의 제2 화소 전극 상에 놓이며, 상기 제2 보조 데이터 배선의 양단은 상기 제2 화소영역의 제1 화소 전극 상에 놓인다.

[0018] 본 발명의 액정표시장치용 어레이 기관은, 상기 기관 상부에 상기 제1방향을 따라 연장되는 공통 배선과, 상기 공통 배선에서 상기 제2방향을 따라 연장되며, 상기 제1 및 제2 화소영역에 각각 위치하는 제1 및 제2 보조 공통 배선을 더 포함한다.

[0019] 상기 제1 및 제2 보조 공통 배선은 상기 제1 및 제2 보조 데이터 배선과 각각 중첩한다.

[0020] 상기 제1 및 제2 보조 데이터 배선의 폭은 상기 제1 및 제2 보조 공통 배선의 폭보다 좁다.

[0021] 또는, 상기 제1 및 제2 보조 공통 배선은 상기 제1 및 제2 보조 데이터 배선과 각각 이격된다.

[0022] 상기 제1 보조 공통 배선은 상기 제1 화소영역의 제2 화소 전극과 중첩하고, 상기 제2 보조 공통 배선은 상기 제2 화소영역의 제1 화소 전극과 중첩한다.

[0023] 상기 제1 화소영역의 제1 박막트랜지스터는 상기 제1 게이트 배선 및 상기 제1 데이터 배선과 연결되고, 상기 제1 화소영역의 제2 박막트랜지스터는 상기 제1 게이트 배선 및 상기 제2 데이터 배선과 연결된다.

[0024] 본 발명의 액정표시장치용 어레이 기관은, 상기 기관 상부에 상기 제1방향을 따라 연장되고 상기 제1 게이트 배선과 이격되는 제2 게이트 배선과, 상기 제2방향을 따라 연장되고, 상기 제2 데이터 배선과 이격되는 제3 데이

터 배선을 더 포함하며, 상기 제2 화소영역의 제1 박막트랜지스터는 상기 제2 게이트 배선 및 상기 제2 데이터 배선과 연결되고, 상기 제2 화소영역의 제2 박막트랜지스터는 상기 제2 게이트 배선 및 상기 제3 데이터 배선과 연결된다.

- [0025] 본 발명의 액정표시장치용 어레이 기판은, 상기 제1 및 제2 화소영역의 각각에 컬러필터층을 더 포함하며, 상기 컬러필터층은 상기 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 화소 전극 사이에 위치한다.
- [0026] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치용 어레이 기판에 대하여 상세히 설명한다.
- [0027] 도 1은 본 발명의 실시예에 따른 액정표시장치의 회로도이다.
- [0028] 도 1에 도시한 바와 같이, 제1방향으로 다수의 게이트 배선(GL1, GL2, GL3, GL4)이 연장되고, 제2방향으로 다수의 데이터 배선(DL1, DL2, DL3)이 연장된다. 게이트 배선(GL1, GL2, GL3, GL4)과 데이터 배선(DL1, DL2, DL3)은 교차하여 화소영역을 정의한다. 이때, 게이트 배선(GL1, GL2, GL3, GL4) 중 2개가 한 쌍을 이루고, 데이터 배선(DL1, DL2, DL3) 중 2개와 교차하여 하나의 화소영역이 정의되어, 한 쌍의 게이트 배선(GL1, GL2, GL3, GL4)과 인접한 두 데이터 배선(DL1, DL2, DL3)에 의해 둘러싸이는 영역에는 하나의 화소영역이 위치한다.
- [0029] 따라서, 두 쌍의 게이트 배선(GL1, GL2, GL3, GL4)과 3개의 데이터 배선(DL1, DL2, DL3)에 의해 4개의 화소영역이 정의될 수 있다.
- [0030] 각 화소영역에는 제1 및 제2 박막 트랜지스터(T1, T2) 및 이에 연결된 액정 커패시터(C1c)가 위치한다. 또한, 액정 커패시터(C1c)에는 스토리지 커패시터(Cst)가 연결된다.
- [0031] 액정 커패시터(C1c)는 제1 화소 전극(도시하지 않음)과 제2 화소 전극(도시하지 않음)을 포함하며, 제1 및 제2 화소 전극은 각각 제1 및 제2 박막 트랜지스터(T1, T2)에 연결된다.
- [0032] 한 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)는 동일 게이트 배선(GL1, GL2, GL3, GL4)에 연결된다. 또한, 한 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)는 서로 다른 데이터 배선(DL1, DL2, DL3)에 연결된다.
- [0033] 이때, 제1방향을 따라 인접한 화소영역의 박막 트랜지스터들(T1, T2)은 서로 다른 게이트 배선(GL1, GL2, GL3, GL4)에 연결된다. 즉, 제1 및 제2 게이트 배선(GL1, GL2) 사이에 위치하는 화소영역들 중에서, 첫 번째 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)는 제2 게이트 배선(GL2)에 연결되고, 두 번째 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)는 제1 게이트 배선(GL1)에 연결된다.
- [0034] 이와 달리, 첫 번째 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)가 제1 게이트 배선(GL1)에 연결되고, 두 번째 화소영역의 제1 및 제2 박막 트랜지스터(T1, T2)가 제2 게이트 배선(GL2)에 연결될 수도 있다.
- [0035] 한편, 제3 및 제4 게이트 배선(GL3, GL4) 사이에 위치하는 화소영역들의 박막 트랜지스터들(T1, T2)도 화소영역 별로 제3 및 제4 게이트 배선(GL3, GL4)과 번갈아 연결된다. 이때, 연결 순서는 제1 및 제2 게이트 배선(GL1, GL2) 사이에 위치하는 화소영역들의 박막 트랜지스터들(T1, T2)과 같을 수 있으며, 또는 반대일 수도 있다.
- [0036] -제1실시예-
- [0037] 도 2는 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 평면도이고, 도 3은 도 2에서 A1영역을 확대한 도면이다.
- [0038] 도 2와 도 3에 도시한 바와 같이, 제1방향을 따라 게이트 배선(112)이 형성되고, 제2방향을 따라 제1, 제2, 제3 데이터 배선(131a, 131b, 131c)이 형성되며, 게이트 배선(112)과 제1, 제2, 제3 데이터 배선(131a, 131b, 131c)은 교차하여 화소영역을 정의한다. 이때, 제1 및 제2 데이터 배선(131a, 131b) 사이에 제1 화소영역이 위치하고, 제2 및 제3 데이터 배선(131b, 131c) 사이에 제2 화소영역이 위치한다.
- [0039] 각 데이터 배선(131a, 131b, 131c)의 양측에는 제1 및 제2 보조 데이터 배선(132a, 132b)이 위치하고, 제1 및 제2 보조 데이터 배선(132a, 132b)은 각 데이터 배선(131a, 131b, 131c)에 연결된다.
- [0040] 이때, 제2 데이터 배선(131b)과 연결되는 제1 보조 데이터 배선(132a)은 제1 화소영역에 위치하고, 제2 데이터 배선(131b)과 연결되는 제2 보조 데이터 배선(132b)은 제2 화소영역에 위치한다.
- [0041] 여기서, 제1 데이터 배선(131a)이 표시장치의 첫 번째 데이터 배선일 경우, 제1 데이터 배선(131a)의 양측에는 제1 및 제2 보조 데이터 배선(132a, 132b)이 형성되지 않는다. 또한, 제3 데이터 배선(131c)이 표시장치의 마지막 데이터 배선일 경우에도, 제3 데이터 배선(131c)의 양측에는 제1 및 제2 보조 데이터 배선(132a, 132b)이

형성되지 않는다.

- [0042] 한편, 게이트 배선(112)과 이격되어 제1방향을 따라 공통 배선(118)이 형성되고, 제1 및 제2 보조 공통 배선(118a, 118b)이 공통 배선(118)에서 제2방향을 따라 연장된다. 제1 및 제2 보조 공통 배선(118a, 118b)은 각 데이터 배선(131a, 131b, 131c)의 양측에 각각 위치하며, 제1 및 제2 보조 공통 배선(118a, 118b)은 제1 및 제2 보조 데이터 배선(132a, 132b)과 각각 중첩한다.
- [0043] 제1 및 제2 화소영역의 각각에는 제1 및 제2 박막트랜지스터가 형성되며, 제1 및 제2 박막트랜지스터는 게이트 배선(112)과 데이터 배선(131a, 131b, 131c)의 교차 지점에 위치한다.
- [0044] 제1 박막 트랜지스터는 제1 게이트 전극(114)과, 제1 반도체층(도시하지 않음), 제1 소스 전극(133) 및 제1 드레인 전극(134)을 포함하고, 제2 박막 트랜지스터는 제2 게이트 전극(116)과, 제2 반도체층(도시하지 않음), 제2 소스 전극(135) 및 제2 드레인 전극(136)을 포함한다.
- [0045] 제1 화소영역에서, 제1 게이트 전극(114)과 제2 게이트 전극(116)은 게이트 배선(112)과 연결되고, 제1 소스 전극(133)은 제1 데이터 배선(131a)에 연결되며, 제2 소스 전극(135)은 제2 데이터 배선(131b)에 연결된다. 제1 드레인 전극(134)은 제1 소스 전극(133)과 이격되어 위치하고, 제2 드레인 전극(136)은 제2 소스 전극(135)과 이격되어 위치한다.
- [0046] 제1 및 제2 게이트 전극(114, 116)은 게이트 배선(112)의 일부로 이루어지며, 게이트 배선(112)의 다른 부분보다 넓은 폭을 가질 수 있다. 이와 달리, 제1 및 제2 게이트 전극(114, 116)은 게이트 배선(112)으로부터 제2방향으로 연장될 수도 있다.
- [0047] 또한, 제1 소스 전극(133)은 제1 데이터 배선(131a)에서 연장되고, 제2 소스 전극(135)은 제2 데이터 배선(131b)에서 연장된다. 이와 달리, 제1 및 제2 소스 전극(133, 135)은 각각 제1 및 제2 데이터 배선(131a, 131b)의 일부로 이루어질 수도 있다.
- [0048] 제1 소스 전극(133)과 제1 드레인 전극(134) 사이의 제1 반도체층 및 제2 소스 전극(135)과 제2 드레인 전극(136) 사이의 제2 반도체층은 각각 제1 박막트랜지스터 및 제2 박막트랜지스터의 채널이 된다.
- [0049] 여기서, 제1 및 제2 박막 트랜지스터의 채널은 곡선(curved line) 형태일 수 있다. 보다 상세하게, 제1 및 제2 소스 전극(133, 135)은 두 개 이상의 U자 형상이 연결된 모양을 갖고, 제1 및 제2 드레인 전극(134, 136)은 포크(fork) 형상을 가지며, 제1 소스 및 드레인 전극(133, 134)과 제2 소스 및 드레인 전극(135, 136)은 서로 엇갈리게 배치될 수 있다. 따라서, 제1 및 제2 박막 트랜지스터의 채널은 웨이브 형상일 수 있다. 이러한 형상을 갖는 제1 및 제2 박막 트랜지스터의 채널은 채널의 폭과 길이의 비(W/L)가 크므로 구동 전류를 증가시킬 수 있으며, 액정 커패시터의 충전을 빠르게 할 수 있다.
- [0050] 그러나, 제1 및 제2 박막 트랜지스터의 채널 형상은 이에 제한되지 않고 달라질 수 있다.
- [0051] 제1 및 제2 드레인 전극(134, 136)의 일부는 공통 배선(118)과 중첩하여 각각 제1 및 제2 스토리지 커패시터를 형성한다.
- [0052] 한편, 도시하지 않았지만, 제2 화소영역에서, 제1 박막트랜지스터의 제1 게이트 전극과 제2 박막트랜지스터의 제2 게이트 전극은 제1 화소영역의 제1 및 제2 박막트랜지스터와는 다른 게이트 배선에 연결되고, 제1 소스 전극은 제2 데이터 배선(131b)에 연결되며, 제2 소스 전극은 제3 데이터 배선(131c)에 연결된다.
- [0053] 제1 및 제2 화소영역의 각각에는 제1 화소 전극(162) 및 제2 화소 전극(164)이 위치한다. 제1 화소 전극(162)과 제2 화소 전극(164) 각각은 실질적으로 제2방향을 따라 연장되고, 제1방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다. 제1 화소 전극(162)의 패턴과 제2 화소 전극(164)의 패턴은 제1방향을 따라 이격되어 번갈아 배치된다.
- [0054] 제2 화소 전극(164)의 패턴 개수는 제1 화소 전극(162)의 패턴 개수와 동일하며, 도면 상에서 각 데이터 배선(131a, 131b, 131c)의 우측에는 제1 화소 전극(162)의 일 패턴이 인접하여 위치하고, 각 데이터 배선(131a, 131b, 131c)의 좌측에는 제2 화소 전극(164)의 일 패턴이 인접하여 위치한다. 따라서, 각 데이터 배선(131a, 131b, 131c)은 제1 화소 전극(162)의 일 패턴과 제2 화소 전극(164)의 일 패턴 사이에 위치한다. 데이터 배선(131a, 131b, 131c)에 인접한 제1 화소 전극(162)의 일 패턴 및 제2 화소 전극(164)의 일 패턴은 제1 화소 전극(162)의 다른 패턴들 및 제2 화소 전극(164)의 다른 패턴들 보다 넓은 폭을 가진다.
- [0055] 여기서, 제1 화소 전극(162)의 일 패턴은 제2 보조 데이터 배선(132b)과 중첩하고, 제2 화소 전극(164)의 일 패

턴은 제1 보조 데이터 배선(132a)과 중첩한다.

- [0056] 또한, 제1 화소 전극(162)의 일 패턴은 제2 보조 공통 배선(118b)과 중첩하고, 제2 화소 전극(164)의 일 패턴은 제1 보조 공통 배선(118a)과 중첩한다. 이러한 제1 및 제2 보조 공통 배선(118a, 118b)은 백라이트 유닛(도시하지 않음)으로부터의 빛을 차단하고, 데이터 배선(131a, 131b, 131c)의 신호가 화소영역 내에 미치는 영향을 차폐하여 크로스토크(crosstalk)를 방지한다.
- [0057] 제1 화소 전극(162)과 제2 화소 전극(164)의 각 패턴은 화소영역의 중앙을 기준으로 꺾어져 있어 제2방향에 대해 일정 각도를 가지며, 제1방향을 따라 화소영역의 중앙을 지나가는 가상의 선에 대해 실질적으로 대칭인 구조를 가질 수 있다. 여기서, 제1 화소 전극(162)과 제2 화소 전극(164)은 제2방향에 대해 45도 또는 이보다 작은 각도를 가지고 꺾어질 수 있다.
- [0058] 한편, 데이터 배선(131a, 131b, 131c)도 제1 및 제2 화소 전극(162, 164)에 대응하여 꺾어진 부분을 포함할 수 있다. 또한, 제1 및 제2 보조 데이터 배선(132a, 132b)과 제1 및 제2 보조 공통 배선(118a, 118b)도 제1 및 제2 화소 전극(162, 164)에 대응하여 꺾어진 부분을 포함할 수 있다.
- [0059] 제1 화소 전극(162)의 각 패턴의 일단은 제1 화소연결부(163)를 통해 서로 연결되고, 제2 화소 전극(164)의 각 패턴의 일단은 제2 화소연결부(165)를 통해 서로 연결된다. 제1 화소연결부(163)와 제2 화소연결부(165)는 제1 방향을 따라 연장되고, 화소영역의 마주대하는 양측에 각각 위치한다.
- [0060] 제1 화소연결부(164)는 연장되어 제1 콘택홀(160a)을 통해 제1 드레인 전극(134)과 접촉하고, 제2 화소 전극(164)의 일 패턴의 타단은 연장되어 제2 콘택홀(160b)을 통해 제2 드레인 전극(136)과 접촉한다.
- [0061] 도 4와 도 5 및 도 6은 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기판의 단면도로, 도 4는 도 2의 IV-IV선에 대응하는 단면을 도시하고, 도 5는 도 2의 V-V선에 대응하는 단면을 도시하며, 도 6은 도 3의 VI-VI선에 대응하는 단면을 도시한다.
- [0062] 도 4와 도 5 및 도 6에 도시한 바와 같이, 투명한 절연 기판(110) 위에 도전성 물질로 이루어진 게이트 배선(도 2의 112)과 제1 게이트 전극(114), 제2 게이트 전극(116), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b)이 형성된다.
- [0063] 기판(110)은 유리나 플라스틱으로 이루어질 수 있다. 또한, 게이트 배선(112)과 제1 및 제2 게이트 전극(114, 116), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0064] 이어, 게이트 배선(112)과 제1 및 제2 게이트 전극(114, 218), 공통 배선(118), 그리고 제1 및 제2 보조 공통 배선(118a, 118b) 상부에는 게이트 절연막(120)이 형성되어 이들을 덮는다. 게이트 절연막(120)은 질화 실리콘(SiNx)이나 산화 실리콘(SiO₂)으로 이루어질 수 있다.
- [0065] 게이트 절연막(120) 위에는 제1 및 제2 반도체층(122, 124)이 형성된다. 제1 반도체층(122)은 제1 게이트 전극(114)과 대응하고, 제2 반도체층(124)은 제2 게이트 전극(116)과 대응한다.
- [0066] 제1 반도체층(122)은 진성 비정질 실리콘의 제1 액티브층(122a)과 불순물 도핑된 비정질 실리콘의 제1 오믹 콘택층(122b)을 포함하고, 제2 반도체층(124)은 진성 비정질 실리콘의 제2 액티브층(124a)과 불순물 도핑된 비정질 실리콘의 제2 오믹 콘택층(124b)을 포함한다. 이와 달리, 제1 및 제2 반도체층(122, 124)은 산화물 반도체로 이루어질 수 있다. 이 경우, 제1 및 제2 오믹 콘택층(122b, 124b)은 생략되고, 제1 및 제2 반도체층(122, 124)의 상부에는 제1 및 제2 게이트 전극(114, 116)에 대응하여 식각 방지막이 형성될 수 있다.
- [0067] 다음, 제1 반도체층(122) 상부에는 제1 소스 및 드레인 전극(133, 134)이 형성되고, 제2 반도체층(124) 상부에는 제2 소스 및 드레인 전극(135, 136)이 형성된다. 제1 소스 및 드레인 전극(133, 134)은 제1 반도체층(122) 상부에서 제1 게이트 전극(114)을 중심으로 이격되어 위치하고, 제1 오믹 콘택층(122b)은 제1 소스 및 드레인 전극(133, 134)과 동일한 모양을 가진다. 또한, 제2 소스 및 드레인 전극(135, 136)은 제2 반도체층(124) 상부에서 제2 게이트 전극(116)을 중심으로 이격되어 위치하고, 제2 오믹 콘택층(124b)은 제2 소스 및 드레인 전극(135, 136)과 동일한 모양을 가진다. 제1 소스 및 드레인 전극(133, 134) 사이의 제1 액티브층(122a)과 제2 소스 및 드레인 전극(135, 236) 사이의 제2 액티브층(124a)은 노출된다.
- [0068] 제1 및 제2 드레인 전극(134, 136)의 일부는 공통 배선(118)과 중첩하여 각각 제1 및 제2 스토리지 커패시터를

형성한다. 공통 배선(118)의 중첩 부분은 제1 및 제2 스토리지 커패시터의 제1 커패시터 전극을 이루고, 제1 및 제2 드레인 전극(134, 136)의 중첩 부분은 각각 제1 및 제2 스토리지 커패시터의 제2 커패시터 전극을 이룬다. 이때, 공통 배선(218)의 중첩 부분은 다른 부분에 비해 넓은 폭을 가질 수 있다.

[0069] 제1 게이트 전극(114)과 제1 반도체층(122), 제1 소스 전극(133), 그리고 제1 드레인 전극(134)은 제1 박막 트랜지스터를 이루고, 제2 게이트 전극(116)과 제2 반도체층(124), 제2 소스 전극(135), 그리고 제2 드레인 전극(136)은 제2 박막 트랜지스터를 이룬다. 제1 소스 및 드레인 전극(133, 134) 사이에 노출된 제1 액티브층(122a)은 제1 박막 트랜지스터의 채널이 되고, 제2 소스 및 드레인 전극(135, 136) 사이에 노출된 제2 액티브층(124a)은 제2 박막 트랜지스터의 채널이 된다.

[0070] 한편, 제1 소스 및 드레인 전극(133, 134) 그리고 제2 소스 및 드레인 전극(135, 136)과 동일 물질로 동일층 상에 데이터 배선(131a, 131b)과 제1 및 제2 보조 데이터 배선(132a, 132b)이 형성된다.

[0071] 데이터 배선(131a, 131b)은 게이트 배선(도 2의 112)과 교차하여 화소영역을 정의하며, 제1 및 제2 보조 데이터 배선(132a, 132b)은 각 데이터 배선(131a, 131b)의 양측에 각각 위치한다.

[0072] 데이터 배선(131a, 131b)은 제1 및 제2 보조 공통 배선(118a, 118b) 사이에 위치하고, 제1 및 제2 보조 데이터 배선(132a, 132b)은 제1 및 제2 보조 공통 배선(118a, 118b)과 각각 중첩한다. 이때, 제1 및 제2 보조 데이터 배선(132a, 132b)은 제1 및 제2 보조 공통 배선(118a, 118b) 보다 좁은 폭을 가져, 제1 및 제2 보조 공통 배선(118a, 118b)의 일부는 각각 제1 및 제2 보조 데이터 배선(132a, 132b)으로 덮이지 않고 노출된다. 일례로, 제1 및 제2 보조 공통 배선(118a, 118b)의 폭은 제1 및 제2 보조 데이터 배선(132a, 132b)의 두 배일 수 있다.

[0073] 제1 및 제2 소스 전극(133, 135)과, 제1 및 제2 드레인 전극(134, 136), 제1 및 제2 데이터 배선(131a, 131b), 그리고 제1 및 제2 보조 데이터 배선(132a, 132b)은 알루미늄(aluminum)이나 몰리브덴(molybdenum), 니켈(nickel), 크롬(chromium), 구리(copper) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.

[0074] 여기서, 제1 및 제2 반도체층(122, 124)과 제1 및 제2 소스 전극(133, 135), 제1 및 제2 드레인 전극(134, 136), 제1 및 제2 데이터 배선(131a, 131b), 그리고 제1 및 제2 보조 데이터 배선(132a, 132b)은 하나의 마스크를 이용한 동일 사진식각공정을 통해 형성될 수 있다. 이에 따라, 제1 및 제2 데이터 배선(131a, 131b) 각각의 하부에 제1 및 제2 반도체층(122, 124)과 동일 물질로 이루어진 제1 반도체 패턴(126)이 형성되고, 제1 및 제2 보조 데이터 배선(132a, 132b) 각각의 하부에 제1 및 제2 반도체층(122, 124)과 동일 물질로 이루어진 제2 반도체 패턴(128)이 형성된다. 즉, 제1 및 제2 반도체 패턴(126, 128)의 각각은 진성 비정질 실리콘의 제1패턴(126a, 128a)과 불순물 도핑된 비정질 실리콘의 제2패턴(126b, 128b)을 포함한다.

[0075] 이와 달리, 제1 및 제2 반도체층(122, 124)은 제1 및 제2 소스 전극(133, 135)과, 제1 및 제2 드레인 전극(134, 136), 제1 및 제2 데이터 배선(131a, 131b), 그리고 제1 및 제2 보조 데이터 배선(132a, 132b)과 다른 마스크를 이용한 다른 사진식각공정을 통해 형성될 수도 있다. 이 경우, 제1 반도체층(122)의 측면은 제1 소스 및 드레인 전극(133, 134)으로 덮이고, 제2 반도체층(124)의 측면은 제2 소스 및 드레인 전극(135, 136)으로 덮이며, 제1 및 제2 데이터 배선(131a, 131b) 하부의 제1 반도체 패턴(126)과 제1 및 제2 보조 데이터 배선(132a, 132b) 하부의 제2 반도체 패턴(128)은 생략될 수 있다.

[0076] 다음, 제1 및 제2 소스 전극(133, 135)과, 제1 및 제2 드레인 전극(134, 136), 제1 및 제2 데이터 배선(131a, 131b), 그리고 제1 및 제2 보조 데이터 배선(132a, 132b) 상부에는 보호층(140)이 형성된다. 보호층(140)은 산화 실리콘(SiO_2)나 질화 실리콘(SiNx)의 무기절연물질로 형성될 수 있다.

[0077] 보호층(140) 상부의 인접한 화소영역 사이에는 블랙 매트릭스(152)가 형성된다. 블랙 매트릭스(152)는 각 데이터 배선(131a, 131b)을 덮으며, 제1 및 제2 보조 공통 배선(118a, 118b)과도 중첩할 수 있다.

[0078] 보호층(140) 및 블랙 매트릭스(152) 상부의 각 화소영역에는 컬러필터층(154)이 형성된다. 컬러필터층(154)은 적, 녹, 청색 컬러필터를 포함하며, 하나의 컬러필터가 하나의 화소영역에 위치한다.

[0079] 컬러필터층(154)은 각 화소영역의 제1 및 제2 보조 데이터 배선(132a, 132b)을 덮으며, 데이터 배선(131a, 132b)과 부분적으로 중첩할 수 있다.

[0080] 한편, 컬러필터층(154)은 제1 및 제2 박막트랜지스터 상부에도 형성될 수 있다.

[0081] 컬러필터층(154) 상부에는 오버코트층(160)이 형성된다. 오버코트층(260)은 평탄한 표면을 가지며, 보호층

(140)과 함께 제1 드레인 전극(134)을 노출하는 제1 콘택홀(160a)과 제2 드레인 전극(136)을 노출하는 제2 콘택홀(160b)을 가진다. 이때, 제1 및 제2 콘택홀(160a, 160b)은 컬러필터층(154) 내에도 형성될 수 있다.

[0082] 오버코트층(160)은 포토아크릴(photo acryl)로 이루어질 수 있다.

[0083] 오버코트층(160) 상부의 각 화소영역에는 제1 화소 전극(162)과 제2 화소 전극(164)이 형성된다. 제1 화소 전극(162)과 제2 화소 전극(164) 각각은 실질적으로 제2방향을 따라 연장되고, 제1방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다. 제2 화소 전극(164)의 패턴은 제1 화소 전극(162)의 패턴과 제1방향을 따라 이격되어 번갈아 배치된다.

[0084] 여기서, 데이터 배선(131a, 131b)에 인접한 제1 화소 전극(162)의 일 패턴은 제1 화소 전극(162)의 다른 패턴들에 비해 넓은 폭을 가지며, 제2 보조 공통 배선(118b) 및 제2 보조 데이터 배선(132b)과 중첩한다. 이때, 제1 화소 전극(162)의 일 패턴은 제2 보조 공통 배선(118b)보다 넓은 폭을 가지며, 일례로, 제1 화소 전극(162)의 일 패턴의 폭은 제2 보조 공통 배선(118b)의 두 배일 수 있다.

[0085] 또한, 데이터 배선(131a, 131b)에 인접한 제2 화소 전극(164)의 일 패턴은 제2 화소 전극(164)의 다른 패턴들에 비해 넓은 폭을 가지며, 제1 보조 공통 배선(118a) 및 제1 보조 데이터 배선(132a)과 중첩한다. 이때, 제2 화소 전극(164)의 일 패턴은 제1 보조 공통 배선(118a)보다 넓은 폭을 가지며, 일례로, 제2 화소 전극(164)의 일 패턴의 폭은 제1 보조 공통 배선(118a)의 두 배일 수 있다.

[0086] 제1 보조 데이터 배선(132a)과 제2 보조 데이터 배선(132b)의 폭은 노광 분해능을 고려하여 가능한 작은 폭으로 형성하는 것이 바람직하다.

[0087] 일례로, 제1 화소 전극(162)의 일 패턴과 제2 화소 전극(164)의 일 패턴의 폭은 약 7 내지 9 마이크로미터일 수 있고, 제1 보조 공통 배선(118a)과 제2 보조 공통 배선(118b)의 폭은 약 4 내지 5 마이크로미터일 수 있으며, 제1 보조 데이터 배선(132a)과 제2 보조 데이터 배선(132b)의 폭은 약 2 내지 3 마이크로미터일 수 있다. 또한, 데이터 배선(131a, 131b)의 폭은 약 5 내지 6 마이크로미터일 수 있다.

[0088] 제1 화소 전극(162)과 제2 화소 전극(164)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도전물질로 형성될 수 있다.

[0089] 또한, 제1 화소연결부(163)와 제2 화소연결부(도 2의 165)가 제1 화소 전극(162) 및 제2 화소 전극(164)과 동일층 상에 동일 물질로 형성된다. 제1 화소연결부(163)는 제1 화소 전극(162)의 패턴들 일단과 연결되어 있으며, 공통 배선(118) 및 제1 드레인 전극(134)과 중첩하고, 제1 콘택홀(160a)을 통해 제1 드레인 전극(134)과 접촉한다.

[0090] 또한, 제2 화소연결부(165)는 제2 화소 전극(164)의 패턴들 일단과 연결되어 있으며, 제2 화소 전극(164)의 일 패턴은 공통 배선(118) 및 제2 드레인 전극(136)과 중첩하고, 제2 콘택홀(160b)을 통해 제2 드레인 전극(136)과 접촉한다.

[0091] 이러한 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관에서는, 한 화소영역에 제1 및 제2 화소 전극(162, 164)을 형성하고, 제1 및 제2 박막 트랜지스터를 통해 제1 및 제2 화소 전극(162, 164)에 각각 인가되는 전압에 의해 액정분자를 구동시킨다. 따라서, 고전압으로 액정분자를 구동할 수 있으므로, 액정분자의 응답속도를 빠르게 할 수 있으며, 구동 전압이 높은 액정분자를 포함하는 나노 캡슐을 이용한 표시장치에도 적용할 수 있다.

[0092] 한편, 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관은 저전압 구동에도 이용될 수 있는데, 이때, 제1 및 제2 화소 전극(162, 164)의 전압 차는 종래의 화소 전극과 공통 전극의 전압 차에 대응하며, 구동 전압을 줄여 소비 전력을 감소시킬 수 있다.

[0093] 또한, 본 발명의 제1실시예에 따른 액정표시장치용 어레이 기관에서는, 제1 및 제2 화소 전극(162, 164)이 각 데이터 배선(131a, 131b)에 대해 어긋나게 형성되더라도, 각 데이터 배선(131a, 131b)의 양측에 발생하는 기생 용량을 균일하게 함으로써, 플리커(flicker)를 방지할 수 있다.

[0094] 보다 상세하게, 도 6에 도시한 바와 같이, 제2 데이터 배선(131b)과 이에 인접한 제2 화소 전극(164)의 일 패턴은 제1 기생 커패시터(C1)를 형성하고, 제2 데이터 배선(131b)과 이에 인접한 제1 화소 전극(162)의 일 패턴은 제2 기생 커패시터(C2)를 형성한다. 또한, 중첩하는 제1 보조 데이터 배선(132a)과 제2 화소 전극(164)의 일 패턴은 제3 기생 커패시터(C3)를 형성하고, 중첩하는 제2 보조 데이터 배선(132b)과 제1 화소 전극(162)의 일

패턴은 제4 기생 커패시터(C4)를 형성한다.

- [0095] 여기서, 제1 기생 커패시터(C1)는 제2 기생 커패시터(C2)와 동일한 용량을 가지며, 제3 기생 커패시터(C3)는 제4 기생 커패시터(C4)와 동일한 용량을 가진다. 또한, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)는 전극의 중첩에 의해 생기는 것으로, 제1 기생 커패시터(C1)와 제2 기생 커패시터(C2)보다 상당히 큰 용량을 가지며, 약 5배 이상의 용량을 가질 수 있다.
- [0096] 따라서, 제2 데이터 배선(131b)의 좌측 제1 화소영역에서 기생용량은 제1 기생 커패시터(C1)와 제3 기생 커패시터(C3)의 용량 합이 되고, 제2 데이터 배선(131b)의 우측 제2 화소영역에서 기생용량은 제2 기생 커패시터(C2)와 제4 기생 커패시터(C4)의 용량 합이 된다.
- [0097] 그런데, 제1 및 제2 화소 전극(162, 164)이 제2 데이터 배선(131b)에 대해 어긋나게 형성될 경우, 제1 화소 전극(162)의 일 패턴과 제2 데이터 배선(131b) 사이의 거리는 제2 화소 전극(164)의 일 패턴과 제2 데이터 배선(131b) 사이의 거리와 달라진다. 따라서, 제1 기생 커패시터(C1)의 용량은 제2 기생 커패시터(C2)의 용량과 달라진다.
- [0098] 그러나, 제1 및 제2 화소 전극(162, 164)이 데이터 배선(131b)에 대해 어긋나게 형성되더라도, 제1 보조 데이터 배선(132a)의 양단은 제2 화소 전극(164)의 일 패턴 상에 놓이므로, 제2 보조 데이터 배선(132b)의 양단은 제1 화소 전극(162)의 일 패턴 상에 놓이므로, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)의 용량은 변하지 않으며, 앞서 언급한 바와 같이, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)의 용량은 제1 기생 커패시터(C1)와 제2 기생 커패시터(C2)보다 크므로, 제1 화소영역에서의 기생용량과 제2 화소영역에서의 기생용량 간의 차이는 크지 않다.
- [0099] 따라서, 제1 및 제2 화소 전극(162, 164)이 데이터 배선(131b)에 대해 어긋나게 형성되더라도 제1 화소영역과 제2 화소영역 사이의 기생용량 편차를 줄여 플리커를 방지할 수 있다.
- [0100] 또한, 이러한 제1 및 제2 보조 데이터 배선(132a, 132b)은 개구율에 영향을 미치지 않는 제1 화소 전극(162)과 제2 화소 전극(164)의 일 패턴 하부에 위치하므로, 개구율 저하 없이 플리커를 방지할 수 있다.
- [0101] 한편, 본 발명의 제1 실시예에 따른 어레이 기판은 컬러필터층(154)을 포함하므로, 대향 기판과의 합착 마진을 줄여 개구율을 높일 수 있다.
- [0102] -제2 실시예-
- [0103] 도 7은 본 발명의 제2 실시예에 따른 액정표시장치용 어레이 기판의 평면도이고, 도 8은 도 7에서 A2영역을 확대한 도면이다.
- [0104] 도 7과 도 8에 도시한 바와 같이, 제1 방향을 따라 게이트 배선(212)이 형성되고, 제2 방향을 따라 제1, 제2, 제3 데이터 배선(231a, 231b, 231c)이 형성되며, 게이트 배선(212)과 제1, 제2, 제3 데이터 배선(231a, 231b, 231c)은 교차하여 화소영역을 정의한다. 이때, 제1 및 제2 데이터 배선(231a, 231b) 사이에 제1 화소영역이 위치하고, 제2 및 제3 데이터 배선(231b, 231c) 사이에 제2 화소영역이 위치한다.
- [0105] 각 데이터 배선(231a, 231b, 231c)의 양측에는 제1 및 제2 보조 데이터 배선(232a, 232b)이 위치하고, 제1 및 제2 보조 데이터 배선(232a, 232b)은 각 데이터 배선(231a, 231b, 231c)에 연결된다.
- [0106] 이때, 제2 데이터 배선(231b)과 연결되는 제1 보조 데이터 배선(232a)은 제1 화소영역에 위치하고, 제2 데이터 배선(231b)과 연결되는 제2 보조 데이터 배선(232b)은 제2 화소영역에 위치한다.
- [0107] 여기서, 제1 데이터 배선(231a)이 표시장치의 첫 번째 데이터 배선일 경우, 제1 데이터 배선(231a)의 양측에는 제1 및 제2 보조 데이터 배선(232a, 232b)이 형성되지 않는다. 또한, 제3 데이터 배선(231c)이 표시장치의 마지막 데이터 배선일 경우에도, 제3 데이터 배선(231c)의 양측에는 제1 및 제2 보조 데이터 배선(232a, 232b)이 형성되지 않는다.
- [0108] 한편, 게이트 배선(212)과 이격되어 제1 방향을 따라 공통 배선(218)이 형성되고, 제1 및 제2 보조 공통 배선(218a, 218b)이 공통 배선(218)에서 제2 방향을 따라 연장된다. 제1 및 제2 보조 공통 배선(218a, 218b)은 각 데이터 배선(231a, 231b, 231c)의 양측에 각각 위치하며, 제1 및 제2 보조 공통 배선(218a, 218b)은 제1 및 제2 보조 데이터 배선(232a, 232b)과 각각 이격된다.
- [0109] 제1 및 제2 화소영역의 각각에는 제1 및 제2 박막트랜지스터가 형성되며, 제1 및 제2 박막트랜지스터는 게이트

배선(212)과 데이터 배선(231a, 231b, 231c)의 교차 지점에 위치한다.

- [0110] 제1 박막 트랜지스터는 제1 게이트 전극(214)과, 제1 반도체층(도시하지 않음), 제1 소스 전극(233) 및 제1 드레인 전극(234)을 포함하고, 제2 박막 트랜지스터는 제2 게이트 전극(216)과, 제2 반도체층(도시하지 않음), 제2 소스 전극(235) 및 제2 드레인 전극(236)을 포함한다.
- [0111] 제1 화소영역에서, 제1 게이트 전극(214)과 제2 게이트 전극(216)은 게이트 배선(212)과 연결되고, 제1 소스 전극(233)은 제1 데이터 배선(231a)에 연결되며, 제2 소스 전극(235)은 제2 데이터 배선(231b)에 연결된다. 제1 드레인 전극(234)은 제1 소스 전극(233)과 이격되어 위치하고, 제2 드레인 전극(236)은 제2 소스 전극(235)과 이격되어 위치한다.
- [0112] 제1 및 제2 게이트 전극(214, 216)은 게이트 배선(212)의 일부로 이루어지며, 게이트 배선(212)의 다른 부분보다 넓은 폭을 가질 수 있다. 이와 달리, 제1 및 제2 게이트 전극(214, 216)은 게이트 배선(212)으로부터 제2방향으로 연장될 수도 있다.
- [0113] 또한, 제1 소스 전극(233)은 제1 데이터 배선(231a)에서 연장되고, 제2 소스 전극(235)은 제2 데이터 배선(231b)에서 연장된다. 이와 달리, 제1 및 제2 소스 전극(233, 235)은 각각 제1 및 제2 데이터 배선(231a, 231b)의 일부로 이루어질 수도 있다.
- [0114] 제1 소스 전극(233)과 제1 드레인 전극(234) 사이의 제1 반도체층 및 제2 소스 전극(235)과 제2 드레인 전극(236) 사이의 제2 반도체층은 각각 제1 박막트랜지스터 및 제2 박막트랜지스터의 채널이 된다.
- [0115] 여기서, 제1 및 제2 박막 트랜지스터의 채널은 곡선(curved line) 형태일 수 있다. 보다 상세하게, 제1 및 제2 소스 전극(233, 235)은 두 개 이상의 U자 형상이 연결된 모양을 갖고, 제1 및 제2 드레인 전극(234, 236)은 포크(fork) 형상을 가지며, 제1 소스 및 드레인 전극(233, 234)과 제2 소스 및 드레인 전극(235, 236)은 서로 엇갈리게 배치될 수 있다. 따라서, 제1 및 제2 박막 트랜지스터의 채널은 웨이브 형상일 수 있다. 이러한 형상을 갖는 제1 및 제2 박막 트랜지스터의 채널은 채널의 폭과 길이의 비(W/L)가 크므로 구동 전류를 증가시킬 수 있으며, 액정 커패시터의 충전을 빠르게 할 수 있다.
- [0116] 그러나, 제1 및 제2 박막 트랜지스터의 채널 형상은 이에 제한되지 않고 달라질 수 있다.
- [0117] 제1 및 제2 드레인 전극(234, 236)의 일부는 공통 배선(218)과 중첩하여 각각 제1 및 제2 스토리지 커패시터를 형성한다.
- [0118] 한편, 도시하지 않았지만, 제2 화소영역에서, 제1 박막트랜지스터의 제1 게이트 전극과 제2 박막트랜지스터의 제2 게이트 전극은 제1 화소영역의 제1 및 제2 박막트랜지스터와는 다른 게이트 배선에 연결되고, 제1 소스 전극은 제2 데이터 배선(231b)에 연결되며, 제2 소스 전극은 제3 데이터 배선(231c)에 연결된다.
- [0119] 제1 및 제2 화소영역의 각각에는 제1 화소 전극(262) 및 제2 화소 전극(264)이 위치한다. 제1 화소 전극(262)과 제2 화소 전극(264) 각각은 실질적으로 제2방향을 따라 연장되고, 제1방향을 따라 서로 이격되어 있는 다수의 패턴을 포함한다. 제1 화소 전극(262)의 패턴과 제2 화소 전극(264)의 패턴은 제1방향을 따라 이격되어 번갈아 배치된다.
- [0120] 제2 화소 전극(264)의 패턴 개수는 제1 화소 전극(262)의 패턴 개수와 동일하며, 도면 상에서 각 데이터 배선(231a, 231b, 231c)의 우측에는 제1 화소 전극(262)의 일 패턴이 인접하여 위치하고, 각 데이터 배선(231a, 231b, 231c)의 좌측에는 제2 화소 전극(264)의 일 패턴이 인접하여 위치한다. 따라서, 각 데이터 배선(231a, 231b, 231c)은 제1 화소 전극(262)의 일 패턴과 제2 화소 전극(264)의 일 패턴 사이에 위치한다. 데이터 배선(231a, 231b, 231c)에 인접한 제1 화소 전극(262)의 일 패턴 및 제2 화소 전극(264)의 일 패턴은 제1 화소 전극(262)의 다른 패턴들 및 제2 화소 전극(264)의 다른 패턴들 보다 넓은 폭을 가진다.
- [0121] 여기서, 제1 화소 전극(262)의 일 패턴은 제2 보조 데이터 배선(232b)과 중첩하고, 제2 화소 전극(264)의 일 패턴은 제1 보조 데이터 배선(232a)과 중첩한다.
- [0122] 또한, 제1 화소 전극(262)의 일 패턴은 제2 보조 공통 배선(218b)과 중첩하고, 제2 화소 전극(264)의 일 패턴은 제1 보조 공통 배선(218a)과 중첩한다. 이러한 제1 및 제2 보조 공통 배선(218a, 218b)은 백라이트 유닛(도시하지 않음)으로부터의 빛을 차단하고, 데이터 배선(231a, 231b, 231c)의 신호가 화소영역 내에 미치는 영향을 차폐하여 크로스토크(crosstalk)를 방지한다.
- [0123] 제1 화소 전극(262)과 제2 화소 전극(264)의 각 패턴은 화소영역의 중앙을 기준으로 꺾어져 있어 제2방향에 대

해 일정 각도를 가지며, 제1방향을 따라 화소영역의 중앙을 지나가는 가상의 선에 대해 실질적으로 대칭인 구조를 가질 수 있다. 여기서, 제1 화소 전극(262)과 제2 화소 전극(264)은 제2방향에 대해 45도 또는 이보다 작은 각도를 가지고 꺾어질 수 있다.

- [0124] 한편, 데이터 배선(231a, 231b, 231c)도 제1 및 제2 화소 전극(262, 264)에 대응하여 꺾어진 부분을 포함할 수 있다. 또한, 제1 및 제2 보조 데이터 배선(232a, 232b)과 제1 및 제2 보조 공통 배선(218a, 218b)도 제1 및 제2 화소 전극(262, 264)에 대응하여 꺾어진 부분을 포함할 수 있다.
- [0125] 제1 화소 전극(262)의 각 패턴의 일단은 제1 화소연결부(263)를 통해 서로 연결되고, 제2 화소 전극(264)의 각 패턴의 일단은 제2 화소연결부(265)를 통해 서로 연결된다. 제1 화소연결부(263)와 제2 화소연결부(265)는 제1 방향을 따라 연장되고, 화소영역의 마주대하는 양측에 각각 위치한다.
- [0126] 제1 화소연결부(264)는 연장되어 제1 콘택홀(260a)을 통해 제1 드레인 전극(234)과 접촉하고, 제2 화소 전극(264)의 일 패턴의 타단은 연장되어 제2 콘택홀(260b)을 통해 제2 드레인 전극(236)과 접촉한다.
- [0127] 도 9는 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판의 단면도로, 도 8의 IX-IX선에 대응하는 단면을 도시한다. 도 9는 본 발명의 제2실시예에 따른 제1 및 제2 화소영역의 기생용량에 대한 구조를 도시하는데, 그 밖의 구조는 제1실시예와 동일하며, 이에 대한 설명은 생략한다.
- [0128] 도 9에 도시한 바와 같이, 투명한 절연 기판(210) 상에는 도전성 물질로 이루어진 제1 및 제2 보조 공통 배선(218a, 218b)이 각각 형성된다. 여기서, 제1 보조 공통 배선(218a)은 제1 화소영역에 위치하고, 제2 보조 공통 배선(218b)은 제2 화소영역에 위치한다.
- [0129] 제1 및 제2 보조 공통 배선(218a, 218b) 상부에는 게이트 절연막(220)이 형성되어 이들을 덮는다.
- [0130] 게이트 절연막(220) 위에는 제1 및 제2 반도체 패턴(226, 228)과, 데이터 배선(231b), 그리고 제1 및 제2 보조 데이터 배선(232a, 232b)이 형성된다.
- [0131] 데이터 배선(231b) 하부에 제1 반도체 패턴(226)이 위치하고, 제1 및 제2 보조 데이터 배선(232a, 232b) 각각의 하부에 제2 반도체 패턴(228)이 위치한다.
- [0132] 제1 및 제2 반도체 패턴(226, 228)의 각각은 진성 비정질 실리콘의 제1패턴(226a, 228a)과 불순물 도핑된 비정질 실리콘의 제2패턴(226b, 228b)을 포함한다.
- [0133] 데이터 배선(231b)은 제1 및 제2 화소영역 사이에 위치하며, 제1 보조 데이터 배선(232a)은 제1 화소영역에 위치하고, 제2 보조 데이터 배선(232b)은 제2 화소영역에 위치한다.
- [0134] 제1 보조 데이터 배선(232a)은 제1 보조 공통 배선(218a)과 이격되고, 제2 보조 데이터 배선(232b)은 제2 보조 공통 배선(218b)과 이격된다. 이때, 제1 보조 데이터 배선(232a)과 데이터 배선(231b) 사이에 제1 보조 공통 배선(218a)이 놓이고, 제2 보조 데이터 배선(232b)과 데이터 배선(231b) 사이에 제2 보조 공통 배선(218b)이 놓인다.
- [0135] 제1 및 제2 보조 데이터 배선(232a, 232b)의 폭은 제1 및 제2 보조 공통 배선(218a, 218b)의 폭과 실질적으로 동일할 수 있다.
- [0136] 다음, 데이터 배선(231b)과 제1 및 제2 보조 데이터 배선(232a, 232b) 상부에는 보호층(240)이 형성된다.
- [0137] 보호층(240) 상부의 제1 및 제2 화소영역 사이에는 블랙 매트릭스(252)가 형성된다. 블랙 매트릭스(252)는 데이터 배선(231b)을 덮으며, 제1 및 제2 보조 공통 배선(218a, 218b)과도 중첩할 수 있다.
- [0138] 보호층(240) 및 블랙 매트릭스(252) 상부의 각 화소영역에는 컬러필터층(254)이 형성된다.
- [0139] 컬러필터층(254)은 각 화소영역의 제1 및 제2 보조 데이터 배선(232a, 232b)을 덮으며, 데이터 배선(232b)과 부분적으로 중첩할 수 있다.
- [0140] 컬러필터층(254) 상부에는 오버코트층(260)이 형성된다. 오버코트층(260)은 평탄한 표면을 가진다.
- [0141] 오버코트층(260) 상부의 각 화소영역에는 제1 화소 전극(262)과 제2 화소 전극(264)이 형성된다. 도시하지 않았지만, 제1 화소 전극(262)과 제2 화소 전극(264) 각각은 다수의 패턴을 포함하며, 제2 화소 전극(264)의 패턴은 제1 화소 전극(262)의 패턴과 번갈아 배치된다.
- [0142] 제1 화소영역에서, 데이터 배선(231b)에 인접한 제2 화소 전극(264)의 일 패턴은 제1 보조 공통 배선(218a) 및

제1 보조 데이터 배선(232a)과 중첩한다. 이때, 제2 화소 전극(264)의 일 패턴은 제1 보조 공통 배선(218a) 및 제1 보조 데이터 배선(232a) 보다 넓은 폭을 가지며, 일례로, 제2 화소 전극(264)의 일 패턴의 폭은 제1 보조 공통 배선(218a) 및 제1 보조 데이터 배선(232a)의 네 배일 수 있다.

[0143] 또한, 제2 화소영역에서, 데이터 배선(231b)에 인접한 제1 화소 전극(262)의 일 패턴은 제2 보조 공통 배선(218b) 및 제2 보조 데이터 배선(232b)과 중첩한다. 이때, 제1 화소 전극(262)의 일 패턴은 제2 보조 공통 배선(218b) 및 제2 보조 데이터 배선(232b) 보다 넓은 폭을 가지며, 일례로, 제1 화소 전극(262)의 일 패턴의 폭은 제2 보조 공통 배선(218b) 및 제2 보조 데이터 배선(232b)의 네 배일 수 있다.

[0144] 일례로, 제1 화소 전극(262)의 일 패턴과 제2 화소 전극(264)의 일 패턴의 폭은 약 7 내지 9 마이크로미터일 수 있고, 제1 및 제2 보조 공통 배선(218a, 218b)과 제1 및 제2 보조 데이터 배선(232a, 232b)의 폭은 약 2 내지 3 마이크로미터일 수 있다. 또한, 데이터 배선(231b)의 폭은 약 5 내지 6 마이크로미터일 수 있다.

[0145] 이러한 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판에서는, 제1 및 제2 화소 전극(262, 264)이 데이터 배선(231b)에 대해 어긋나게 형성되더라도, 데이터 배선(231b)의 양측에 발생하는 기생용량을 균일하게 함으로써, 플리커(flicker)를 방지할 수 있다.

[0146] 보다 상세하게, 데이터 배선(231b)과 이에 인접한 제2 화소 전극(264)의 일 패턴 사이에는 제1 기생 커패시터(C1)가 생기고, 데이터 배선(231b)과 이에 인접한 제1 화소 전극(262)의 일 패턴 사이에는 제2 기생 커패시터(C2)가 생긴다. 또한, 중첩하는 제1 보조 데이터 배선(232a)과 제2 화소 전극(264)의 일 패턴 사이에는 제3 기생 커패시터(C3)가 생기고, 중첩하는 제2 보조 데이터 배선(232b)과 제1 화소 전극(262)의 일 패턴 사이에는 제4 기생 커패시터(C4)가 생긴다.

[0147] 여기서, 제1 기생 커패시터(C1)는 제2 기생 커패시터(C2)와 동일한 용량을 가지며, 제3 기생 커패시터(C3)는 제4 기생 커패시터(C4)와 동일한 용량을 가진다. 또한, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)는 전극의 중첩에 의해 생기는 것으로, 제1 기생 커패시터(C1)와 제2 기생 커패시터(C2)보다 상당히 큰 용량을 가지며, 약 5배 이상의 용량을 가질 수 있다.

[0148] 따라서, 데이터 배선(231b)의 좌측 제1 화소영역에서 기생용량은 제1 기생 커패시터(C1)와 제3 기생 커패시터(C3)의 용량의 합이 되고, 데이터 배선(231b)의 우측 제2 화소영역에서 기생용량은 제2 기생 커패시터(C2)와 제4 기생 커패시터(C4)의 용량의 합이 된다.

[0149] 그런데, 제1 및 제2 화소 전극(262, 264)이 데이터 배선(231b)에 대해 어긋나게 형성될 경우, 제1 화소 전극(262)의 일 패턴과 데이터 배선(231b) 사이의 거리는 제2 화소 전극(264)의 일 패턴과 데이터 배선(231b) 사이의 거리와 달라진다. 따라서, 제1 기생 커패시터(C1)의 용량은 제2 기생 커패시터(C2)의 용량과 달라진다.

[0150] 그러나, 제1 및 제2 화소 전극(262, 264)이 데이터 배선(231b)에 대해 어긋나게 형성되더라도, 제1 보조 데이터 배선(232a)의 양단은 제2 화소 전극(264)의 일 패턴 상에 놓이고, 제2 보조 데이터 배선(232b)의 양단은 제1 화소 전극(262)의 일 패턴 상에 놓이므로, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)의 용량은 변하지 않으며, 앞서 언급한 바와 같이, 제3 기생 커패시터(C3)와 제4 기생 커패시터(C4)의 용량은 제1 기생 커패시터(C1)와 제2 기생 커패시터(C2)보다 크므로, 제1 화소영역에서의 기생용량과 제2 화소영역에서의 기생용량 간의 차이는 크지 않다.

[0151] 따라서, 제1 및 제2 화소 전극(262, 264)이 데이터 배선(231b)에 대해 어긋나게 형성되더라도 제1 화소영역과 제2 화소영역 사이의 기생용량 편차를 줄여 플리커를 방지할 수 있다.

[0152] 또한, 이러한 제1 및 제2 보조 데이터 배선(232a, 232b)은 개구율에 영향을 미치지 않는 제1 화소 전극(262)과 제2 화소 전극(264)의 일 패턴 하부에 위치하므로, 개구율 저하 없이 플리커를 방지할 수 있다.

[0153] 한편, 본 발명의 제2실시예에 따른 액정표시장치용 어레이 기판에서는, 제1 및 제2 보조 공통 배선(218a, 218b)이 제1 및 제2 보조 데이터 배선(232a, 232b)과 이격되므로, 데이터 신호가 제1 및 제2 보조 공통 배선(218a, 218b)의 공통 신호에 영향을 미치는 것이 방지될 수 있다.

[0154] 앞선 실시예들에서는 기판 상에 블랙 매트릭스와 컬러필터층이 형성된 구조에 대하여 설명하였으나, 블랙 매트릭스와 컬러필터층은 생략될 수도 있다.

[0155] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다

양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0156]

110: 기관 112: 게이트 배선

114, 116: 제1 및 제2 게이트 전극 116: 공통 배선

118a, 118b: 제1, 제2 보조 공통 배선

120: 게이트 절연막 122, 124: 제1 및 제2 반도체층

126, 128: 제1 및 제2 반도체 패턴

131a, 131b, 131c: 제1, 제2, 제3 데이터 배선

133, 135: 제1 및 제2 소스 전극 134, 136: 제1 및 제2 드레인 전극

140: 보호층 152: 블랙 매트릭스

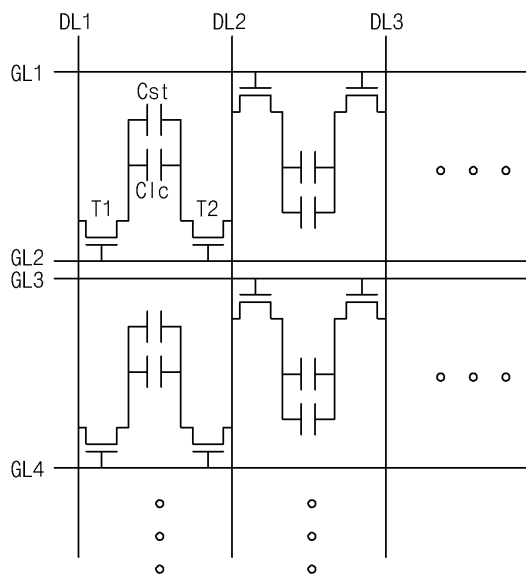
154: 컬러필터층 160a, 160b: 제1 및 제2 콘택홀

162: 제1 화소 전극 163: 제1 화소연결부

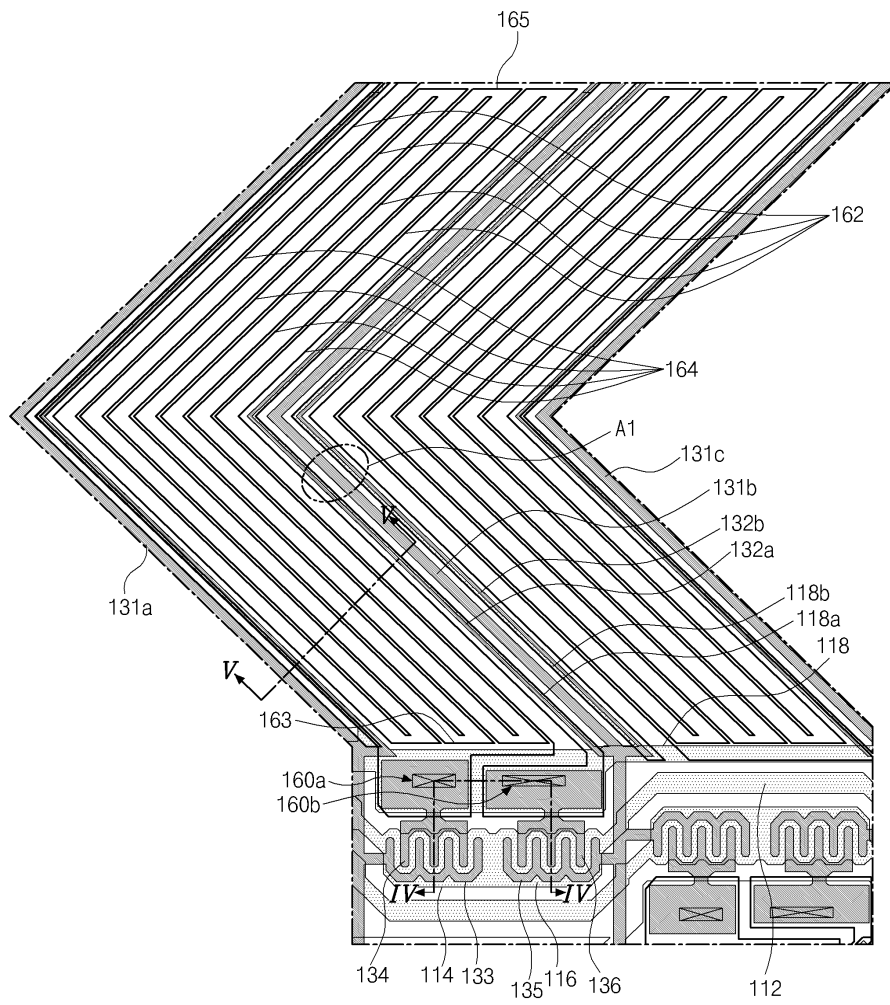
164: 제2 화소 전극 165: 제2 화소연결부

도면

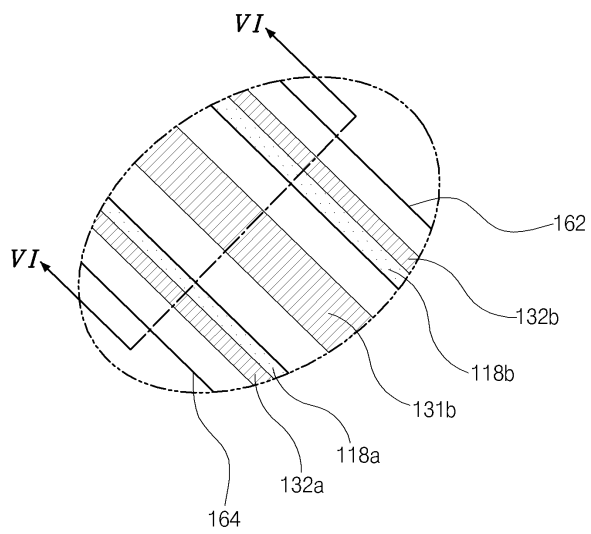
도면1



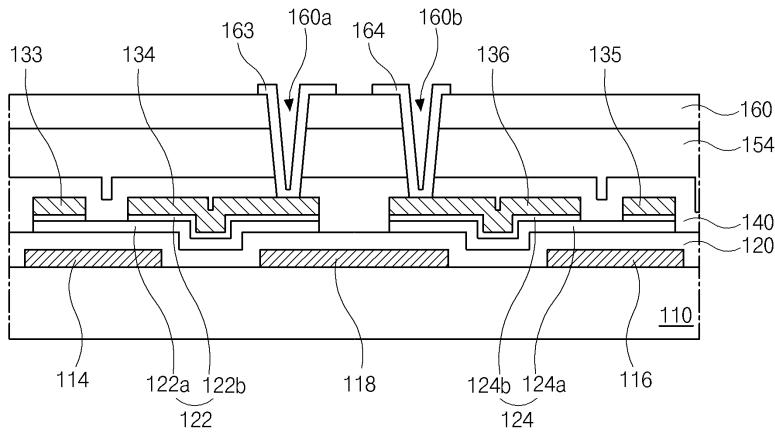
도면2



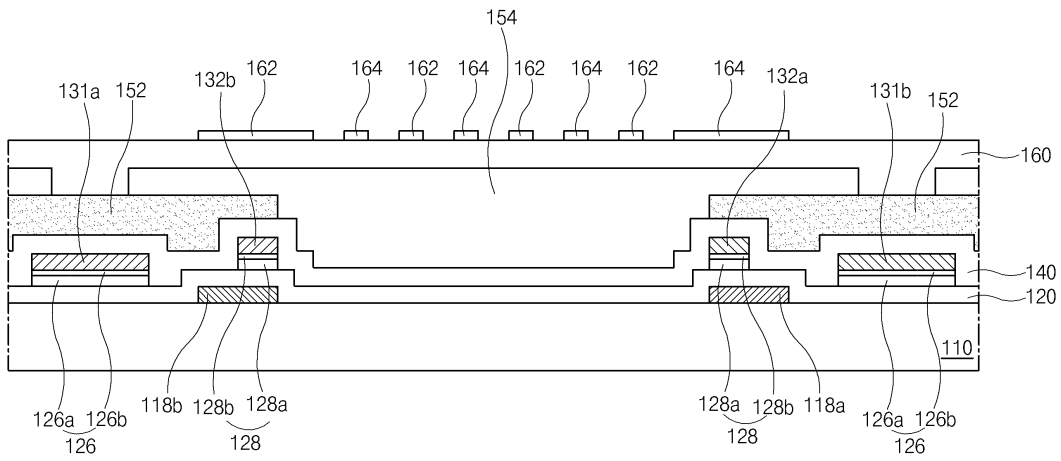
도면3



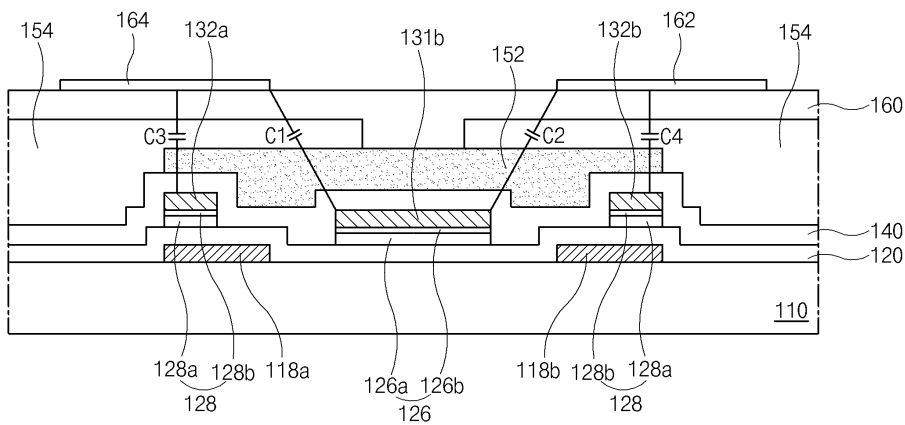
도면4



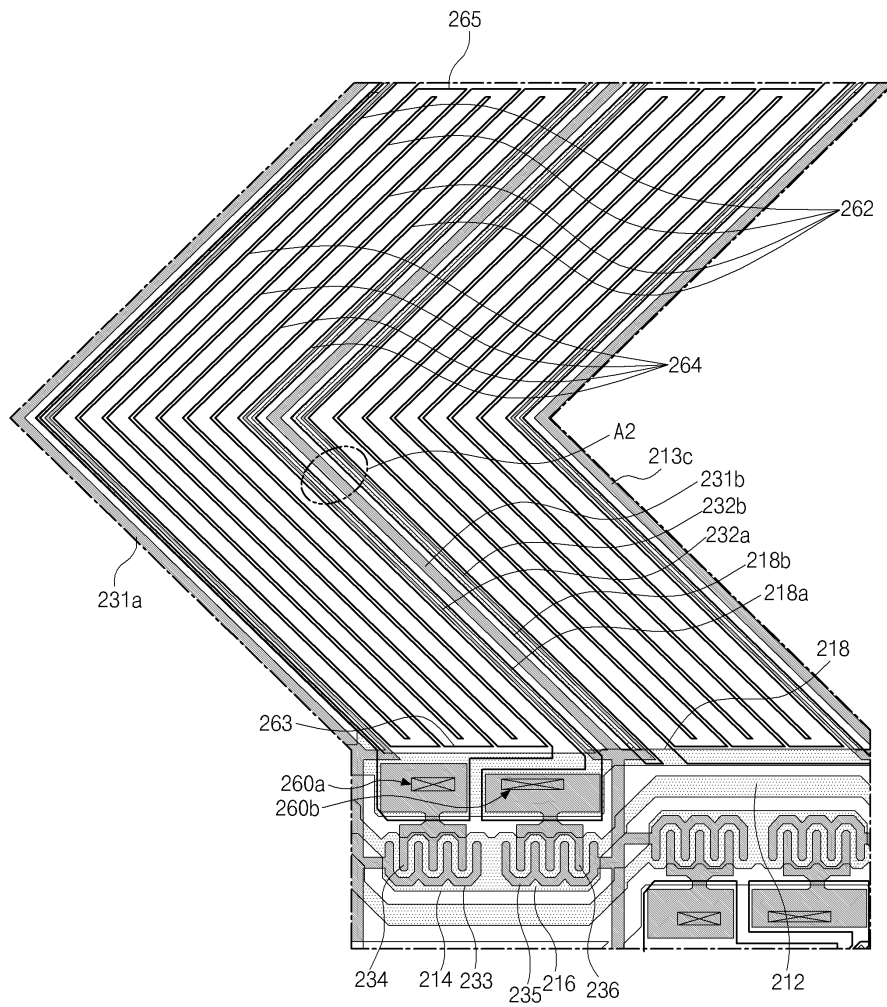
도면5



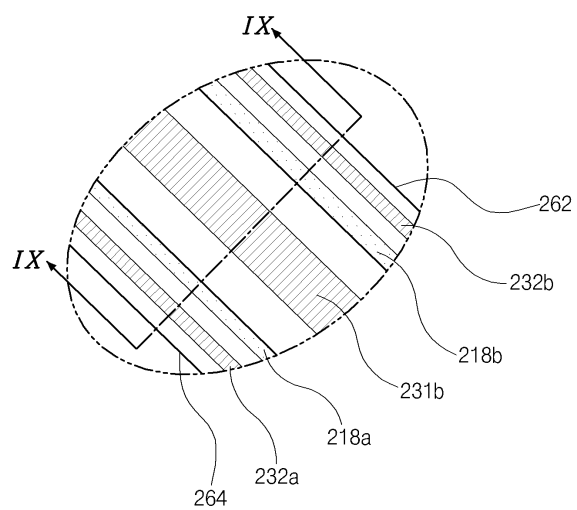
도면6



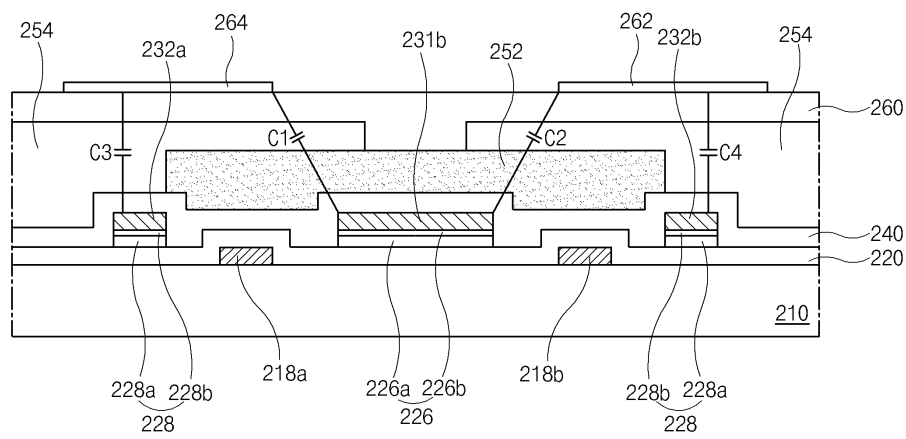
도면7



도면8



도면9



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020170039000A	公开(公告)日	2017-04-10
申请号	KR1020150137804	申请日	2015-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SANG WOOK 이상욱 YOO DUK KEUN 유덕근		
发明人	이상욱 유덕근		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1335		
CPC分类号	G02F1/136286 G02F1/1343 G02F1/133514 G09G2320/0247 G09G2320/0252		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器阵列面板包括栅极布线和第一和第二数据线交叉并限定第一和第二像素区域，第一和第二薄膜晶体管分别位于第一和第二像素区域和第一像素电极上连接薄膜晶体管和与第一和第二像素区域的第二薄膜晶体管连接的第二像素电极被定位，并且它包括由与第二数据线在同一层中的相同材料制成的第一和第二辅助数据布线。第一辅助数据布线与第一像素区域的第二像素电极重叠，第二辅助数据布线与第二像素区域的第一像素电极重叠。因此，均匀地完成第二像素区域和第一像素区域的寄生电容偏差，并且可以防止闪烁。

