

명세서

청구범위

청구항 1

기관 상에 서로 교차하도록 배치되는 게이트 라인 및 데이터 라인 중 적어도 어느 하나를 사이에 두고 인접하게 위치하는 화소 전극들과;

상기 인접한 화소 전극들 사이에 위치하며, 상기 인접한 화소 전극들 중 어느 하나와 전기적으로 접속되는 화소 연장 전극을 구비하는 박막트랜지스터 기관.

청구항 2

제 1 항에 있어서,

상기 화소 연장 전극은 상기 화소전극과 다른 평면 상에 위치하며,

상기 화소 연장 전극은 상기 화소 연장 전극을 덮는 적어도 한 층의 절연막을 관통하는 컨택홀을 통해 노출되며,

상기 화소 전극은 상기 컨택홀을 통해 상기 화소 연장 전극과 접속되는 박막트랜지스터 기관.

청구항 3

제 2 항에 있어서,

상기 화소 전극들은 상기 게이트 라인을 사이에 두고 상하로 인접하게 위치하며,

상기 화소 연장 전극은 상기 데이터 라인과 동일 평면 상에 위치하며,

상기 화소 연장 전극은 상기 데이터 라인 또는 상기 화소 전극과 동일 재질로 이루어지는 박막트랜지스터 기관.

청구항 4

제 3 항에 있어서,

상기 데이터 라인은 상기 화소 전극과 동일 재질인 투명한 제1 도전층과, 제1 도전층 상에 위치하는 제2 도전층을 포함하는 다층 구조로 이루어지며,

상기 화소 연장 전극은 상기 투명한 제1 도전층으로 이루어지는 박막트랜지스터 기관.

청구항 5

제 2 항에 있어서,

상기 화소 전극과 전계를 이루는 공통 전극과;

상기 공통 전극과 접속된 터치 센싱 라인을 더 구비하며,

상기 화소 연장 전극은 상기 터치 센싱 라인 및 상기 데이터 라인 중 어느 하나와 동일 재질로 동일 평면 상에 위치하는 박막트랜지스터 기관.

청구항 6

제 2 항 또는 제 5 항에 있어서,

상기 화소 전극들은 상기 데이터 라인을 사이에 두고 좌우로 인접하게 위치하며,

상기 화소 연장 전극은 상기 게이트 라인 및 상기 터치 센싱 라인 중 어느 하나와 동일 재질로 동일 평면 상에 위치하는 박막트랜지스터 기관.

청구항 7

제 1 항에 있어서,

상기 화소 전극은

상기 게이트 라인 및 데이터 라인 중 적어도 어느 하나와 중첩되는 화소 연결부와;

상기 화소 연결부로부터 연장된 다수의 화소 핑거부를 구비하며,

상기 화소 연장 전극은

상기 화소 연결부와 중첩되는 연장 연결부와;

상기 연장 연결부로부터 연장되며, 상기 연장 연결부를 기준으로 다수의 화소 핑거부와 대칭구조를 이루는 연장 핑거부를 구비하는 박막트랜지스터 기판.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항의 박막트랜지스터 기판과;

상기 박막트랜지스터 기판과 대향하는 컬러 필터 기판과;

상기 박막트랜지스터 기판 및 컬러 필터 기판 사이에 위치하는 액정층을 구비하는 액정 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 박막트랜지스터 기판 및 그를 가지는 액정 표시 패널에 관한 것으로, 특히 투과율을 향상시킬 수 있는 박막트랜지스터 기판 및 그를 가지는 액정 표시 패널에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치가 각광받고 있다.

[0003] 평판형 표시 장치 중 액정 표시 장치는 박막트랜지스터와 접속된 화소 전극과 공통 전극 사이에 형성되는 전계에 의해 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치의 화소 전극들(4,6)은 도 1에 도시된 바와 같이 단락 방지를 위해 소정 간격(d)으로 이격되어 형성된다. 이 화소 전극들(4,6) 사이의 이격 영역에 위치하는 액정들에는 전계가 효율적으로 인가되지 못해 빛이 투과되지 못하므로, 화소 전극들(4,6) 사이의 이격 영역은 블랙매트릭스(2)와 중첩되게 형성된다.

[0004] 그러나, 개구율 향상을 위해, 블랙매트릭스(2)의 면적을 줄이게 되면, 도 1에 도시된 바와 같이 인접한 화소 전극들(4,6) 사이의 이격 영역 중 일부는 블랙매트릭스(2)와 중첩되지 못하고, 블랙매트릭스(2) 밖으로 노출된다. 이에 따라, 블랙매트릭스(2) 밖으로 노출된 화소 전극들(4,6) 사이의 이격 영역에서는 액정이 구동되지 못해, 액정을 통한 빛의 투과가 극히 적어서 투과율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 투과율을 향상시킬 수 있는 박막트랜지스터 기판 및 그를 가지는 액정 표시 패널을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명에 따른 박막트랜지스터 기판은 인접한 화소 전극들 사이에 위치하는 화소 연장 전극이 인접한 화소 전극들 중 어느 하나와 전기적으로 접속된다.

발명의 효과

[0007] 본 발명에 따른 박막트랜지스터 기판에서는 게이트 라인 및 데이터 라인 중 적어도 어느 하나의 신호 라인을 사이에 두고 인접한 화소 전극들 사이에 화소 연장 전극이 형성된다. 이에 따라, 본 발명에서는 화소 연장 전극과 공통 전극 사이에 형성되는 전계에 의해 신호 라인을 사이에 두고 인접한 화소 전극들 사이의 이격 영역에서 액정이 구동되므로, 그 이격 영역에서 광이 투과되어 투과율이 향상된다. 또한, 인접한 화소 전극들 각각과, 화소 연장 전극이 다른 평면 상에 위치하므로 이격마진을 고려하지 않아도 단락을 방지할 수 있다. 뿐만 아니라, 투과율 향상으로 인해, 본 발명은 종래와 동일 휘도 구현시 구동 전압을 낮출 수 있어 소비전력을 절감할 수 있다.

도면의 간단한 설명

[0008] 도 1은 종래 박막트랜지스터 기판의 화소 전극 및 블랙매트릭스를 나타내는 평면도이다.
 도 2는 본 발명의 제1 실시 예에 따른 박막트랜지스터 기판을 나타내는 평면도이다.
 도 3은 도 2에서 선 "I-I'"과, 선 "II-II'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.
 도 4a 및 도 4b는 본 발명의 제2 실시 예에 따른 박막트랜지스터 기판을 나타내는 단면도이다.
 도 5는 본 발명의 제3 실시 예에 따른 박막트랜지스터 기판을 나타내는 단면도이다.
 도 6은 본 발명의 제4 실시 예에 따른 박막트랜지스터 기판을 나타내는 평면도이다.
 도 7은 도 6에서 선 "III-III'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.
 도 8은 종래와 본 발명에 따른 박막트랜지스터 기판을 가지는 액정 표시 패널의 투과율을 비교 설명하기 위한 도면이다.
 도 9a 내지 도 9g는 도 3에 도시된 박막트랜지스터 기판의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

[0010] 도 2는 본 발명에 따른 박막트랜지스터 기판을 나타내는 평면도이며, 도 3은 도 2에서 선 "I-I'"과, 선 "II-II'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.

[0011] 도 2 및 도 3에 도시된 박막트랜지스터 기판은 게이트 라인(102), 데이터 라인(104), 박막트랜지스터, 화소 전극(122), 공통 전극(136) 및 화소 연장 전극(150)을 구비한다.

[0012] 게이트 라인(102) 및 데이터 라인(104)은 층간 절연막(116)을 사이에 두고 교차하여 각 화소 영역을 정의한다. 게이트 라인(102)은 각 화소 영역의 박막트랜지스터의 게이트 전극(106A, 106B)에 스캔 신호를, 데이터 라인(104)은 각 화소 영역의 박막트랜지스터의 소스 전극(108)에 데이터 신호를 공급한다.

[0013] 박막 트랜지스터는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104)의 데이터 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터는 게이트 전극(106A, 106B), 소스 전극(108), 드레인 전극(110) 및 액티브층(114)을 구비한다.

[0014] 게이트 전극(106A, 106B)은 게이트 라인(102)의 일부 영역인 다수개의 게이트 전극을 구비한다. 본 발명에서는 2개의 게이트 전극, 즉 제1 및 제2 게이트 전극(106A, 106B)을 구비하는 것을 예로 들어 설명하기로 한다.

[0015] 제1 게이트 전극(106A)은 액티브층의 제1 채널 영역(114A)과 중첩되며, 제2 게이트 전극(106B)은 액티브층의 제2 채널 영역(114B)과 중첩된다. 이러한 제1 및 제2 게이트 전극(106A, 106B)은 직렬로 형성되므로 소스 영역 및 드레인 영역(114S, 114D) 사이에는 제1 및 제2 채널 영역(114A, 114B)이 형성된다. 이에 따라, 박막트랜지스터의 채널 영역(114A, 114B)의 전체 길이가 길어지므로, 소스 영역(114S)과 접속된 소스 전극(108)과, 드레인 영역(114D)과 접속된 드레인 전극(110) 사이의 저항이 커진다. 이에 따라, 다수개의 게이트 전극(즉, 다수개의 채널 영역)을 가지는 박막트랜지스터의 턴 오프시 오프 전류를 낮출 수 있다.

[0016] 소스 전극(108)은 데이터 라인(104)에서 액티브층의 소스 영역(114S)과 중첩되는 데이터 라인(104)의 일부 영역으로서, 층간 절연막(116)을 관통하는 소스 컨택홀(124S)를 통해 액티브층의 소스 영역(114S)과 접속된다.

- [0017] 드레인 전극(110)은 소스 전극(108)과 마주하며, 중간 절연막(116) 및 게이트 절연막(112)을 관통하는 드레인 콘택홀(124D)을 통해 액티브층의 드레인 영역(114D)과 접속된다. 또한, 드레인 전극(110)은 제1 화소 콘택홀(120)을 통해 화소 전극(122)과 접속된다.
- [0018] 액티브층(114)은 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성한다. 이 액티브층(114)은 도 2에 도시된 바와 같이 버퍼막(126) 상에 "U"자 또는 역"U"자 형태로 형성되거나, 다른 형태로도 형성가능하다. 액티브층(114)은 제1 및 제2 채널 영역(114A, 114B), 공통 영역(114C), 소스 영역(114S) 및 드레인 영역(114D)를 구비한다.
- [0019] 제1 채널 영역(114A)은 게이트 절연막(112)을 사이에 두고 제1 게이트 전극(106A)과 중첩되며, 제2 채널 영역(114B)은 게이트 절연막(112)을 사이에 두고 제2 게이트 전극(106B)과 중첩된다. 공통 영역(114C)은 제1 및 제2 채널 영역(114A, 114B) 사이에 형성되며, n형 또는 p형 불순물이 주입된다. 소스 영역(114S)은 n형 또는 p형 불순물이 주입되며, 소스 콘택홀(124S)을 통해 데이터 라인(104)의 일부인 소스 전극(108)과 접속된다. 드레인 영역(114D)은 n형 또는 p형 불순물이 주입되며, 드레인 콘택홀(124D)을 통해 드레인 전극(110)과 접속된다. 소스 영역(114S), 드레인 영역(114D) 및 공통 영역(114C)에는 서로 동일하거나 다른 불순물이 서로 동일한 농도 또는 다른 농도로 주입될 수 있다. 다만, 소스 영역(114S), 드레인 영역(114D) 및 공통 영역(114C)에 서로 동일한 불순물이 동일한 농도로 주입되는 경우, 마스크 공정 수 증가를 방지할 수 있다.
- [0020] 버퍼막(126)은 유리 또는 폴리이미드(PI) 등과 같은 플라스틱 수지로 형성된 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 버퍼막(126)은 기판(101)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(114)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0021] 제1 및 제2 보호막(118, 128)은 외부로부터의 수분 유입을 차단하여 박막트랜지스터를 보호한다. 이러한 제1 및 제2 보호막(118, 128) 각각은 무기 절연 물질 또는 유기 절연 물질로 형성된다.
- [0022] 제1 보호막(118)은 박막트랜지스터에 의해 형성된 단차를 평탄화하도록 유기 절연 물질로 형성되어 고해상도를 구현할 수 있도록 한다. 또한, 제1 보호막(118)은 박막트랜지스터 및 데이터 라인(104) 상에 형성되어 박막트랜지스터 및 데이터 라인(104) 각각과, 공통 전극(136) 사이를 절연한다.
- [0023] 제2 보호막(128)은 화소 전극(122) 및 공통 전극(136) 사이에 형성되어 화소 전극(122)과 공통 전극(136) 사이를 절연한다.
- [0024] 화소 전극(122)은 게이트 라인(102) 및 데이터 라인(104)의 교차로 마련된 각 화소 영역의 제2 보호막(128) 상에 형성된다. 이 화소 전극(122)은 게이트 라인(102)과 중첩되는 화소 연결부(122B)와, 화소 연결부(122B)로부터 화소 영역으로 연장되는 핑거형상의 다수의 화소 핑거부(122A)를 구비한다.
- [0025] 또한, 화소 전극(122)은 제1 화소 콘택홀(120)을 통해 노출된 드레인 전극(110)과 전기적으로 접속되며, 제2 화소 콘택홀(152)을 통해 노출된 화소 연장 전극(150)과 전기적으로 접속된다. 여기서, 제1 화소 콘택홀(120)은 제1 및 제2 보호막(118, 128)을 관통하여 드레인 전극(110)을 노출시키도록 형성되며, 제2 화소 콘택홀(152)은 제1 및 제2 보호막(118, 128)을 관통하여 화소 연장 전극(150)을 노출시키도록 형성된다.
- [0026] 공통 전극(136)은 제1 및 제2 화소 콘택홀(120, 152) 각각과 중첩되는 영역에서 제1 및 제2 화소 콘택홀(120, 152) 각각보다 면적이 큰 공통 개구부(134)를 가지도록 형성된다. 이러한 공통 전극(136)은 공통 개구부(134)를 제외한 나머지 영역의 제1 보호막(118) 상에서 형성된다. 이에 따라, 공통 전극(136)은 별도의 공통 라인 없이 인접한 화소 영역의 공통 전극(136)과 일체화되어 전기적으로 연결된다. 그리고, 공통 전극(136)은 각 화소 영역에서 제2 보호막(128)을 사이에 두고 화소 전극(122)과 중첩되어 프린지 전계를 형성한다. 이에 따라, 공통 전압이 공급된 공통 전극(136)은 박막 트랜지스터를 통해 화소 전압 신호가 공급되는 화소 전극(122)과 프린지 전계를 형성하여 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0027] 화소 연장 전극(150)은 게이트 라인(102)을 사이에 두고 상하로 인접한 상부 화소 영역(PXL_U) 및 하부 화소 영역(PXL_D) 각각에 위치하는 화소 전극들(122) 사이에 형성된다. 이 때, 화소 연장 전극(150)은 상하로 인접한 화소 전극들(122)과 다른 평면 상에 위치한다. 즉, 화소 연장 전극(150)은 데이터 라인(104)과 동일층에 동일 재질로 형성된다. 구체적으로, 화소 연장 전극(150)은 중간 절연막(116) 상에 Mo, Ti, Cu, AlNd, Al, Cr 또는

이들의 합금과 같은 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된 소스/드레인 금속층으로 형성된다.

- [0028] 화소 연장 전극(150)은 화소 연결부(122B)와 중첩되는 연장 연결부(150B)와, 연장 연결부(150B)로부터 인접한 화소 영역으로 연장되며 평거형상의 다수의 연장 평거부(150A)를 구비한다.
- [0029] 화소 연장 전극(150)의 연장 연결부(150B)는 제2 화소 컨택홀(152)을 통해 각 화소 영역의 화소 전극(122)과 접속되므로, 화소 연장 전극(150)은 화소 전극(122)에 공급되는 화소 전압 신호와 등전위를 이루게 된다.
- [0030] 화소 연장 전극(150)의 연장 평거부(150A)는 게이트 라인(102)을 가로 질러 각 화소 영역의 화소 전극(122)에서부터 인접한 화소 영역으로 연장된다. 즉, 화소 연장 전극(150)의 연장 평거부(150A)는 게이트 라인(102)을 사이에 두고 상하로 인접한 화소 전극들(122) 사이의 이격 영역에 형성된다. 이에 따라, 화소 연장 전극(150)의 연장 평거부(150A)는 상하로 인접한 화소 전극들(122) 사이의 이격 영역에서 공통 전극(136)과 프린지 전계를 형성하게 된다. 이 프린지 전계에 의해 화소 연장 전극(150)들의 연장 평거부(150A)들 사이의 슬릿 영역(SA)에 위치하는 액정들이 구동되므로 광이 투과되어 투과율이 향상된다.
- [0031] 또한, 연장 평거부(150A)와, 그 연장 평거부(150A)와 인접한 하부 화소 영역(PXL_D)의 화소 평거부(122A)는 연장 연결부(150B)를 기준으로 상부 화소 영역(PXL_U)의 화소 평거부(122A)와 대칭되면서 경사진 사선 방향으로 형성된다. 이에 따라, 공통 전극(136)과 화소 전극(122) 사이에 형성된 프린지 전계에 의해 액정 분자들이 연장 연결부(150B) 및 화소 연결부(122B)를 기준으로 대칭적으로 배열됨으로써 멀티-도메인을 형성할 수 있어 시야각을 향상시킬 수 있다.
- [0032] 도 4a 및 도 4b는 본 발명의 제2 실시 예에 따른 박막트랜지스터 기판을 나타내는 단면도이다.
- [0033] 도 4a 및 도 4b에 도시된 박막트랜지스터 기판은 도 3에 도시된 박막트랜지스터 기판과 대비하여 터치 센싱 라인(160)을 구비하고, 화소 연장 전극(150)이 터치 센싱 라인(160)과 동일 재질로 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0034] 도 4a 및 도 4b에 도시된 터치 센싱 라인(160)은 공통 전극들(136)과 연결되어 터치 센싱 기간에 공통 전극(136)이 터치 센싱 전극으로 이용될 수 있도록 한다. 즉, 터치 센싱 기간 동안에 터치 센싱 라인(160)에 의해 접속된 각 화소 영역의 공통 전극들(136)을 터치 센싱 전극으로 구동시켜 사용자의 터치에 따른 정전 용량의 변화를 감지한다. 그리고, 사용자의 터치에 따른 터치 정전 용량과 기준 정전 용량을 비교하여 터치 위치를 검출한다.
- [0035] 화소 연장 전극(150)은 터치 센싱 라인(160)과 동일 재질로 형성된다. 구체적으로, 화소 연장 전극(150)은 제1 보호막(118) 상에 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같은 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된 터치 금속층으로 형성된다.
- [0036] 화소 연장 전극(150)은 제2 화소 컨택홀(152)을 통해 각 화소 영역의 화소 전극(122)과 접속되므로, 화소 연장 전극(150)은 화소 전극(122)에 공급되는 화소 전압 신호와 등전위를 이루게 된다.
- [0037] 이에 따라, 화소 연장 전극(150)은 상하로 인접한 화소 전극들(122) 사이의 이격 영역에서 공통 전극(136)과 프린지 전계 또는 수평전계를 형성하게 된다. 그 전계에 의해 화소 연장 전극(150)들의 연장 평거부(150A)들 사이의 슬릿 영역(SA)의 액정들이 구동되어 슬릿 영역(SA)에서 광이 투과되므로 투과율이 향상된다.
- [0038] 한편, 터치 센싱 라인(160)은 도 4a에 도시된 바와 같이 제3 보호막(148)을 관통하는 터치 컨택홀(138)을 통해 공통 전극(136)과 전기적으로 접속된다. 이 경우, 화소 연장 전극(150)은 터치 센싱 라인(160)과 동일 평면, 즉 제1 보호막(118) 상에 동일 재질로 형성되므로 화소 연장 전극(150)은 공통 전극(136)과 프린지 전계를 형성한다. 이 때, 터치 센싱 라인(160) 및 화소 연장 전극(150)은 하나의 마스크 공정을 통해 동시에 형성가능하다.
- [0039] 이외에도 터치 센싱 라인(160)은 도 4b에 도시된 바와 같이 터치 컨택홀 없이 공통 전극(136)과 직접 전기적으로 접속된다. 이 경우, 화소 연장 전극(150)은 터치 센싱 라인(160)과 직접 접속된 공통 전극(136)과 동일 평면 상에서 터치 센싱 라인(160)과 동일 재질로 형성되므로, 화소 연장 전극(150)은 공통 전극(136)과 수평 전계를 형성한다. 이 때, 화소 연장 전극(150), 터치 센싱 라인(160) 및 공통 전극(136)은 하나의 마스크 공정을 통해 동시에 형성가능하다.
- [0040] 한편, 도 4a 및 도 4b에 도시된 터치 센싱 라인(160)을 가지는 박막트랜지스터 기판에서는 화소 연장 전극(150)

0)이 터치 센싱 라인(160)과 동일 재질로 형성되는 것을 예로 들어 설명하였지만, 이외에도 화소 연장 전극(150)은 데이터 라인(104)과 동일 평면(즉, 층간 절연막(116)) 상에 동일 재질로 형성될 수도 있다.

- [0041] 도 5는 본 발명의 제3 실시 예에 따른 박막트랜지스터 기판을 나타내는 단면도이다.
- [0042] 도 5에 도시된 박막트랜지스터 기판은 도 3에 도시된 박막트랜지스터 기판과 대비하여, 데이터 라인(104), 소스 및 드레인 전극(108,110)이 투명한 제1 도전층(162a)을 포함하는 다층 구조로 형성되고, 화소 연장 전극(150)이 투명한 제1 도전층(162a)으로 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- [0043] 데이터 라인(104), 소스 및 드레인 전극(108,110)을 포함하는 데이터 패터군은 층간 절연막(116) 상에 형성된 투명한 제1 도전층(162a)과, 그 제1 도전층(162a) 상에 배치되며 제1 도전층(162a)보다 도전성이 좋은 제2 도전층(162b)으로 이루어진 다층 구조로 형성된다. 여기서, 제1 도전층(162a)은 화소 전극(122)과 동일한 IT0등과 같은 투명 금속층으로 형성되며, 제2 도전층(162b)은 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같은 불투명 금속층으로 형성된다.
- [0044] 화소 연장 전극(150)은 층간 절연막(116) 상에 투명한 제1 도전층(162a)으로 이루어진 단층 구조로 형성된다. 투명한 제1 도전층(162a)으로 형성된 화소 연장 전극(150)은 불투명 재질로 형성되는 경우보다 투과율이 더욱 향상된다. 즉, 화소 전압 신호가 공급되는 화소 연장 전극(150)과, 공통 전극(136) 사이에 프린지 전계가 형성되면, 그 프린지 전계에 의해 화소 연장 전극(150)들의 연장 핑거부(150A)들 사이의 슬릿 영역(SA) 뿐만 아니라, 투명한 화소 연장 전극(150)에 위치하는 액정들이 구동된다. 이에 따라, 슬릿 영역(SA) 뿐만 아니라 투명한 화소 연장 전극(150) 상에서 광이 투과되어 투과율이 더욱 향상된다.
- [0045] 한편, 도 5에 도시된 바와 같이 투명한 제1 도전층(162a)으로 형성된 화소 연장 전극(150)과, 제1 및 제2 도전층(162a,162b)이 적층된 데이터 패터군은 슬릿 마스크 또는 반투과 마스크를 이용한 한 번의 마스크 공정을 통해 동시에 형성되거나, 각각의 마스크 공정을 통해 개별적으로 형성될 수도 있다.
- [0046] 이외에도, 화소 연장 전극(150)은 투명한 제1 도전층(162a)으로 형성되고, 데이터 패터군은 불투명한 제2 도전층(162b)으로 형성될 수도 있다. 이 경우, 화소 연장 전극(162a) 및 데이터 패터군은 각각의 마스크 공정을 통해 개별적으로 형성된다.
- [0047] 도 6은 본 발명의 제4 실시 예에 따른 박막트랜지스터 기판을 나타내는 평면도이며, 도 7은 도 6에서 선"III-III'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.
- [0048] 도 6 및 도 7에 도시된 박막트랜지스터 기판은 도 2 및 도 3에 도시된 박막트랜지스터 기판과 대비하여, 화소 연장 전극(150)이 데이터 라인(104)을 사이에 두고 좌우로 인접한 화소 전극들(122) 사이에 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0049] 도 6 및 도 7에 도시된 화소 전극(122)은 데이터 라인(104)을 기준으로 대칭되면서 경사진 사선 방향으로 형성된다. 이 화소 전극(122)은 데이터 라인(104)과 중첩되는 화소 연결부(122B)와, 화소 연결부(122B)에서 연장된 화소 핑거부(122A)를 구비한다.
- [0050] 화소 연장 전극(150)은 데이터 라인(104)을 사이에 두고 좌우로 인접한 화소 전극들(122) 사이에 형성된다. 이 화소 연장 전극(150)은 화소 연결부(122B)와 중첩되는 연장 연결부(150B)와, 연장 연결부(150B)에서 연장된 연장 핑거부(150A)를 구비한다. 이 때, 연장 핑거부(150A)는 연장 연결부(150B)를 기준으로 화소 핑거부(122A)와 대칭되면서 경사진 사선 방향으로 형성된다. 이에 따라, 공통 전극(136)과 화소 전극(122) 사이에 형성된 프린지 전계에 의해 액정 분자들이 연장 연결부(150B) 및 화소 연결부(122B)를 기준으로 대칭적으로 배열됨으로써 멀티-도메인을 형성할 수 있어 시야각을 향상시킬 수 있다.
- [0051] 또한, 화소 연장 전극(150)은 게이트 라인(102) 또는 터치 센싱 라인(160)과 동일 재질로 동일 평면 상에 위치한다. 이 때, 화소 연장 전극(150)이 게이트 라인(102)과 동일 재질로 동일 평면 상에 위치하는 경우, 화소 연장 전극(150)은 게이트 절연막(112), 제1 및 제2 보호막(118,128)을 관통하도록 형성된 제2 화소 콘택홀(152)을 통해 노출된다. 그리고, 화소 연장 전극(150)이 도 7에 도시된 바와 같이 터치 센싱 라인(160)과 동일 재질로 동일 평면 상에 위치하는 경우, 화소 연장 전극(150)은 제2 보호막(128)을 관통하도록 형성된 제2 화소 콘택홀(152)을 통해 노출된다.
- [0052] 이에 따라, 화소 연장 전극(150)은 데이터 라인(104)을 사이에 두고 좌우로 인접한 화소전극들(122) 중 어느 하나와 제2 화소 콘택홀(152)을 통해 전기적으로 접속된다. 화소 연장 전극(150)은 좌우로 인접한 화소 전극들

(122) 사이의 이격 영역에서 공통 전극(136)과 전계를 형성하게 된다. 이 전계에 의해 화소 연장 전극(150)들의 연장 핑거부들(150B) 사이의 슬릿 영역에 위치하는 액정들이 구동되므로 슬릿 영역에서 광이 투과되어 투과율이 향상된다.

- [0053] 도 8은 종래와 본 발명에 따른 박막트랜지스터 기관의 투과율을 비교 설명하기 위한 도면이다.
- [0054] 도 8에 도시된 바와 같이 액정 구동시 최대 구동 전압이 5V인 경우, 종래 박막트랜지스터 기관은 약 4.96%의 투과율을 구현하는 반면에, 본원 발명의 박막트랜지스터 기관은 종래보다 높은 약 5.10%의 투과율을 구현할 수 있다. 이 때, 도 5에 도시된 투명한 화소 연장 전극을 가지는 박막트랜지스터 기관을 적용하는 경우, 종래보다 더 높은 5.10%를 초과하는 투과율을 구현할 수 있다. 이에 따라, 본 발명은 종래에 비해 약 2.6%이상의 투과율 향상을 얻을 수 있다. 이러한 투과율 향상으로 인해, 본 발명은 종래와 동일 휘도 구현시 구동 전압을 낮출 수 있어 소비전력을 절감할 수 있다.
- [0055] 도 9a 내지 도 9g는 본 발명에 따른 박막트랜지스터 기관의 제조 방법을 설명하기 위한 단면도들이다. 본 발명에 따른 박막트랜지스터 기관의 제조 방법은 도 3에 도시된 박막트랜지스터 기관을 예로 들어 설명하기로 한다.
- [0056] 도 9a를 참조하면, 기관(101) 상에 버퍼막(126)이 형성되고, 그 위에 액티브층(114)이 형성된다.
- [0057] 구체적으로, 기관(101) 상에 버퍼막(126) 및 아몰퍼스 실리콘 박막이 순차적으로 도포된다. 그런 다음, 아몰퍼스 실리콘 박막을 결정화함으로써 폴리 실리콘 박막으로 형성된다. 그리고, 폴리 실리콘 박막을 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 액티브층(114)이 형성된다.
- [0058] 도 9b를 참조하면, 액티브층(114)이 형성된 버퍼막(126) 상에 게이트 절연막(112)이 형성되고, 그 위에 제1 및 제2 게이트 전극(106A, 106B)을 포함하는 게이트 라인(102)이 형성된다.
- [0059] 구체적으로, 액티브층(114)이 형성된 버퍼막(126) 상에 게이트 절연막(112)이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 게이트 금속층이 형성된다. 게이트 절연막(112)으로는 SiO_x , SiN_x 등과 같은 무기 절연 물질이 이용된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 게이트 금속층 패터닝함으로써 게이트 절연막(112) 상에 제1 및 제2 게이트 전극(106A, 106B)을 포함하는 게이트 라인(102)이 형성된다.
- [0060] 그리고, 제1 및 제2 게이트 전극(106A, 106B)을 마스크로 이용하여 액티브층(114)에 n+형 또는 p+형 불순물을 주입함으로써, 불순물이 주입된 액티브층(114)의 공통 영역(114C), 소스 영역(114S), 드레인 영역(114D)과, 불순물이 미주입되는 액티브층(114)의 제1 및 제2 채널 영역(114A, 114B)이 형성된다.
- [0061] 도 9c를 참조하면, 제1 및 제2 게이트 전극(106A, 106B)을 포함하는 게이트 라인(102)이 형성된 게이트 절연막(112) 상에 소스 및 드레인 콘택홀(124S, 124D)를 가지는 층간 절연막(116)이 형성된다.
- [0062] 구체적으로, 게이트 라인(102)이 형성된 게이트 절연막(112) 상에 PECVD 등의 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116) 및 게이트 절연막(112)이 패터닝됨으로써 소스 및 드레인 콘택홀(124S, 124D)이 형성된다. 여기서, 소스 및 드레인 콘택홀(124D)은 층간 절연막(116) 및 게이트 절연막(112)을 관통하여 소스 및 드레인 영역(114S, 114D)을 노출시킨다.
- [0063] 도 9d를 참조하면, 층간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 데이터 라인(104) 및 화소 연장 전극(150)을 포함하는 데이터 패터이 형성된다.
- [0064] 구체적으로, 소스 및 드레인 콘택홀(124S, 124D)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 소스/드레인 금속층이 형성된다. 소스/드레인 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 소스/드레인 금속층 패터닝함으로써 층간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 데이터 라인(104) 및 화소 연장 전극(150)이 형성된다.
- [0065] 도 9e를 참조하면, 소스 전극(108), 드레인 전극(110), 데이터 라인(104) 및 화소 연장 전극(150)이 형성된 층간 절연막(116) 상에 제1 보호막(118)이 형성되고, 제1 보호막(118) 상에 공통 개구부(134)를 가지는 공통 전극(136)이 형성된다.
- [0066] 구체적으로, 층간 절연막(116) 상에 SiN_x 또는 SiO_x 와 같은 무기 절연 물질 또는 유기 절연 물질이 전면 도포됨으로써 제1 보호막(118)이 형성된다. 그런 다음, 제1 보호막(118) 상에 스퍼터링 등의 증착 방법으로 ITO등과

같은 투명 금속층이 형성된다. 그 투명 금속층이 포토리소그래피 공정 및 식각 공정을 통해 패터닝함으로써 공통 개구부(134)를 가지는 공통 전극(136)이 형성된다. 이 때, 공통 전극(136)의 공통 개구부(134)는 추후에 형성되는 제1 및 제2 화소 컨택홀(120, 152)보다 넓은 폭으로 제1 및 제2 화소 컨택홀(120, 152)을 둘러싸도록 형성된다.

[0067] 도 9f를 참조하면, 공통 전극(136)이 형성된 제1 보호막(118) 상에 제2 무기 보호막(128)이 형성되고, 제1 및 제2 화소 컨택홀(120, 152)이 형성된다.

[0068] 구체적으로, 공통 개구부(134)를 가지는 공통 전극(136)이 형성된 제1 보호막(118) 상에 SiN_x 또는 SiO_x 와 같은 무기 절연 물질 또는 유기 절연 물질이 전면 도포됨으로써 제2 보호막(128)이 형성된다. 그런 다음, 포토리소그래피 공정으로 형성된 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 제1 및 제2 보호막(118, 128)이 패턴링됨으로써 드레인 전극(110)을 노출시키는 제1 화소 콘택홀(120)과, 화소 연장 전극(150)을 노출시키는 제2 화소 콘택홀(152)이 형성된다.

[0069] 도 9g를 참조하면, 제1 및 제2 화소 컨택홀(120,152)이 형성된 기판(101) 상에 화소 전극(122)이 형성된다.

[0070] 구체적으로, 제2 보호막(128) 상에 스퍼터링 등의 증착 방법으로 ITO 등과 같은 투명 금속층이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 투명 금속층이 패터닝됨으로써 화소 전극(122)이 형성된다.

[0071] 한편, 본 발명에 따른 박막트랜지스터 기판은 액정층을 사이에 두고 컬러 필터 기판과 대향하도록 배치됨으로써 액정 표시 패널이 완성된다. 이 때, 본 발명에서는 프린지 전계형 구조를 예로 들어 설명하였지만, 이외에도 수평 전계형 또는 수직 전계형 등 모든 액정 표시 패널의 구조에 적용가능하다.

[0072] 또한, 본 발명에서는 화소 연장 전극이 게이트 라인 또는 데이터 라인을 사이에 두고 인접한 화소 전극들 사이의 이격 영역에 위치하는 것을 예로 들어 설명하였지만, 이외에도 화소 연장 전극은 게이트 라인 및 데이터 라인 각각을 사이에 두고 인접한 화소 전극들 사이의 이격 영역에 위치할 수도 있다.

[0073] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

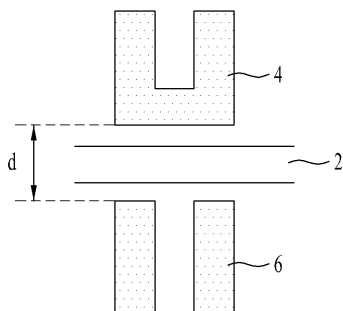
부호의 설명

[0074]

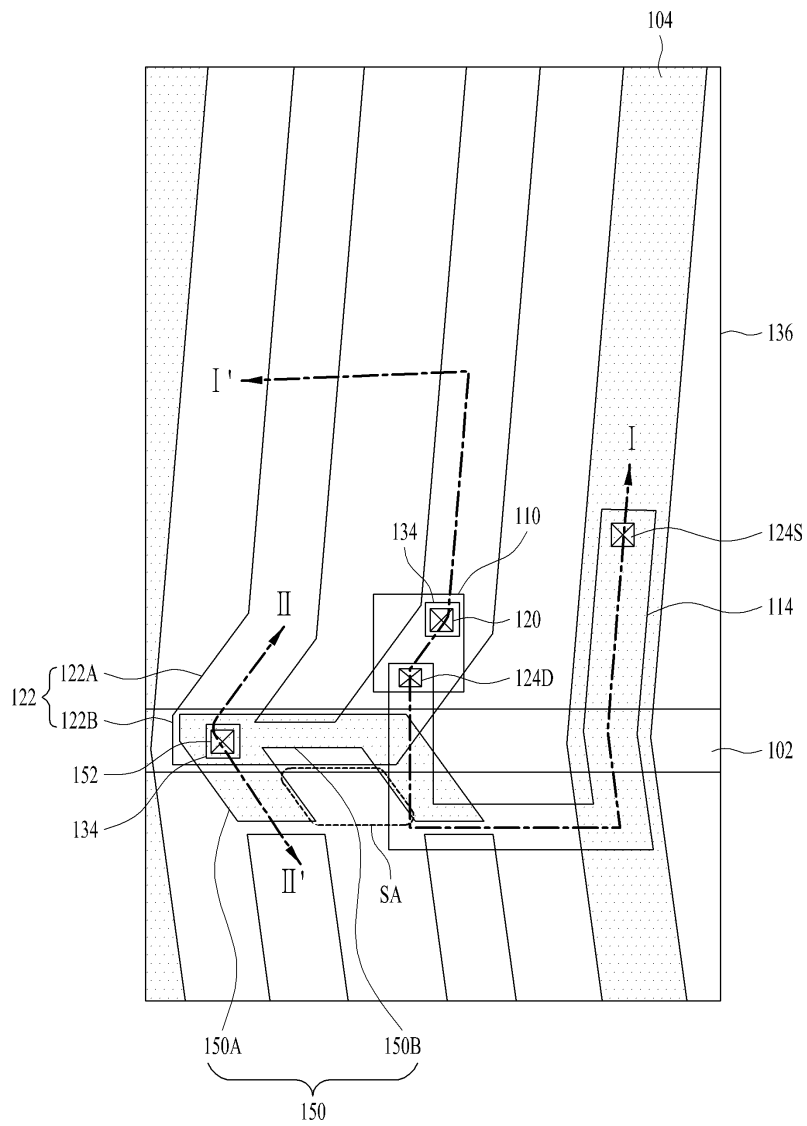
114 : 액티브층	122 : 화소 전극
130: 공통 전극	150 : 화소 연장 전극
160 : 터치 센싱 라인	

도면

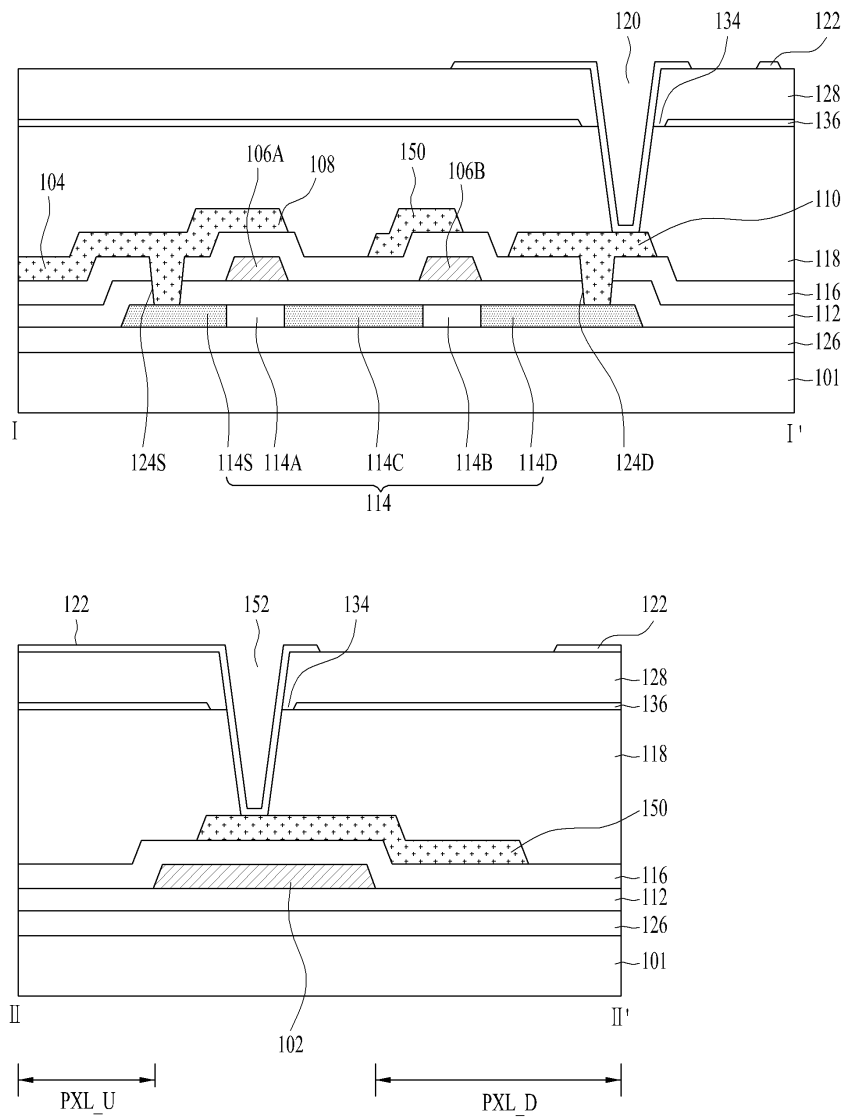
도면1



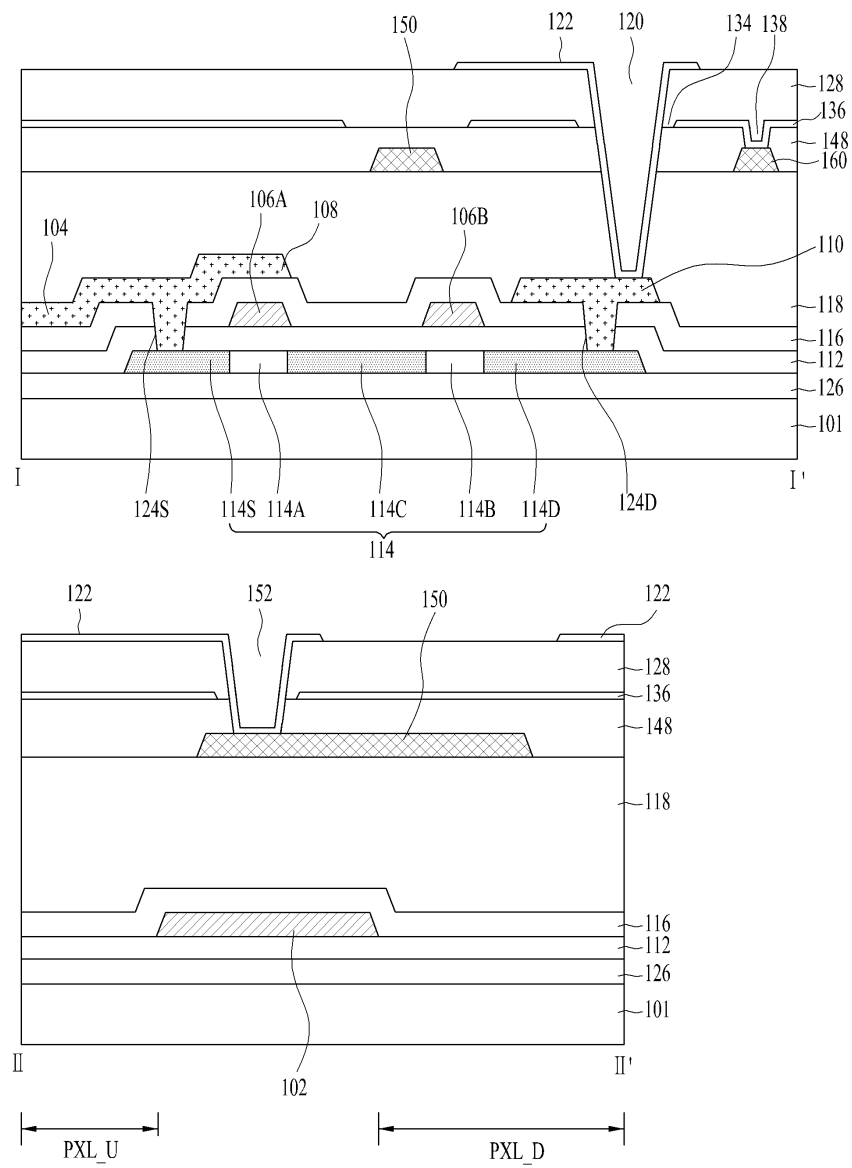
도면2



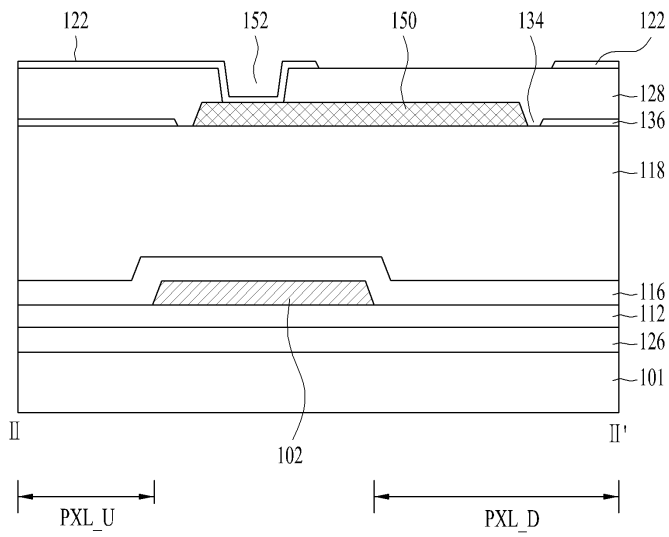
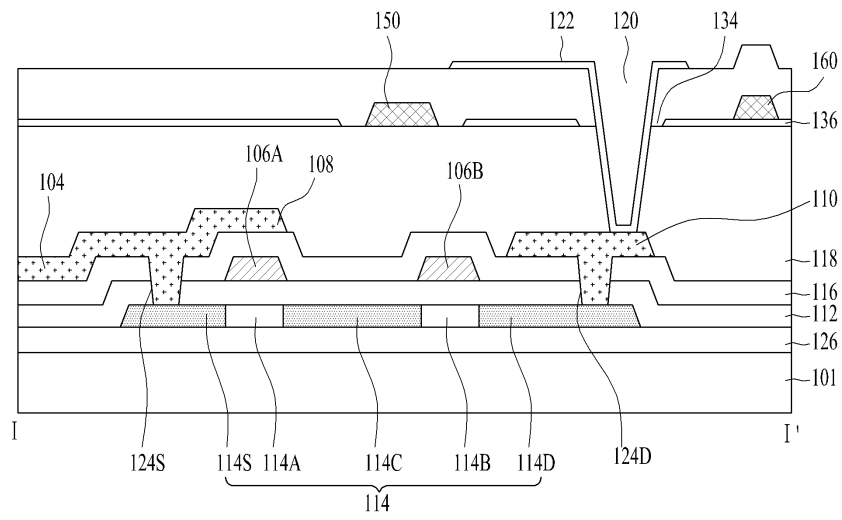
도면3



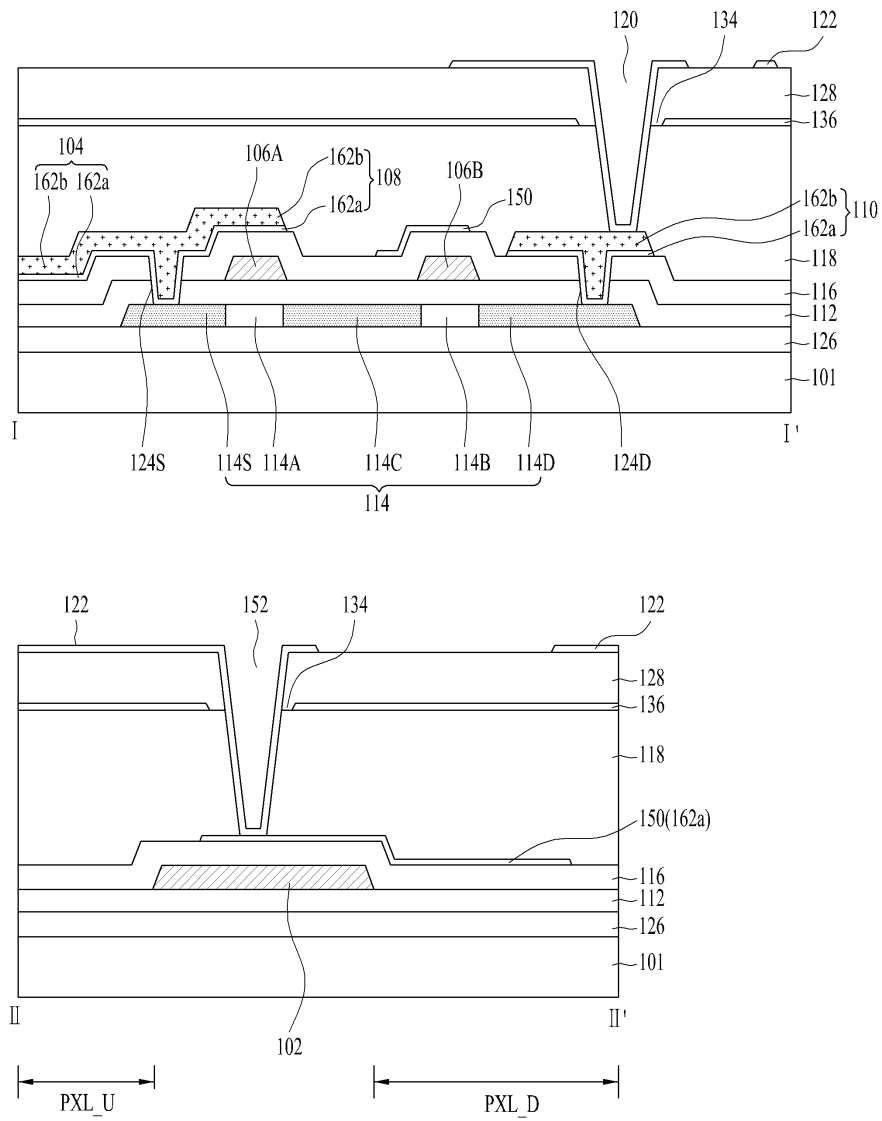
도면4a



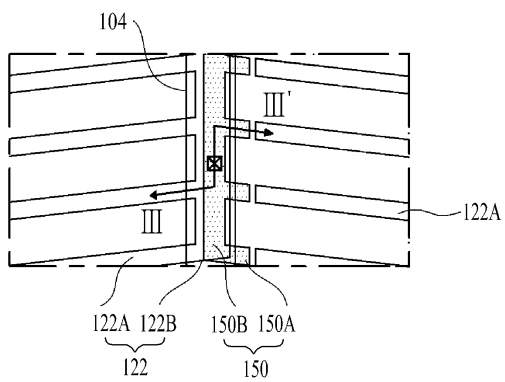
도면4b



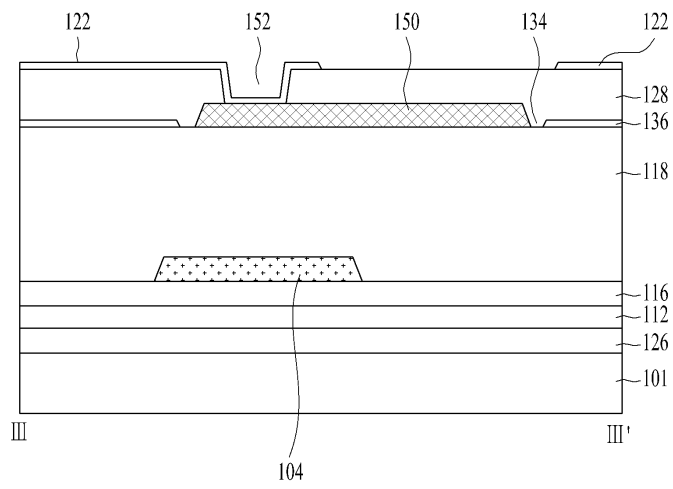
도면5



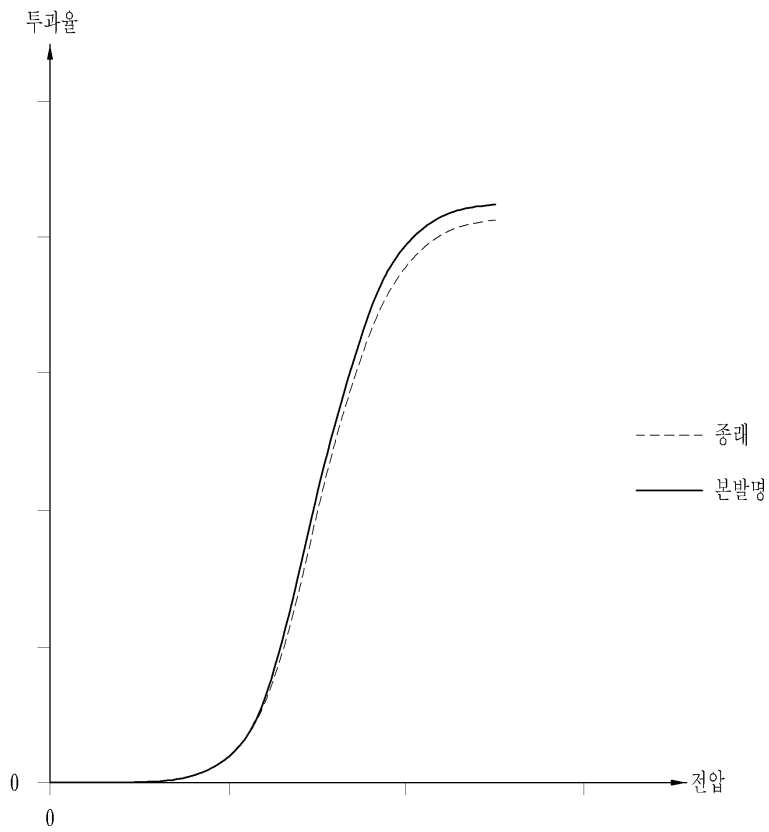
도면6



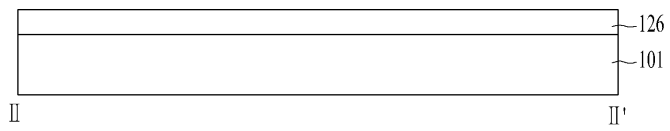
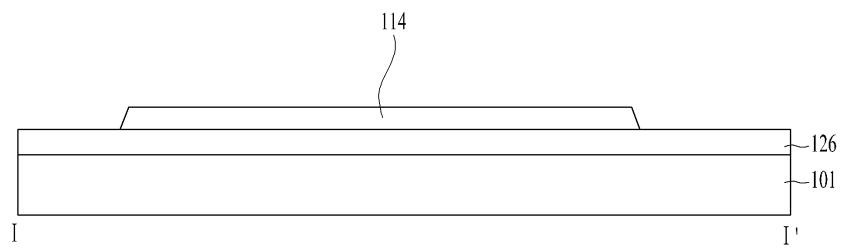
도면7



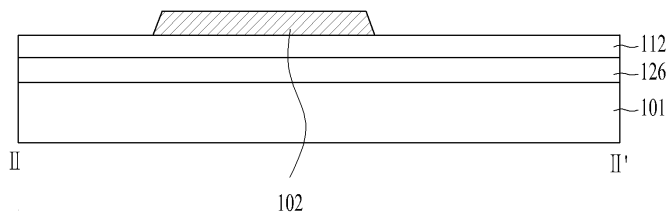
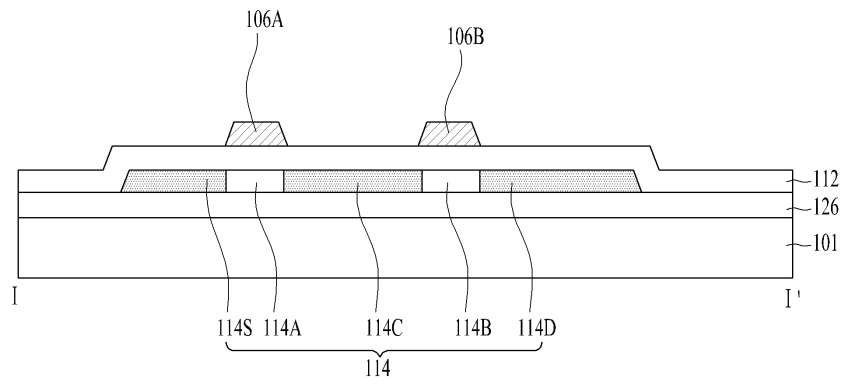
도면8



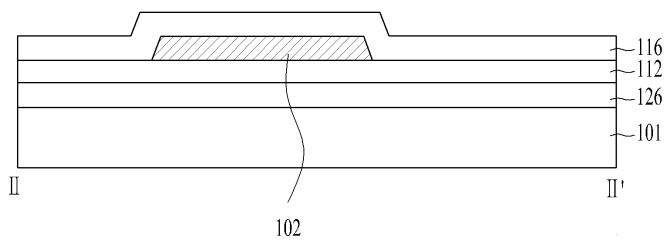
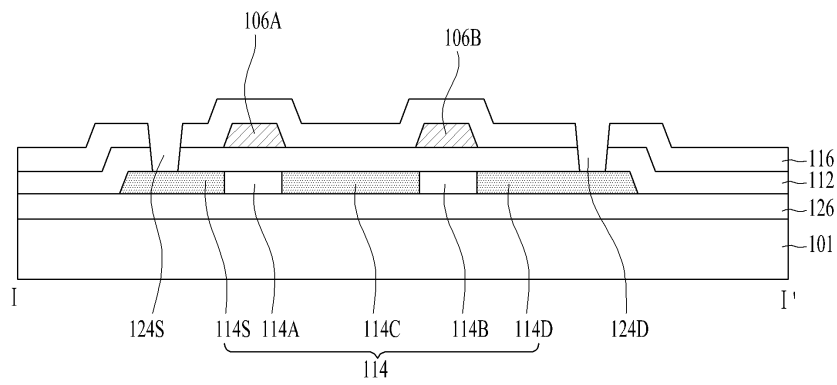
도면9a



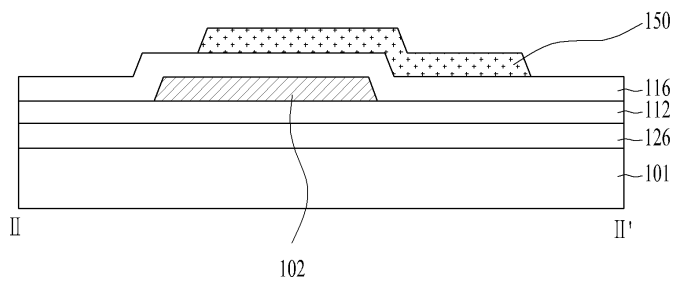
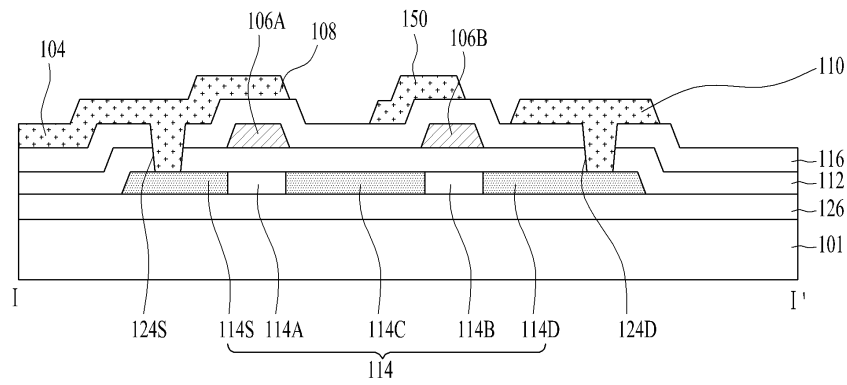
도면9b



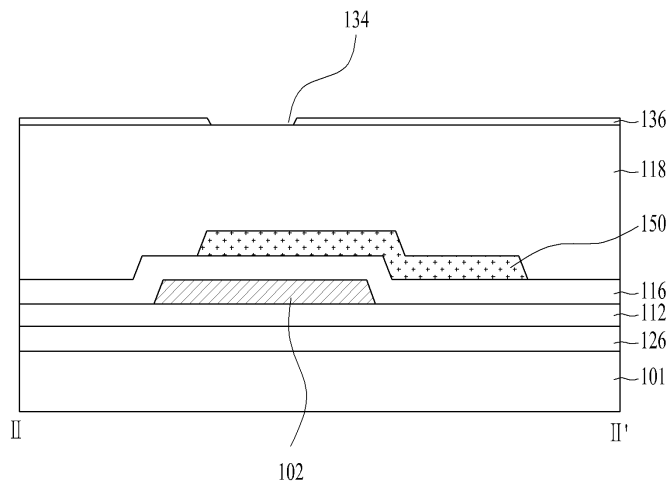
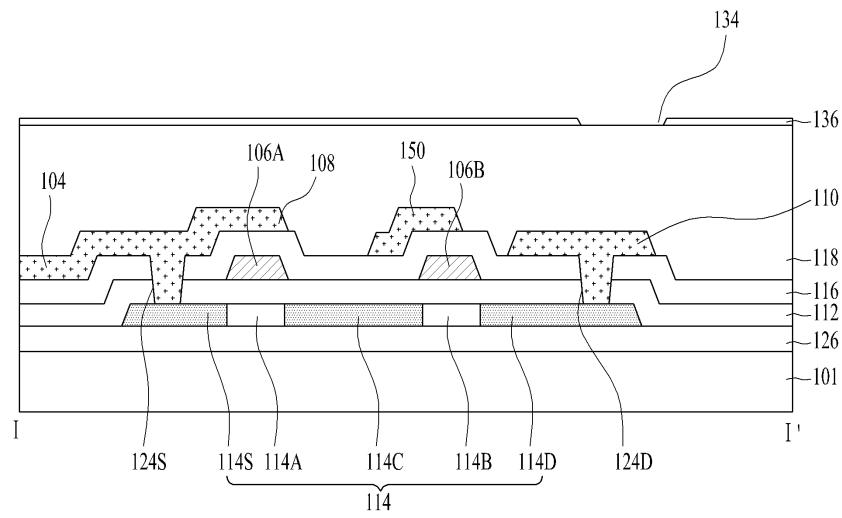
도면9c



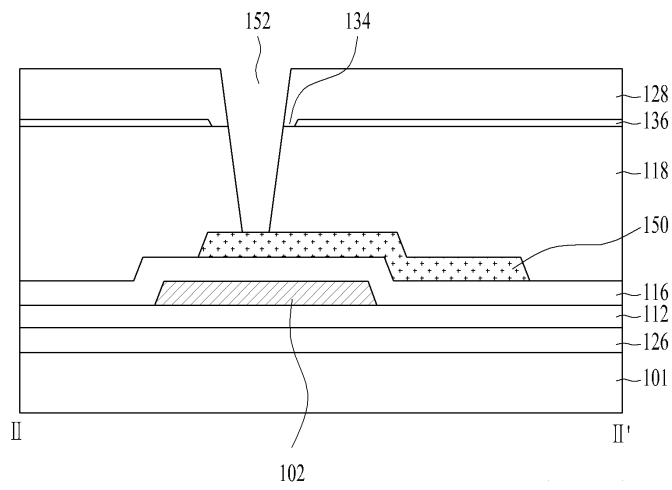
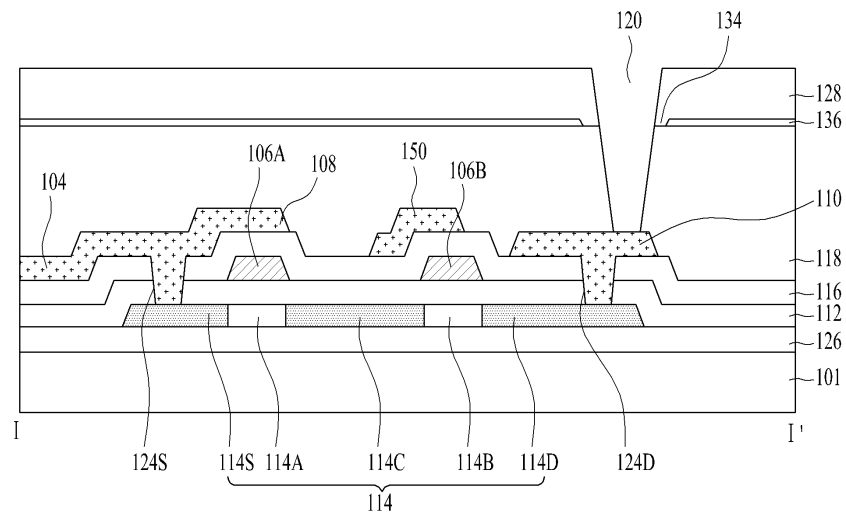
도면9d



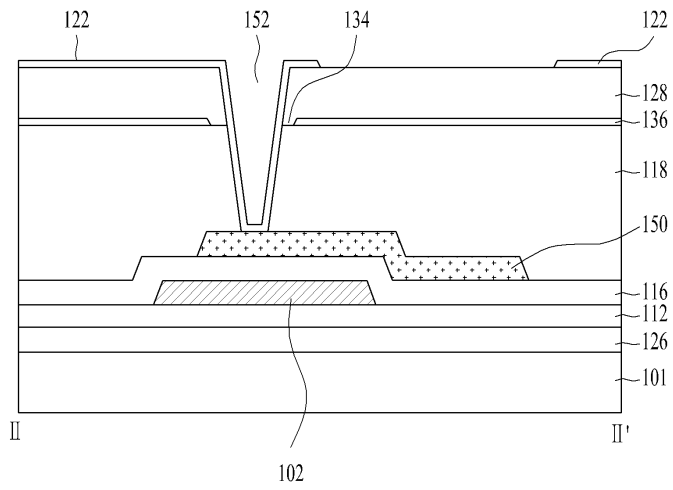
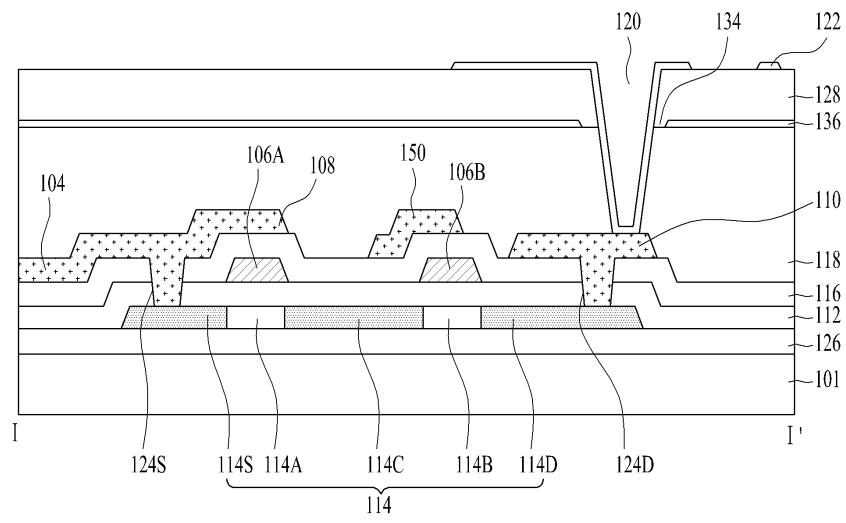
도면9e



도면9f



도면9g



专利名称(译)	标题：薄膜晶体管基板和具有该薄膜晶体管基板的液晶显示板		
公开(公告)号	KR1020160081070A	公开(公告)日	2016-07-08
申请号	KR1020140194263	申请日	2014-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE KYUNG EON 이경언		
发明人	이경언		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1362		
CPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 G02F1/13338 G02F1/133514		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

本发明涉及一种薄膜晶体管基板，并用他的液晶显示面板，以提高渗透性，并且没有一个薄膜晶体管基板的是像素电极是位于根据本发明的一个相邻的相邻像素电极之间的像素电极延伸部并且是电连接的。

