



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0088066  
(43) 공개일자 2014년07월09일

(51) 국제특허분류(Int. Cl.)  
G02F 1/136 (2006.01) HO1L 51/05 (2006.01)  
(21) 출원번호 10-2014-0076719(분할)  
(22) 출원일자 2014년06월23일  
심사청구일자 2014년06월23일  
(62) 원출원 특허 10-2008-0048562  
원출원일자 2008년05월26일  
심사청구일자 2013년04월30일

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박세영  
경기도 고양시 일산서구 일현로 140, 117동 1801호(탄현동, 큰마을대림현대아파트)  
강호철  
경기 고양시 일산서구 대산로 184, 110동 801호(주엽동, 문촌마을1단지아파트)  
(74) 대리인  
특허법인네이트

전체 청구항 수 : 총 5 항

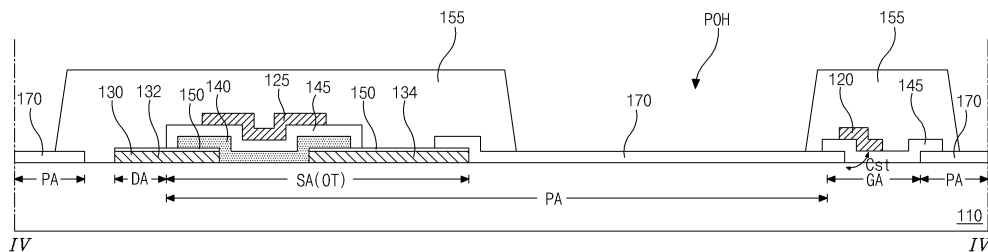
(54) 발명의 명칭 유기 박막트랜지스터 액정표시장치용 어레이 기판 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 고분자 물질을 반도체층으로 이용하는 유기 박막트랜지스터에서의 구동 특성을 향상시킬 수 있는 유기 박막트랜지스터 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

이를 위한 본 발명에 따른 유기 박막트랜지스터 액정표시장치는 스위칭 영역, 화소 영역, 게이트 영역 및 데이터 영역으로 구분된 기판과; 구리, 은, 몰리브덴 중 어느 하나로 이루어지며, 상기 기판 상의 데이터 영역의 일 방향으로 구성된 데이터 배선과 상기 데이터 배선에서 연장된 소스 전극과 상기 소스 전극과 이격된 드레인 전극과; 상기 데이터 배선, 소스 및 드레인 전극의 노출된 상부 표면에 구성된 금속 산화막 패턴과; 상기 드레인 전극과 직접 측면 접촉된 화소 전극과; 상기 소스 및 드레인 전극의 중첩된 상부에 위치하는 유기 반도체층과; 상기 유기 반도체층과 게이트 영역을 덮는 게이트 절연막 패턴과; 상기 게이트 절연막 패턴 상부에 위치하고, 상기 게이트 영역에 대응된 게이트 배선과, 상기 게이트 배선에서 돌출된 게이트 전극과; 상기 게이트 전극 및 배선과 데이터 배선과 유기 반도체층을 덮으며, 상기 화소 영역을 노출하는 픽셀 오픈홀을 포함하는 보호막을 포함하는 것을 특징으로 한다.

대표도 - 도4



(72) 발명자

**허재석**

경기 남양주시 와부읍 덕소로 206, 105동 107호 (쌍용아파트)

**노영훈**

경기도 과천시 쇠재로 133,509동 804호(금촌동, 쇠재마을아파트)

---

## 특허청구의 범위

### 청구항 1

스위칭 영역, 화소 영역, 게이트 영역 및 데이터 영역으로 구분된 기판과;

구리, 은, 몰리브덴 중 어느 하나로 이루어지며, 상기 기판 상의 데이터 영역의 일 방향으로 구성된 데이터 배선과 상기 데이터 배선에서 연장된 소스 전극과 상기 소스 전극과 이격된 드레인 전극과;

상기 데이터 배선, 소스 및 드레인 전극의 노출된 상부 표면에 구성된 금속 산화막 패턴과;

상기 드레인 전극과 직접 측면 접촉된 화소 전극과;

상기 소스 및 드레인 전극의 중첩된 상부에 위치하는 유기 반도체층과;

상기 유기 반도체층과 게이트 영역을 덮는 게이트 절연막 패턴과;

상기 게이트 절연막 패턴 상부에 위치하고, 상기 게이트 영역에 대응된 게이트 배선과, 상기 게이트 배선에서 돌출된 게이트 전극과;

상기 게이트 전극 및 배선과 데이터 배선과 유기 반도체층을 덮으며, 상기 화소 영역을 노출하는 픽셀 오픈홀을 포함하는 보호막

을 포함하는 유기 박막트랜지스터 액정표시장치용 어레이 기판.

### 청구항 2

제 1 항에 있어서,

상기 금속 산화막 패턴은 몰리브덴 산화물, 은 산화물, 구리 산화물 중 선택된 어느 하나인 것을 특징으로 하는 유기 박막트랜지스터 액정표시장치용 어레이 기판.

### 청구항 3

제 1 항에 있어서,

상기 금속 산화막 패턴은 50 ~ 500 Å 범위의 두께로 형성된 것을 특징으로 하는 유기 박막트랜지스터 액정표시장치용 어레이 기판.

### 청구항 4

제 1 항에 있어서,

상기 화소 전극은 전단의 게이트 배선으로 연장 설계하여, 상기 전단의 게이트 배선을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 상기 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 사이 공간에 개재된 상기 게이트 절연막 패턴을 유전체층으로 하는 스토리지 커패시터를 이루는 것을 특징으로 하는 유기 박막트랜지스터 액정표시장치용 어레이 기판.

### 청구항 5

스위칭 영역, 화소 영역, 게이트 영역 및 데이터 영역으로 구분된 기판과;

상기 기판 상의 게이트 영역에 대응된 일 방향으로 구성된 게이트 배선과, 상기 게이트 배선에서 돌출된 게이트 전극과;

상기 게이트 배선과 게이트 전극의 상부를 덮는 게이트 절연막 패턴과;

구리, 은, 몰리브덴 중 어느 하나로 이루어지며, 상기 게이트 절연막 패턴 상의 상기 데이터 영역에 대응된 일 방향으로 구성된 데이터 배선과 상기 데이터 배선에서 연장된 소스 전극과 상기 소스 전극과 이격된 드레인 전극과;

상기 데이터 배선, 소스 및 드레인 전극의 노출된 상부 표면에 구성된 금속 산화막 패턴과;

상기 드레인 전극과 직접 측면 접촉된 화소 전극과;

상기 소스 및 드레인 전극의 중첩된 상부에 위치하는 유기 반도체층과;

상기 데이터 배선, 소스 및 드레인 전극과 유기 반도체층을 덮으며, 상기 화소 전극을 노출하는 픽셀 오픈홀을 포함하는 보호막

을 포함하는 유기 박막트랜지스터 액정표시장치용 어레이 기판.

## 명세서

### 기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 고분자 물질을 반도체층으로 이용하는 유기 박막트랜지스터에서의 구동 특성을 향상시킬 수 있는 유기 박막트랜지스터 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

### 배경기술

[0002] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증대하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), VFD(Vacuum Fluorescent Display), ELD(Electro Luminescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정표시장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0004] 최근 액정표시장치의 박막트랜지스터 중 액티브층에 유기 반도체를 활용한 기술의 연구가 활발히 진행되고 있다.

[0005] 통상적으로, 유기 반도체는 반도체 특성을 나타내는 공액성 유기 고분자인 폴리아세틸렌(polyacetylene)이 개발된 후, 다양한 합성방법, 필름 형태의 용이성, 유연성, 전도성, 저렴한 생산비와 같은 유기물의 특성 때문에 새로운 전기전자 재료로서의 기능성 전자소자 및 광소자 등 광범위한 분야에서 활발히 연구되고 있다.

[0006] 이러한 전도성 고분자를 이용한 소자 중에서, 유기물을 액티브층으로 사용하는 유기 박막트랜지스터(organic thin film transistor : OTFT)에 대한 연구가 폭넓게 진행 중에 있다. 상기 OTFT는 Si-TFT와 구조적으로 거의 같은 형태로 반도체 영역에 Si 대신에 유기물을 사용한다는 차이점이 있다.

[0007] 이하, 첨부한 도면을 참조하여 종래의 유기 박막트랜지스터 액정표시장치 및 그 제조방법에 대하여 설명하기로 한다.

[0008] 도 1은 종래에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이다.

[0009] 도시한 바와 같이, 기판(10) 상에 수직 교차하여 화소 영역(P)을 정의하는 게이트 배선(20)과 데이터 배선(30)이 구성된다. 상기 게이트 배선(20)과 데이터 배선(30)의 교차지점에는 스위칭 역할을 하는 유기 박막트랜지스터(OT)가 구성된다.

[0010] 상기 유기 박막트랜지스터(OT)는 게이트 배선(20)에서 연장된 게이트 전극(25)과, 상기 게이트 전극(25)과 일정 부분 중첩된 유기 반도체층(40)과, 상기 유기 반도체층(40)과 접촉된 소스 전극(32)과 상기 소스 전극(32)과 이

격된 드레인 전극(34)을 포함한다.

- [0011] 상기 드레인 전극(34)과 직접 접촉하는 화소 전극(70)이 화소 영역(P)에 대응하여 구성된다.
- [0012] 이하, 첨부한 도면을 참조하여 종래에 따른 유기 박막트랜지스터에 대해 보다 상세히 설명하도록 한다.
- [0013] 도 2a와 도 2b는 도 1의 II-II'선을 따라 절단하여 나타낸 각각의 단면도로, 보다 상세하게는 게이트 전극, 유기 반도체층, 소스 및 드레인 전극의 형성 위치에 따른 4가지 방식을 나타낸 것이다.
- [0014] 이러한 4가지 방식에는 바텀 게이트/탑 콘택 구조(i), 바텀 게이트/바텀 콘택 구조(ii), 탑 게이트/바텀 콘택 구조(iii), 탑 게이트/ 탑 콘택 구조(iv)가 있다.
- [0015] 우선, 도 2a는 게이트 전극(25)이 최 하부에 위치하는 바텀 게이트 방식을 각각 나타낸 것으로, 도면 좌측에는 게이트 전극(25) 상부에 게이트 절연막 패턴(45), 유기 반도체층(40), 소스 및 드레인 전극(32, 34)이 차례로 위치하는 탑 콘택 구조(i)를 나타낸 것이고, 도면 우측에는 게이트 전극(25) 상부에 게이트 절연막 패턴(45), 소스 및 드레인 전극(32, 34), 유기 반도체층(40)이 차례로 위치하는 바텀 콘택 구조(ii)를 나타낸 것이다.
- [0016] 또한, 도 2b는 게이트 전극(25)이 최 상부에 위치하는 탑 게이트 방식을 각각 나타낸 것으로, 도면 좌측에는 소스 및 드레인 전극(32, 34), 유기 반도체층(40), 게이트 절연막 패턴(45), 게이트 전극(25)이 차례로 위치하는 바텀 콘택 구조(iii)를 나타낸 것이고, 도면 우측에는 유기 반도체층(40), 소스 및 드레인 전극(32, 34), 게이트 절연막 패턴(45), 게이트 전극(25)이 차례로 위치하는 탑 콘택 구조(iv)를 나타낸 것이다.
- [0017] 상기 게이트 전극(25), 게이트 절연막 패턴(45), 유기 반도체층(40), 소스 및 드레인 전극(32, 34)을 포함하여 유기 박막트랜지스터(OT)를 이룬다.
- [0018] 이러한 유기 박막트랜지스터(OT)는 200℃ 이하의 저온 공정으로 제작이 가능한 장점으로, 유리에 비해 내열성 및 내화학성이 약한 플라스틱 기판 상에도 형성할 수 있다는 장점이 있다.
- [0019] 특히, 200℃ 이하의 저온 공정으로 각 전극과 배선을 이루는 금속물질과 절연물질 등을 저온 증착 또는 코팅의 방법을 통해 형성하더라도 유기 박막트랜지스터(OT)의 특성에 별 영향을 주지 않지만, 채널을 형성하는 반도체층(40)으로 비정질 실리콘(a-Si:H)을 이용한 저온 공정으로 형성할 경우에는 내구 구조가 치밀하지 못한 관계로 전기 전도도 등의 중요 특성이 저하되는 문제를 유발할 수 있다.
- [0020] 따라서, 이를 극복하고자 비정질 실리콘 등의 종래의 반도체 물질 대신 반도체 특성을 가지는 펜타센(pentacene)과 같은 유기 물질을 이용하여 유기 반도체층(40)을 형성하고 있다.
- [0021] 이러한 펜타센과 같은 물질의 HOMO 에너지 준위는 금(Au)의 MOMO 에너지 준위와 비슷한 관계로, 펜타센과의 접촉 저항이 다른 금속 물질에 비해 우수한 장점을 가지고 있는 바, 금(Au)을 이용하여 소스 및 드레인 전극(32, 34)을 형성하고자 하는 연구가 활발히 진행되고 있다.
- [0022] 그러나, 금은 그 물질의 가격이 고가인 관계로 양산 적용하는 데 한계가 있을 뿐만 아니라, 스퍼터링 공정을 통해 금을 증착한다 하더라도 금의 물질 특성상 질산, 인산, 염산 및 불산을 포함하는 산 기반의 식각액에 반응이 잘 일어나지 않는 문제로, 수용액에 요오드를 혼합한 식각액으로 대체하고 있으나 이러한 요오드는 독성이 강해 환경 오염을 유발시킬 염려가 다분하여 그 사용에 제약을 받고 있는 상황이다.

**발명의 내용**

**해결하려는 과제**

- [0023] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 유기 반도체층과의 접촉 특성이 우수하면서 금의 전기 전도도에 버금가는 물질을 소스 및 드레인 전극으로 대체하는 것을 통해 유기 박막트랜지스터의 구동 특성을 개선하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0024] 전술한 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판은 스위칭 영역, 화소 영역, 게이트 영역 및 데이터 영역으로 구분된 기판과; 구리, 은, 몰리브덴 중 어느 하나

로 이루어지며, 상기 기관 상의 데이터 영역의 일 방향으로 구성된 데이터 배선과 상기 데이터 배선에서 연장된 소스 전극과 상기 소스 전극과 이격된 드레인 전극과; 상기 데이터 배선, 소스 및 드레인 전극의 노출된 상부 표면에 구성된 금속 산화막 패턴과; 상기 드레인 전극과 직접 접촉된 화소 전극과; 상기 소스 및 드레인 전극의 중첩된 상부에 위치하는 유기 반도체층과; 상기 유기 반도체층과 게이트 영역을 덮는 게이트 절연막 패턴과; 상기 게이트 절연막 패턴 상부에 위치하고, 상기 게이트 영역에 대응된 게이트 배선과, 상기 게이트 배선에서 돌출된 게이트 전극과; 상기 게이트 전극 및 배선과 데이터 배선과 유기 반도체층을 덮으며, 상기 화소 영역을 노출하는 픽셀 오픈홀을 포함하는 보호막을 포함한다.

[0025] 이때, 상기 금속 산화막 패턴은 몰리브덴 산화물, 은 산화물, 구리 산화물 중 선택된 어느 하나인 것을 특징으로 한다. 상기 금속 산화막 패턴은 50 ~ 500Å 범위의 두께로 형성된다.

[0026] 상기 화소 전극은 전단의 게이트 배선으로 연장 설계하여, 상기 전단의 게이트 배선을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 상기 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 사이 공간에 개재된 상기 게이트 절연막 패턴을 유전체층으로 하는 스토리지 커패시터를 이루는 것을 특징으로 한다.

[0027] 진술한 목적으로 달성하기 위한 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판은 스위칭 영역, 화소 영역, 게이트 영역 및 데이터 영역으로 구분된 기관과; 상기 기관 상의 게이트 영역에 대응된 일 방향으로 구성된 게이트 배선과, 상기 게이트 배선에서 돌출된 게이트 전극과; 상기 게이트 배선과 게이트 전극의 상부를 덮는 게이트 절연막 패턴과; 상기 게이트 절연막 패턴 상의 상기 데이터 영역에 대응된 일 방향으로 구성된 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 상기 소스 전극과 이격된 드레인 전극과; 상기 데이터 배선, 소스 및 드레인 전극의 노출된 상부 표면에 구성된 금속 산화막 패턴과; 상기 드레인 전극과 직접 접촉된 화소 전극과; 상기 소스 및 드레인 전극의 중첩된 상부에 위치하는 유기 반도체층과; 상기 데이터 배선, 소스 및 드레인 전극과 유기 반도체층을 덮으며, 상기 화소 전극을 노출하는 픽셀 오픈홀을 포함하는 보호막을 포함한다.

**발명의 효과**

[0028] 본 발명에서는 첫째, 몰리브덴, 은, 구리 등을 포함하는 금속 물질을 이용하여 유기 박막트랜지스터의 소스 및 드레인 전극으로 사용되고, 이러한 소스 및 드레인 전극 상부에서 플라즈마 처리로 금속 산화막을 형성하는 것을 통해 유기 박막트랜지스터의 구동 특성을 향상시킬 수 있다.

[0029] 둘째, 금에 비해 가격이 저렴하고 불산, 질산, 인산을 포함하는 산 기반의 식각액에 반응이 잘 일어나는 몰리브덴, 은, 구리를 적용하는 것을 통해 생산 수율을 개선할 수 있다.

**도면의 간단한 설명**

[0030] 도 1은 종래에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기관의 단위 화소를 나타낸 평면도.

도 2a와 도 2b는 도 1의 II-II'선을 따라 절단하여 나타낸 각각의 단면도.

도 3은 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기관의 단위 화소를 나타낸 평면도.

도 4는 도 3의 IV-IV'선을 따라 절단하여 나타낸 단면도.

도 5a 내지 도 5f는 도 3의 IV-IV'선을 따라 절단하여 공정 순서에 의해 나타낸 공정 단면도.

도 6은 유기 반도체층의 HOMO 에너지 준위와 LOMO 에너지 준위, 그리고 금, 몰리브덴, 몰리브덴 산화물의 일함수를 각각 나타낸 도면.

도 7a와 도 7b는 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터의 구동 특성을 실험한 각각의 그래프.

도 8은 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기관의 단위 화소를 나타낸

평면도.

도 9는 도 8의 IX-IX'선을 따라 절단하여 나타낸 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0031] --- 제 1 실시예 ---
- [0032] 본 발명은 금에 비해 가격이 저렴하고, O<sub>2</sub> 플라즈마 처리를 통해 유기 반도체층과의 계면에서의 접촉 저항이 금보다 작은 몰리브덴을 소스 및 드레인 전극으로 이용하는 것을 통해 탑 게이트/바텀 콘택 구조 유기 박막트랜지스터의 구동 특성을 향상시킬 수 있는 것을 특징으로 한다.
- [0033] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기 박막트랜지스터 액정표시장치에 대해 설명하도록 한다.
- [0034] 도 3은 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이고, 도 4는 도 3의 IV-IV'선을 따라 절단하여 나타낸 단면도로, 탑 게이트/탑 콘택 구조를 일 예로 나타내고 있다.
- [0035] 도 3과 도 4에 도시한 바와 같이, 기판(110) 상의 일 방향으로 데이터 배선(130)과, 상기 데이터 배선(130)에서 연장된 소스 전극(132)과, 상기 소스 전극(132)과 이격된 드레인 전극(134)을 구성한다.
- [0036] 상기 데이터 배선(130), 소스 및 드레인 전극(132, 134)의 상부에는 금속 산화막 패턴(150)을 형성한다. 상기 금속 산화막 패턴(150)은 소스 및 드레인 전극(132, 134)의 노출된 표면에 O<sub>2</sub> 플라즈마를 통해 50 ~ 500Å 정도의 매우 얇은 두께로 형성한 것이다. 상기 금속 산화막 패턴(150)은 몰리브덴(Mo), 은(Ag), 구리(Cu)를 기초로 하는 몰리브덴 산화물(MoO<sub>3</sub>), 은 산화물(AgO<sub>3</sub>), 구리 산화물(CuO<sub>3</sub>) 중 선택된 어느 하나를 적용할 수 있다.
- [0037] 상기 드레인 전극(134)과 직접 접촉된 화소 전극(170)을 화소 영역(P)에 대응하여 구성한다. 상기 화소 전극(170)은 인듐-틴-옥사이드(ITO) 및 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 구성된다.
- [0038] 상기 소스 전극(132)과 드레인 전극(134)의 이격된 사이로 펜타센(pentacene)과 폴리씨오펜(polythiophene) 등을 포함하는 유기 반도체 물질 그룹 중 선택된 하나로 유기 반도체층(140)을 형성한다. 상기 유기 반도체층(140)은 소스 전극(132)과 드레인 전극(134) 각각의 일 부분과 중첩된 아일랜드 형태의 패턴으로 구성된다.
- [0039] 상기 유기 반도체층(140)의 상부에는 게이트 절연막 패턴(145)과, 상기 데이터 배선(130)과 수직 교차하여 화소 영역(P)을 정의하는 게이트 배선(120)과, 상기 게이트 배선(120)에서 돌출된 게이트 전극(125)을 차례로 적층 구성한다.
- [0040] 상기 소스 및 드레인 전극(132, 134), 금속 산화막 패턴(150), 유기 반도체층(140), 게이트 절연막 패턴(145)과 게이트 전극(125)을 포함하여 탑 게이트/바텀 콘택 구조의 유기 박막트랜지스터(OT)를 이룬다.
- [0041] 상기 게이트 전극(125)의 상부에는 화소 영역(PA)에 대응된 화소 전극(170)을 노출하는 픽셀 오픈홀(POH)을 포함하는 보호막(155)을 구성한다. 상기 픽셀 오픈홀(POH)은 화소 전극(170)의 투과율을 향상시키는 기능을 한다.
- [0042] 상기 화소 전극(170)은 전단의 게이트 배선(120)과 중첩되도록 설계하여, 상기 전단의 게이트 배선(120)을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 화소 전극(170)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 사이 공간에 개재된 게이트 절연막 패턴(145)을 유전체층으로 하는 스토리지 커패시터(Cst)가 구성된다.
- [0043] 전술한 구성은 소스 및 드레인 전극(132, 134)과 유기 반도체층(140)의 사이 공간에 금속 산화막 패턴(150)이 개재된 구조로, 상기 금속 산화막 패턴(150)은 소스 및 드레인 전극(132, 134)과 유기 반도체층(140)의 계면 간 접촉 특성을 개선하는 역할을 한다. 따라서 유기 박막트랜지스터(OT)의 구동 특성을 향상시킬 수 있게 된다.
- [0044] 이에 대해서는, 이하 본 발명에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판의 제조방법을 통해 보다 상세히 설명하도록 한다.
- [0045] 도 5a 내지 도 5f는 도 3의 IV-IV'선을 따라 절단하여 공정 순서에 의해 나타낸 공정 단면도이다.
- [0046] 도 5a에 도시한 바와 같이, 기판(110) 상에 스위칭 영역(SA), 화소 영역(PA), 게이트 영역(GA) 및 데이터 영역(DA)을 정의하는 단계를 진행한다. 이때, 상기 기판(110)은 유리나 플라스틱 재질 중 선택된 어느 하나가 이용될 수 있다.

- [0047] 상기 다수의 영역(SA, PA, GA, DA)이 정의된 기판(110) 상에 몰리브덴(Mo), 은(Ag), 구리(Cu)를 포함하는 도전성 물질 그룹 중 선택된 하나로 소스 및 드레인 금속층(175)을 형성한다.
- [0048] 다음으로, 상기 소스 및 드레인 금속층(175)이 형성된 기판(110) 상부 전면에 O<sub>2</sub> 플라즈마 처리를 실시하는 단계를 진행한다.
- [0049] 도 5b에 도시한 바와 같이, 전술한 O<sub>2</sub> 플라즈마 처리를 통해 소스 및 드레인 금속층(175)의 노출된 표면 상부에는 금속 산화층(150a)이 형성된다. 상기 금속 산화층(150a)은 몰리브덴(Mo), 은(Ag), 구리(Cu)와 산화 반응된 몰리브덴 산화물(MoO<sub>3</sub>), 은 산화물(AgO<sub>3</sub>), 구리 산화물(CuO<sub>3</sub>) 중 선택된 어느 하나가 이용될 수 있다.
- [0050] 이러한 금속 산화층(150a)은 후속 공정으로 형성될 유기 반도체층(도 3의 140)과의 계면 간 접촉 특성을 개선하는 기능을 한다.
- [0051] 일반적으로, 상기 소스 및 드레인 금속층(175)은 2000 ~ 3000Å의 두께로 형성된다. 상기 금속 산화층(150a)의 두께를 위와 같이 매우 얇은 두께로 형성하는 것은 500Å 이상의 두께로 형성된 금속 산화층(150a)은 부도체 특성을 나타내게 되고 정공 주입이 어려워지는 문제를 야기할 수 있다. 따라서, 상기 금속 산화층(150a)은 소스 및 드레인 금속층(175)의 노출된 상부 표면에 매우 얇은 두께, 바람직하게는 50 ~ 500Å 범위의 두께로 형성한다.
- [0052] 도면으로 상세히 제시하는 않았지만, 이러한 몰리브덴, 은, 구리와 같은 금속 물질은 산화가 쉽게 되는 특성으로 대기 중에 방치하는 것만으로 자연 산화막(미도시)을 형성할 수 있으나, 자연 산화막의 경우 각 위치에서의 그 두께가 균일하게 형성되는 데 한계가 있기 때문에, O<sub>2</sub> 플라즈마 처리에 비해 그 신뢰성이 떨어지는 문제가 있다.
- [0053] 이에 대한 대안으로, O<sub>2</sub> 플라즈마 처리 대신 소스 및 드레인 금속층(175)을 오븐(미도시)에서 장시간 동안 열처리하는 것을 통해 금속 산화층(150a)을 형성하는 방법을 적용할 수 있다.
- [0054] 도 5c에 도시한 바와 같이, 상기 소스 및 드레인 금속층(도 5b의 175)과 금속 산화층(도 5b의 150a)을 일괄적으로 패터닝하여, 상기 데이터 영역(DA)에 대응된 일 방향으로 데이터 배선(130)과, 상기 데이터 배선(130)에서 연장된 소스 전극(132)과, 상기 소스 전극(132)과 이격된 드레인 전극(134)을 형성한다. 전술한 패터닝 공정으로, 상기 데이터 배선(130)과 소스 및 드레인 전극(132, 134)의 노출된 상부 표면에는 다수의 금속 산화막 패터닝(150)이 각각 위치하게 된다.
- [0055] 다음으로, 상기 데이터 배선(130), 소스 및 드레인 전극(132, 134)과 금속 산화막 패터닝(150)이 형성된 기판(110) 상부 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 투명 금속층(미도시)을 형성하고 이를 패터닝하여, 상기 드레인 전극(134)과 직접 접촉하는 화소 전극(170)을 화소 영역(PA)에 대응하여 형성한다. 이때, 상기 화소 전극(170)은 전단에 위치하는 게이트 영역(GA)으로 연장 설계한다.
- [0056] 도 5d에 도시한 바와 같이, 상기 데이터 배선(130), 소스 및 드레인 전극(132, 134), 금속 산화막 패터닝(150) 및 화소 전극(170)이 형성된 기판(110) 상부 전면에 액상의 펜타센(pentacene)과 폴리싸이오펜(polythiophene)을 포함하는 유기 반도체 물질 그룹 중 선택된 하나로 유기 반도체 물질층(미도시)을 형성하고 이를 패터닝하여, 상기 소스 및 드레인 전극(132, 134)과 중첩된 상부로 유기 반도체층(140)을 형성한다.
- [0057] 이러한 유기 반도체층(140)은 잉크젯 장치, 노즐(nozzle) 코팅 장치, 바(bar) 코팅 장치, 슬릿 slit) 코팅 장치 및 스핀(spin) 코팅 장치 중 선택된 어느 하나를 이용하여 전면에 소정의 두께로 코팅하는 것을 통해 형성할 수 있다.
- [0058] 도 5e에 도시한 바와 같이, 상기 유기 반도체층(140)이 형성된 기판(110) 상부 전면에 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)을 포함하는 무기절연물질 그룹이나 포토 아크릴(photo acryl)과 벤조싸이클로부텐(benzocyclobutene)을 포함하는 유기절연물질 그룹 중 선택된 하나로 게이트 절연층(미도시)을 형성하고 이를 패터닝하여, 상기 유기 반도체층(140)과 게이트 영역(GA)을 덮는 게이트 절연막 패터닝(145)을 형성한다. 이때, 상기 무기절연물질로 게이트 절연층을 형성할 경우에는 유기 반도체층(140)에 손상이 가해지지 않도록 저온 증착 공정으로 형성하는 것이 바람직하다.

- [0059] 다음으로, 상기 게이트 절연막 패턴(145)이 형성된 기판(110) 상부 전면에 구리(Cu), 몰리브덴(Mo), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속 물질 그룹 중 선택된 하나로 게이트 금속층(미도시)을 형성하고 이를 패턴하여, 상기 게이트 영역(GA)에 대응된 일 방향으로 게이트 배선(120)과, 상기 게이트 배선(120)에서 연장되고, 상기 유기 반도체층(140)과 중첩된 상부에 대응된 게이트 전극(125)을 형성한다. 상기 유기 반도체층(140)과 게이트 배선(120) 및 게이트 전극(125)의 하부에는 게이트 절연막 패턴(145)이 개재된 상태이다.
- [0060] 이때, 전단의 게이트 영역(GA)으로 연장 설계된 화소 전극(170)을 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 전단의 게이트 배선(120)을 제 2 전극으로 하며, 상기 제 1 및 제 2 전극의 사이 공간에 개재된 게이트 절연막 패턴(145)을 유전체층으로 하는 스토리지 커패시터(Cst)가 형성된다.
- [0061] 상기 소스 및 드레인 전극(132, 134), 금속 산화막 패턴(150), 유기 반도체층(140)과 게이트 전극(125)을 포함하여 액정표시장치의 스위칭 역할을 하는 유기 박막트랜지스터(OT)를 이룬다.
- [0062] 일 예로, 전술한 몰리브덴(Mo)으로 형성된 소스 및 드레인 전극(132, 134)에 있어서, 몰리브덴(Mo) 자체의 일함수(work function)는 4.6eV이고 금(Au)의 일함수는 5.1eV이다. 이러한 몰리브덴(Mo) 자체의 일함수(4.6eV)는 금(Au)의 일함수(5.1eV)에 비해 유기 반도체층(140)의 HOMO 에너지 준위와 정확히 일치하지는 않지만 그 산화물인 몰리브덴 산화물(MoO<sub>3</sub>)은 일함수가 5.3eV로 정공의 주입 장벽을 더욱 낮출 수 있는 장점이 있다.
- [0063] 상기 HOMO(Highest Occupied Molecular Orbital) 에너지 준위는 전자가 있는 최고 에너지 준위의 분자궤도함수를 의미하며, LUMO(Lowest Unoccupied Molecular Orbital) 에너지 준위는 전자가 없는 최고 에너지 준위의 분자궤도함수를 일컫는다.
- [0064] 도 6은 유기 반도체층의 HOMO 에너지 준위와 LOMO 에너지 준위, 그리고 금(Au), 몰리브덴(Mo), 몰리브덴 산화물(MoO<sub>3</sub>)의 일함수를 각각 나타낸 것으로 도 5와 연계하여 상세히 설명하도록 한다.
- [0065] 도 5와 도 6에 도시한 바와 같이, 금(Au)의 일함수(5.1eV)와, 몰리브덴(Mo)의 일함수(4.6eV)는 유기 반도체층(140)의 HOMO 에너지 준위(5.0eV) 보다 높은 위치에 있기 때문에 정공을 주입함에 있어 에너지 장벽이 존재하게 되고 이러한 장벽은 금(Au) 또는 몰리브덴(Mo)으로 이루어진 소스 및 드레인 전극(132, 134)과 유기 반도체층(140) 간의 접촉 저항을 상승시키는 요인으로 작용하여 유기 박막트랜지스터(OT)의 구동 특성을 저해하는 문제를 초래한다.
- [0066] 이때, 상기 금(Au)의 일함수가 유기 반도체층(140)의 HOMO 에너지 준위 보다 위쪽에 위치하는 것으로 나타낸 것은 유기 반도체층(140)의 HOMO 에너지 준위가 2eV 정도의 편차로 위아래로 이동하는 특성을 나타내며, 주로 금(Au)의 일함수 보다 하부에 위치하게 된다.
- [0067] 하지만, 본 발명에서와 같이 몰리브덴(Mo)을 이용하여 소스 및 드레인 전극(132, 134)을 형성하고, O<sub>2</sub> 플라즈마 처리를 실시하여 매우 얇은 두께의 몰리브덴 산화물(MoO<sub>3</sub>)을 형성하게 되면, 몰리브덴 산화물(MoO<sub>3</sub>)의 일함수(5.3eV)가 유기 반도체층(140)의 HOMO 에너지 준위 보다 더 낮은 위치에 형성되기 때문에, 정공 주입을 함에 있어 에너지 장벽이 존재하지 않게 된다.
- [0068] 따라서, 본 발명의 제 1 실시예에서는 소스 및 드레인 전극(132, 134)과 유기 반도체층(140)의 사이 공간에 금속 산화막 패턴(150)이 개재된 구조로, 에너지 장벽 없이 게이트 전압에 따라 채널 내로 이동하는 전자의 흐름을 원활히 제어할 수 있는 장점이 있다.
- [0069] 즉, 상기 몰리브덴 산화물(MoO<sub>3</sub>)이 유기 반도체층(140)과 소스 및 드레인 전극(132, 134) 간의 접촉 저항을 낮춰주는 기능을 하게 되는 바, 소스 및 드레인 전극(132, 134)과 유기 반도체층(140) 간의 접촉 계면에 위치하는 몰리브덴 산화물(MoO<sub>3</sub>)이 구동 전압의 인가시 채널(ch) 내로 이동하는 전하 이동도를 향상시키는 기능을 한다.
- [0070] 따라서, 금(Au)과 비교하여 상당히 저렴한 몰리브덴(Mo), 은(Ag), 구리(Cu) 등을 포함하는 도전성 물질을 이용하고, 이러한 몰리브덴(Mo)에 O<sub>2</sub> 플라즈마 처리 공정을 추가하는 것을 통해 공정상의 어려움 없이 유기 박막트랜지스터(OT)의 구동 특성을 개선할 수 있는 장점이 있다.
- [0071] 도 5f에 도시한 바와 같이, 게이트 전극(125)과 게이트 배선(120)이 형성된 기판(110) 상부 전면에서 산화 실리콘과 질화 실리콘을 포함하는 무기절연물질 그룹이나 벤조사이클로부텐과 포토 아크릴을 포함하는 유기절연물질

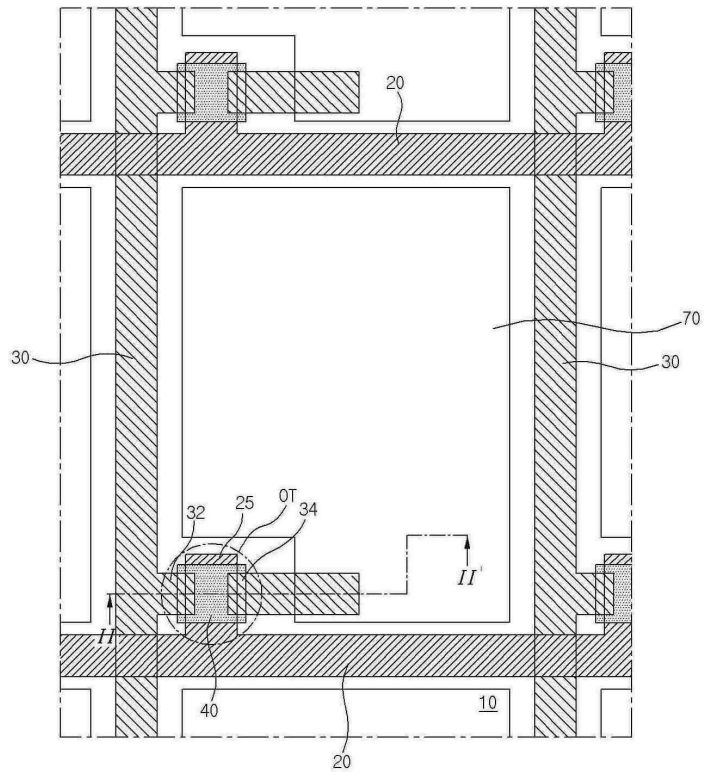
그룹 중 선택된 하나로 보호막(155)을 형성한다.

- [0072] 다음으로, 상기 화소 영역(PA)에 대응된 보호막(155)을 패틴하여, 상기 화소 전극(170)을 노출하는 픽셀 오픈홀(POH)을 형성한다. 상기 픽셀 오픈홀(POH)은 화소 전극(170)의 투과율을 개선시키는 기능을 한다.
- [0073] 이상으로, 본 발명에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판을 제작할 수 있다.
- [0074] 종합해 보면, 본 발명의 제 1 실시예에서는 금에 비해 가격이 저렴하고, O<sub>2</sub>플라즈마 처리를 통해 유기 반도체층과의 계면에서의 접촉 저항이 금 보다 작은 몰리브덴, 은, 구리 등을 소스 및 드레인 전극으로 이용하는 것을 통해 탑 게이트/바텀 콘택 구조 유기 박막트랜지스터의 구동 특성을 향상시킬 수 있다.
- [0075] 도 7a와 도 7b는 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터의 구동 특성을 실험한 각각의 그래프로, 이를 참조하여 보다 상세히 설명하도록 한다.
- [0076] 우선, 도 7a는 게이트 전압에 따른 저항 값을 나타낸 것으로, 보다 상세하게는 금과 유기 반도체층 간의 접촉면(1), 몰리브덴과 유기 반도체층 간의 접촉면(2), 몰리브덴 산화물과 유기 반도체층(3) 간의 접촉면에서의 접촉 저항을 비교한 그래프이다.
- [0077] 이때, 게이트 전압에 따른 접촉 저항에 있어서, (1)에 비해 (2), (3)의 경우, 그 접촉 저항 값이 확연히 낮아진 것을 확인할 수 있다.
- [0078] 또한, 도 7b는 I-V 특성을 나타낸 그래프로, 보다 상세하게는 금(1)과 몰리브덴(2)으로 소스 및 드레인 전극을 각각 형성했을 때의 실험 결과를 나타낸 것이다.
- [0079] 이때, 게이트/소스 전압에 따른 드레인/소스 전류 값을 나타낸 것으로, 금(1)에 비해 몰리브덴(2)을 이용할 경우 게이트/소스 전압에 따른 드레인/소스 전류 값이 확연하게 상승한 것을 알 수 있다.
- [0080] 따라서, 본 발명의 제 1 실시예에서와 같이 금에 비해 산화 반응이 잘 일어나는 몰리브덴, 은, 구리와 같은 물질을 이용하여 소스 및 드레인 전극을 형성하는 것을 통해 박막트랜지스터의 구동 특성을 향상시킬 수 있는 장점이 있다.
- [0081] --- 제 2 실시예 ---
- [0082] 본 발명의 제 2 실시예는 바텀 게이트/바텀 콘택 구조를 적용한 것을 특징으로 한다.
- [0083] 본 발명의 제 2 실시예는 제 1 실시예와 그 목적 및 효과에 있어서는 동일한 바, 그 구성에 대해서만 간략하게 설명하도록 한다.
- [0084] 도 8은 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도이고, 도 9는 도 8의 IX-IX' 선을 따라 절단하여 나타낸 단면도로, 바텀 게이트/바텀 콘택 구조를 나타낸 것이다.
- [0085] 도 8과 도 9에 도시한 바와 같이, 기판(210) 상에 일 방향으로 게이트 배선(220)과, 상기 게이트 배선(220)에서 연장된 게이트 전극(225)을 구성한다.
- [0086] 상기 게이트 배선(220)과 게이트 전극(225)의 상부를 덮는 게이트 절연막 패틴(145)을 구성한다. 상기 게이트 절연막 패틴(145) 상에는 게이트 배선(220)과 수직 교차하여 화소 영역(PA)을 정의하는 데이터 배선(230)과, 상기 데이터 배선(230)에서 연장된 소스 전극(232)과, 상기 소스 전극(232)과 이격된 드레인 전극(234)을 구성한다.
- [0087] 상기 데이터 배선(230), 소스 및 드레인 전극(232, 234)의 상부에는 금속 산화막 패틴(150)을 구성한다. 상기 금속 산화막 패틴(150)은 소스 및 드레인 전극(232, 234)의 노출된 표면에 O<sub>2</sub> 플라즈마를 통해 50 ~ 500Å 정도의 매우 얇은 두께로 형성한 것이다. 상기 금속 산화막 패틴(150)은 몰리브덴(Mo), 은(Ag), 구리(Cu)를 기초로 하는 몰리브덴 산화물(MoO<sub>3</sub>), 은 산화물(AgO<sub>3</sub>), 구리 산화물(CuO<sub>3</sub>) 중 선택된 어느 하나를 적용할 수 있다.
- [0088] 상기 드레인 전극(234)과 직접 접촉된 화소 전극(270)을 화소 영역(P)에 대응하여 구성한다. 상기 화소 전극(270)은 인듐-틴-옥사이드(ITO) 및 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 구성된다.

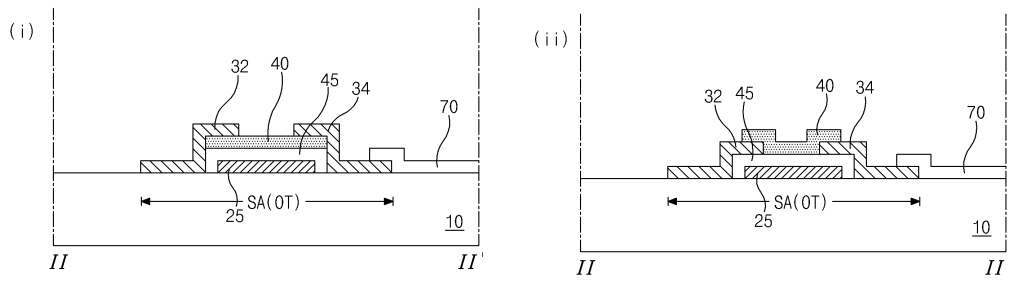


도면

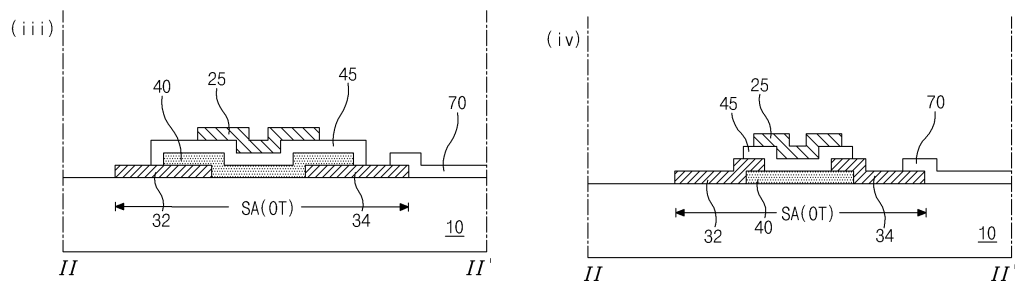
도면1



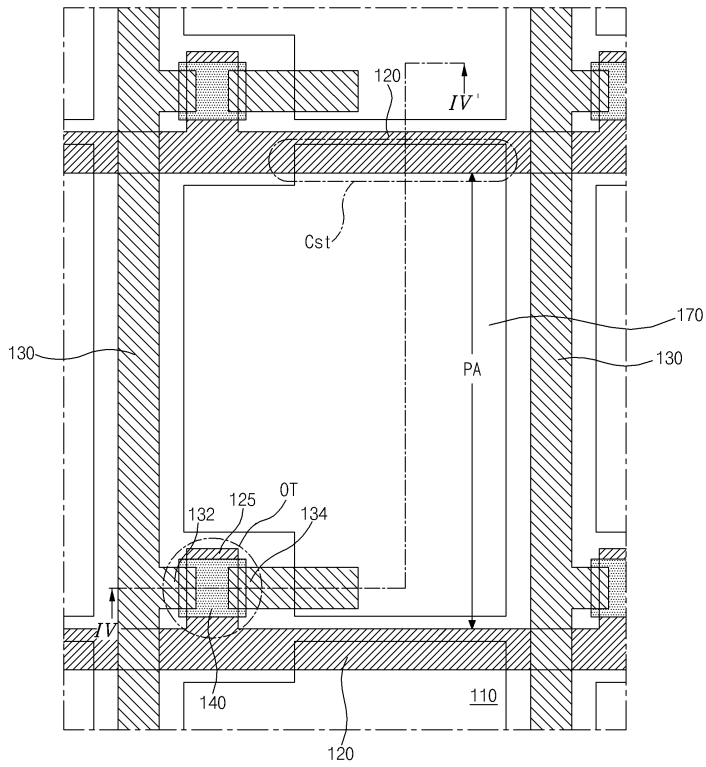
도면2a



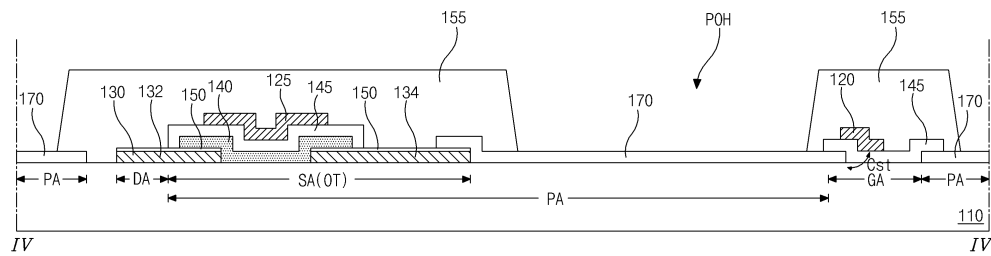
도면2b



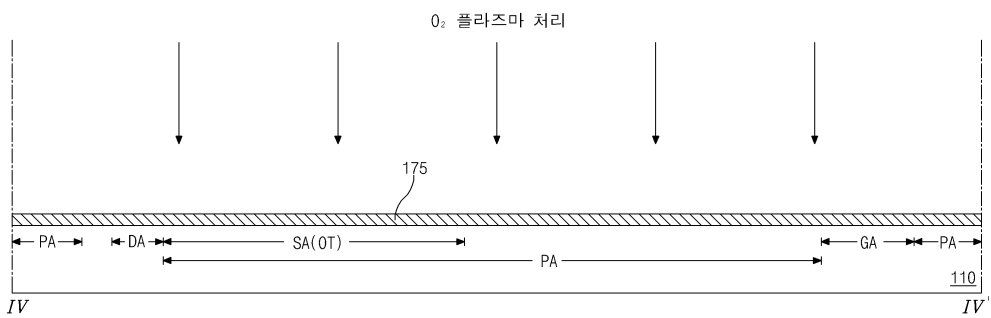
도면3



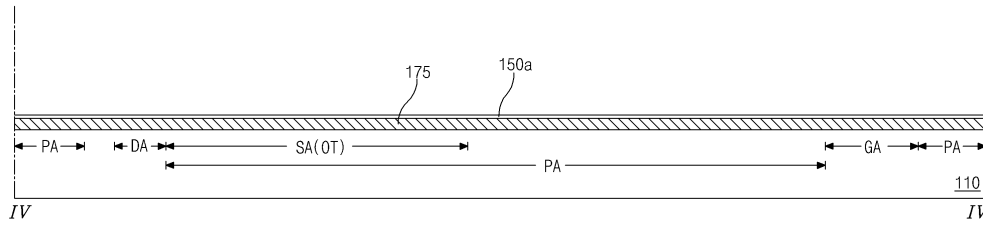
도면4



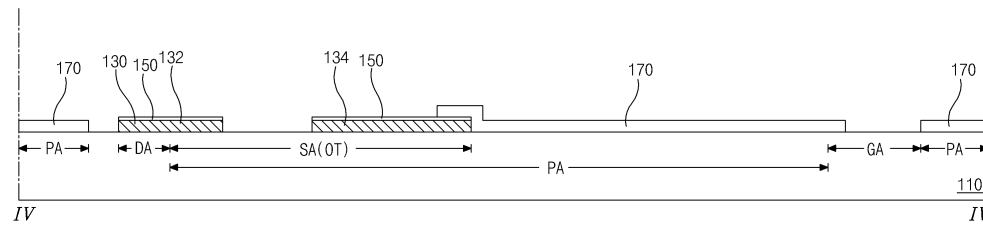
도면5a



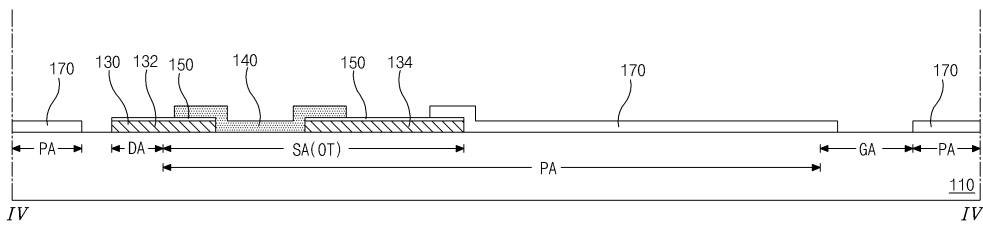
도면5b



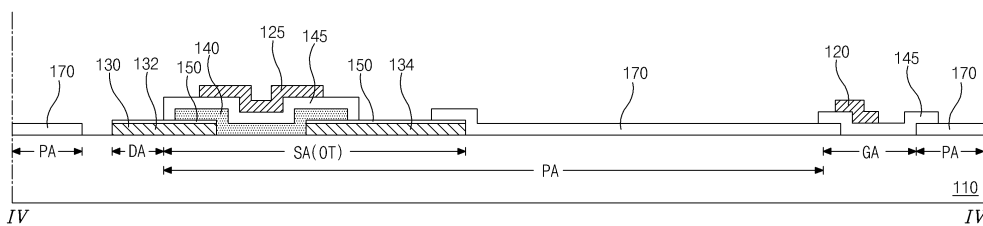
도면5c



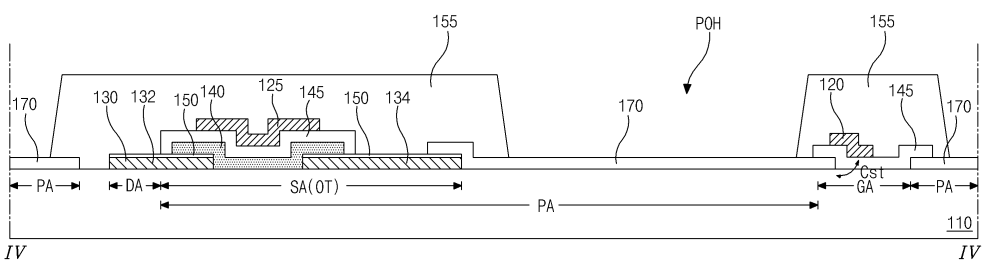
도면5d



도면5e

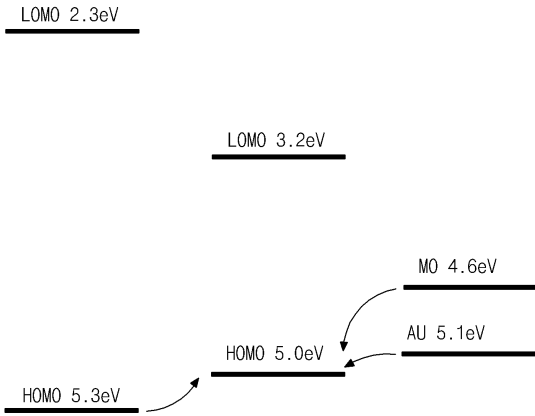


도면5f

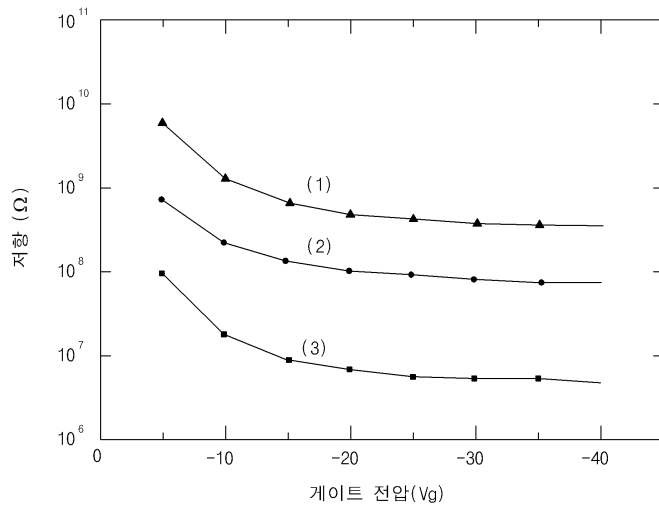


도면6

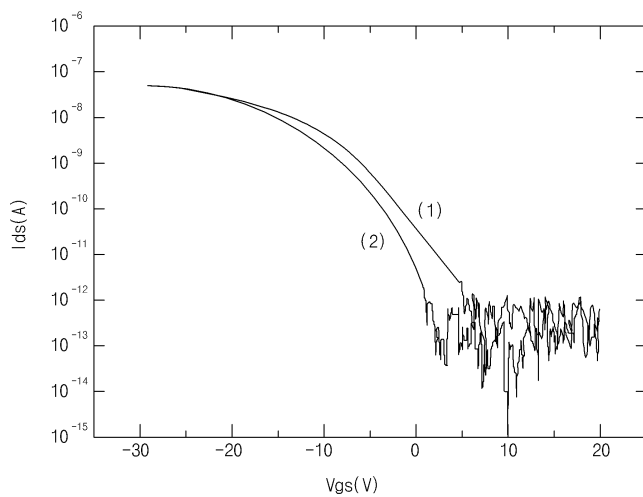
몰리브덴 산화물 에너지 준위      유기물 반도체 에너지 준위      금과 몰리브덴 일함수



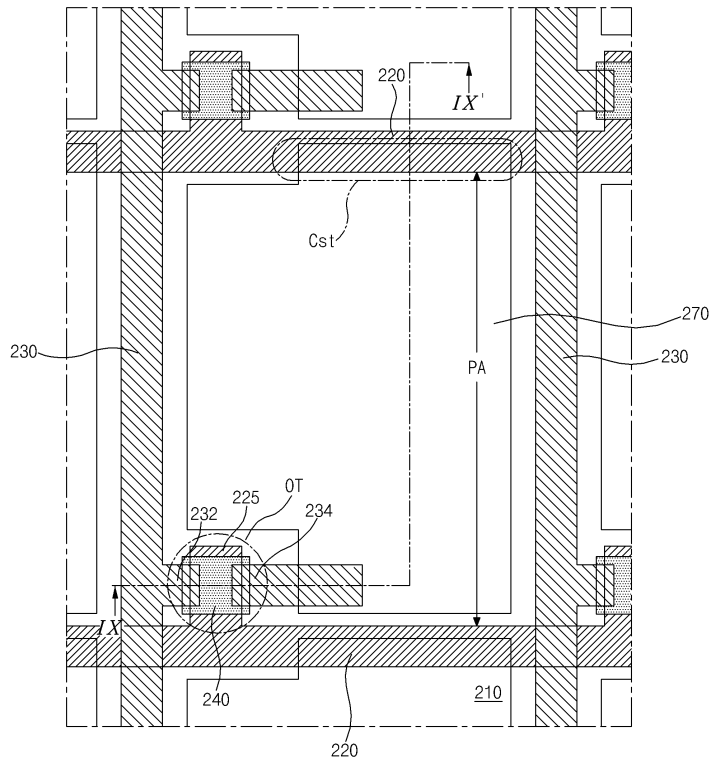
도면7a



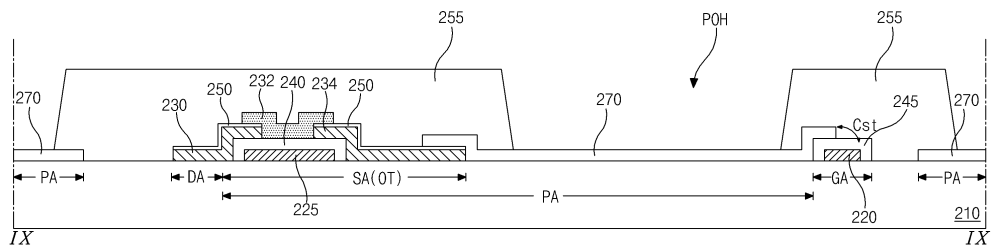
도면7b



도면8



도면9



专利名称(译)	标题：用于液晶显示装置的有机薄膜晶体管阵列基板及其制造方法		
公开(公告)号	<a href="#">KR1020140088066A</a>	公开(公告)日	2014-07-09
申请号	KR1020140076719	申请日	2014-06-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SE YOUNG 박세영 KANG HO CHEOL 강호철 HEO JAE SEOK 허재석 NOH YOUNG HOON 노영훈		
发明人	박세영 강호철 허재석 노영훈		
IPC分类号	G02F1/136 H01L51/05		
CPC分类号	G02F1/136286 G02F1/1368 H01L51/0541 H01L51/0545 H01L51/105		
其他公开文献	KR101482551B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及的是，更具体地涉及一种阵列基板和用于提高有机薄膜晶体管的液晶显示装置的工作特性的制造方法，其中，在使用高分子材料作为液晶显示器的半导体层的有机薄膜晶体管。根据本发明为此通过切换区域，所述像素区域中，栅极区和一个数据区和衬底被分离的有机薄膜晶体管液晶显示器；铜，银，钼中的任一种制成，所述源电极和从数据线和数据线延伸的源电极在所述基底和一间隔开的漏电极上的数据区中的一个方向被配置；金属氧化物膜图案形成在数据布线的暴露的上表面上，源极和漏极；像素电极直接与漏电极侧接触；覆盖有机半导体层和栅极区域的栅极绝缘层图案；位于上部的栅极绝缘层图案，和栅极布线对应于栅极区域，栅极电极与栅极布线突出；覆盖栅极电极和布线线和所述数据线和所述有机半导体层，其特征在于它包括：包括像素开孔暴露像素区域的保护膜。

