

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/1343

(11) 공개번호 특2002 - 0039089
(43) 공개일자 2002년05월25일

(21) 출원번호 10 - 2000 - 0068988
(22) 출원일자 2000년11월20일

(71) 출원인 주식회사 현대 디스플레이 테크놀로지
경기도 이천시 부발읍 아미리 산 136 - 1

(72) 발명자 조진희
경기도이천시부발읍아미리현대전자엘씨디티에프티공정개발부
임승무
경기도이천시부발읍아미리현대전자엘씨디티에프티공정개발팀
고영욱
경기도이천시부발읍아미리현대전자엘씨디티에프티공정개발팀
김현진
경기도이천시부발읍아미리현대전자엘씨디티에프티공정개발부

(74) 대리인 강성배

심사청구 : 없음

(54) 박막트랜지스터의 화소전극형성방법

요약

본 발명은 액정표시장치의 구동을 위한 박막트랜지스터의 화소전극을 이루는 비정질 ITO막의 저온증착시 국부적인 결정화의 방지 및 균일한 막질의 확보가 가능한 박막트랜지스터의 화소전극형성방법에 관한 것이다.

본 발명의 바람직한 실시예에 따르면, 히팅챔버내에서 글래스기판상에 임계두께(10 ~ 1000Å) 이하의 비정질 ITO(Indium Tin Oxide)막을 증착하는 과정과; 상기 임계두께 이하까지 ITO막을 성장시키고나서 휴지시간(바람직하게 0.1 ~ 100sec)을 유지하는 과정; 및, 상기 휴지시간의 경과시점에서 상기 ITO막을 성장시키는 과정을 필요한 두께(10 ~ 5000Å)로 형성될 때까지 반복적으로 수행하게 된다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 박막트랜지스터의 화소전극형성방법을 설명하기 위한 모식도이다.

< 도면의 주요부분에 대한 부호의 설명 >

100: 글래스기판, 120,140: 비정질 ITO막.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터의 화소전극형성방법에 관한 것으로, 보다 상세하게는 액정표시장치의 구동을 위한 박막트랜지스터의 화소전극을 이루는 비정질 ITO(Indium Tin Oxide)의 저온증착시 국부적인 결정화를 방지하면서 균일한 막질을 얻을 수 있도록 하기 위한 박막트랜지스터의 화소전극형성방법에 관한 것이다.

현재, 고화질이면서 저소비전력의 평판형 디스플레이장치로서 액정표시장치가 화상의 재현을 위해 다양한 제품에 적용되고 있다.

그 액정표시장치는 상부글래스기판과 하부글래스기판의 사이에 액정이 주입된 액정패널과, 그 액정패널의 화소단위 구동을 위해 그 액정패널의 액정셀에 대응하여 매트릭스 어레이형태로 배치된 박막트랜지스터를 포함하는 액정패널구동부를 포함하여 구성된다.

여기서, 상기 박막트랜지스터(Thin film transistor; TFT)어레이는 에치백(Etch back)구조의 채널을 갖는 경우 글래스기판에서 미립자 및 유기성 물질의 제거와 증착될 게이트금속박막과 글래스기판의 점착성을 양호하게 하기 위해 세정을 실시하고나서 스퍼터링(Sputtering)방법에 의해 게이트금속막을 증착하게 된다.

그리고, 액정셀의 구동을 위한 TFT의 화소전극의 형성은 투명전극재료로서 널리 알려진 ITO(Indium Tin Oxide)박막을 이용하게 된다. 그 ITO박막의 증착은 스퍼터링(Sputtering)기술을 적용하여 행해지게 되며, 그 ITO박막의 증착 후에는 비저항의 저감과 투과율의 향상을 위해 분위기에서 어닐링(Annealing)하게 되고, 그 ITO패턴의 형성은 대개 습식에칭(Wet etching)방식을 적용하게 된다.

발명이 이루고자 하는 기술적 과제

즉, 대개의 TFT패널에 적용되는 화소전극은 저가이면서 그 패터닝이 용이하고 저저항 및 고투과도를 갖는 ITO로 형성되는 바, TFT의 제조공정에 적용되는 ITO의 경우에 그 증착온도는 160°C 이상에서 진행되며 200°C이상에서 비교적 균일한 결정성을 얻게 되지만, 결정성 ITO의 경우에는 에칭속도가 느리며 200°C이상에서 공정을 진행하여도 결정의 크기를 일정하게 제어하기 어렵기 때문에 에칭이 균일하게 행해지지 않게 된다.

에칭속도가 느리고 균일한 에칭이 곤란하다는 점을 해결하기 위해 현재의 TFT 화소전극의 형성공정에서는 에칭시간을 필요 이상으로 연장하여 진행하는 소위 '오버에칭'을 방식이 실제로 적용되는 상황이다.

그러한 오버에칭의 경우에는 그 하부에 형성되는 층에 불리한 영향(Attack)을 유발하게 되는 바, 그 하부의 층이 알루미늄(Al)계의 금속막층인 경우에는 더욱 심각한 영향을 초래하게 된다.

그러한 문제를 해결하기 위해 ITO를 전면적으로 비정질화하는 방안이 강구될 수는 있지만, 그 경우에는 결정화 온도 이하에서 증착을 행하여도 ITO의 결정화 온도가 매우 낮기 때문에 국부적인 결정화가 진행되고, 그러한 국부적인 결정화를 방지하는 일은 상당히 곤란한 실정이다.

따라서, 본 발명은 상기한 종래기술의 사정을 감안하여 이루어진 것으로, 박막트랜지스터의 화소전극형성에 적용되는 ITO의 저온증착시에도 국부적인 결정화를 방지하기 위해 비정질 ITO막을 소정의 휴지시간을 가지면서 다수회에 걸쳐 증착형성하도록 된 박막트랜지스터의 화소전극형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따르면 히팅챔버내에서 글래스기판상에 임계두께 이하의 비정질 ITO(Indium Tin Oxide)막을 증착하는 과정과; 상기 임계두께 이하까지 ITO막을 성장시키고나서 휴지시간을 유지하는 과정; 및, 상기 휴지시간의 경과시점에서 상기 ITO막을 성장시키는 과정을 필요한 두께의 ITO막이 형성될 때까지 반복적으로 수행하도록 된 박막트랜지스터의 화소전극형성방법이 제공된다.

본 발명에 따르면, 상기 비정질 ITO막의 증착과정에서 상기 히팅챔버의 온도는 70 ~ 100°C로 설정된다.

또, 바람직하게 상기 ITO막의 증착시 프로세싱챔버의 온도는 -20 ~ 40°C의 범위로 설정된다.

상기 ITO의 임계두께는 10 ~ 1000Å가 바람직하게 된다.

그리고, 상기 휴지시간은 0.1 ~ 100sec의 범위로 설정된다.

또, 본 발명에 따르면 상기 ITO의 성장과정에서 상기 휴지시간에는 냉각장치의 가동을 위한 공정이 더 포함되고, 그 냉각장치의 가동시간은 상기 휴지시간에 대응하여 설정되며, 상기 냉각장치에는 액체질소와 칠러(Chiller)가 포함된다.

또, 바람직하게 상기 ITO의 성장시 필요한 두께는 10 ~ 5000Å의 범위로 설정된다.

상기한 본 발명에 따른 박막트랜지스터의 화소전극형성방법에 의하면, 글래스기판상에 화소전극형성을 위한 비정질 ITO막을 임계두께 이하까지 증착하고나서 소정의 휴지시간을 유지하게 되고, 그 휴지시간의 경과시점에서 ITO막을 재차 성장시키는 과정을 반복적으로 수행하여 필요한 두께의 ITO막을 얻게 된다.

이하, 본 발명에 대해 첨부도면을 참조하여 상세하게 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 박막트랜지스터의 화소전극형성방법에 의해 실행되는 ITO의 증착과정을 설명하는 도면이다.

먼저, ITO를 결정화 온도 이하에서 성막하는 경우에 그 막의 결정화 경향에 따르면 성막 조건에 의거하여 다소 차이는 보이지만 글래스기판에 근접한 부분에서는 비정질상을 나타내고, 비정질 ITO상에서는 결정화가 이루어지게 된다. 이는 비정질 기판인 글래스기판상에서는 그 기판의 원자배열상태가 불규칙하여 그 기판상의 박막성장이 결정화하기 어려운 반면 일정한 두께의 이상에서는 In₂O₃가 결정화 에너지를 가지며 성장하여 국부적으로 결정화가 되고, 국부적으로 결정화된 In₂O₃를 시드(Seed)로 하여 상부에 형성된 막의 결정화가 용이하게 된다.

따라서, 시드위에 성장한 ITO의 결정은 상당히 크게 성장하게 되고 비정질위에서 성장한 ITO의 결정은 성장이 느려 결정의 크기가 상당한 차이가 나게 된다.

그러한 점으로부터, 본 발명에 따른 ITO증착과정에서는 양호한 세정이 이루어진 글래스기판(100)상에 1차적으로 비정질 ITO막(120)을 증착형성하게 되는 바, 그 비정질 ITO막(120)의 증착은 히팅챔버(Heating chamber)의 온도를 바람직하게 70 ~ 100°C의 온도로 설정하여 실행하게 된다.

여기서, 히팅챔버의 온도가 100°C 이상인 경우에는 상기 글래스기판(100)의 수분이 증발하여 수분에 의한 ITO의 비정질화 효과를 얻지 못하게 되는 반면, 히팅챔버의 온도가 70°C이하에서는 글래스기판(100)이 함유하는 수분이 에너지를 얻지 못하여 수분에 의한 비정질화 효과를 얻지 못하게 된다.

또, 비정질 ITO의 증착시 프로세싱챔버의 온도는 -20 ~ 40°C가 바람직하게 되는 바, -20°C이하로는 프로세싱챔버의 온도를 조절하기 곤란한 반면 40°C이상에서는 결정화되는 ITO의 임계두께(바람직하게 10 ~ 1000 Å)가 너무 낮아 조절하기 곤란하게 된다.

그리고, 비정질 ITO의 성장과정에서는 비정질 ITO를 임계두께 이하까지 성장시키고나서 소정의 휴지시간을 유지하게 되는 바, 여기서 상기 휴지시간은 0.1 ~ 100sec가 바람직하게 된다.

또, 상기한 휴지시간에는 프로세싱챔버의 적정한 온도(즉, -20 ~ 40°C)로 조절하기 위해 냉각장치를 채용할 수 있는 바, 여기서 냉각장치로서는 액체질소라든지 칠러(Chiller)를 포함하여 상기 글래스기판(100)의 온도를 저하시키기 위한 어떠한 장치의 적용도 가능하게 된다.

여기서, 상기 냉각장치의 가동시간은 상기 휴지시간에 대응하여 0.1 ~ 100sec로 설정된다.

상기한 비정질 ITO막(140)의 성장공정은 필요한 두께가 얻어질 때까지 휴지시간을 유지하면서 반복적으로 실행되게 되고, 그 두께로서는 10 ~ 5000 Å이다.

즉, 본 발명에 따르면 글래스기판(100)상에 비정질 ITO막(120)을 임계두께 이하까지 형성하고나서 소정의 휴지시간을 유지함으로써 이미 증착된 ITO막(120)이 결정화 시드로서 작용하는 상황을 방지하게 되고, 그 휴지시간의 경과시점에서 재차 임계두께 이하까지 비정질 ITO막(140)을 형성하게 되는 바, 그 공정을 필요한 두께가 얻어질 때까지 반복하여 TFT의 화소전극을 형성하게 된다.

발명의 효과

따라서, 상기한 본 발명에 따른 박막트랜지스터의 화소전극형성방법에 의하면, 글래스기판상에 비정질 ITO막을 증착하고나서 소정의 휴지시간이 경과되는 시점에서 재차 비정질 ITO막을 성장시키는 작업을 반복적으로 실행하여 필요한 두께의 ITO막을 성막하여 박막트랜지스터의 화소전극을 형성하게 된다.

따라서, 균일한 비정질 ITO의 형성이 보장되어 균일한 에칭이 가능하여 고정세화에 유리하게 되고, 에칭속도의 증가와 오버에칭의 감소가 가능하게 되어 ITO에칭시간이 단축되게 된다.

또, 비정질 ITO의 적용으로 알루미늄계 금속에 대한 불리한 영향(Attack)이 적은 에칭제의 사용이 가능하게 된다.

상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

히팅챔버내에서 글래스기판상에 임계두께 이하의 비정질 ITO(Indium Tin Oxide)막을 증착하는 과정과;

상기 임계두께 이하까지 ITO막을 성장시키고나서 휴지시간을 유지하는 과정; 및,

상기 휴지시간의 경과시점에서 상기 ITO막을 성장시키는 과정을 필요한 두께의 ITO막이 형성될 때까지 반복적으로 수행하도록 된 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 2.

제 1항에 있어서, 상기 비정질 ITO막의 증착과정에서 상기 히팅챔버의 온도는 70 ~ 100°C로 설정되는 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 3.

제 1항에 있어서, 상기 ITO막의 증착시 프로세싱챔버의 온도는 -20 ~ 40°C인 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 4.

제 1항에 있어서, 상기 ITO의 임계두께는 10 ~ 1000 Å인 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 5.

제 1항에 있어서, 상기 휴지시간은 0.1 ~ 100sec인 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 6.

제 1항에 있어서, 상기 ITO의 성장과정에서 상기 휴지시간에는 냉각장치의 가동을 위한 공정이 더 포함된 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 7.

제 6항에 있어서, 상기 냉각장치의 가동시간은 상기 휴지시간에 대응하는 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 8.

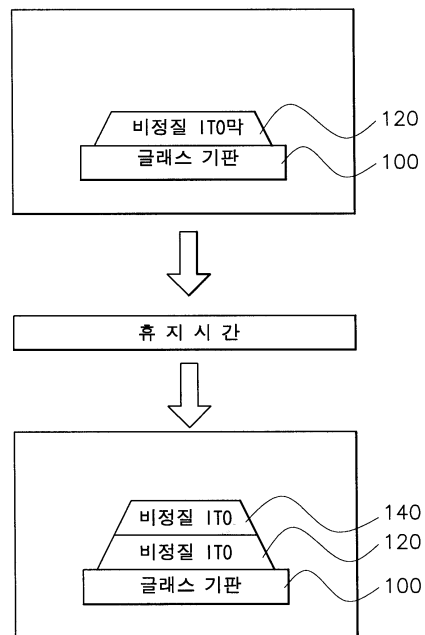
제 6항에 있어서, 상기 냉각장치에는 액체질소와 칠러(Chiller)가 포함되는 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

청구항 9.

제 1항에 있어서, 상기 ITO의 성장시 필요한 두께는 10 ~ 5000 Å인 것을 특징으로 하는 박막트랜지스터의 화소전극형성방법.

도면

도면 1



专利名称(译)	形成薄膜晶体管的像素电极的方法		
公开(公告)号	KR1020020039089A	公开(公告)日	2002-05-25
申请号	KR1020000068988	申请日	2000-11-20
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	CHO JINHUI 조진희 RIM SEUNGMOO 임승무 KO YONGWOOK 고영욱 KIM HYUNJIN 김현진		
发明人	조진희 임승무 고영욱 김현진		
IPC分类号	G02F1/1343		
外部链接	Espacenet		

摘要(译)

本发明涉及薄膜晶体管的像素电极形状方法，该方法能够在非晶ITO薄膜的冷沉积中保护局部结晶的安全性，所述非晶ITO薄膜包括用于驱动液晶的薄膜晶体管的像素电极。显示甚至薄膜。根据本发明的一个优选实施例，在形成所需厚度（10~5000Å）之前，在玻璃基板上沉积小于临界厚度（10~1000Å）的非晶ITO（氧化铟锡）膜的工艺。在加热室内和保持静止时间（理想地，0.1~100秒）的过程中，重复进行静止时间的生长和在静止时间的通过时间点生长ITO膜的过程。

