



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0077347

(43) 공개일자 2007년07월26일

(21) 출원번호 10-2006-0006886

(22) 출원일자 2006년01월23일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박동원
충남 천안시 불당동 대동 다숲아파트 110동 1402호

(74) 대리인 권혁수
송윤호
오세준

전체 청구항 수 : 총 8 항

(54) 신호 처리 장치 및 그것을 포함하는 액정 표시 장치

(57) 요약

신호 처리 장치는 클럭 변환부, 신호 처리부, 그리고 하나의 프레임 메모리를 구비한다. 신호 처리부와 프레임 메모리 간에 데이터 버스를 늘리고, 신호 처리 장치에 입력되는 클럭 주파수를 조정하면, 하나의 프레임 메모리를 사용하여 세 개의 프레임 데이터를 비교할 수 있고, 비교 결과에 따라 보정된 영상 데이터를 생성할 수 있다. 따라서, 프레임 메모리의 개수를 감소하여 제조 원가를 줄일 수 있으며, 제어 기관 상에 신호 처리 장치가 차지하는 실장 면적이 감소된다.

대표도

도 2

특허청구의 범위

청구항 1.

외부로부터 제 1 클럭 신호를 입력받아 제 2 클럭 신호 및 제 3 클럭 신호를 생성하는 클럭 변환부;

상기 제 2 클럭 신호에 동기되어 데이터를 저장 또는 출력하는 프레임 메모리; 및

상기 제 2 및 제 3 클럭 신호에 응답하여, 외부로부터 제 1 프레임 데이터를 입력받아 상기 프레임 메모리에 저장하고, 상기 프레임 메모리에 저장되어 있는 제 2 프레임 데이터와 제 3 프레임 데이터를 독출하여 보정된 데이터를 출력하는 신호 처리부를 포함하는 것을 특징으로 하는 신호 처리 장치.

청구항 2.

제 1 항에 있어서,

상기 신호 처리부는,

상기 제 1 프레임 데이터를 저장한 후, 상기 제 2 클럭 신호에 동기되어 상기 프레임 메모리로 상기 제 1 프레임 데이터를 인가하는 쓰기행 버퍼;

상기 제 2 클럭 신호에 동기되어 상기 프레임 메모리에 저장된 상기 제 2 프레임 데이터를 독출하고, 상기 제 3 클럭 신호에 동기되어 상기 저장된 제 2 프레임 데이터를 출력하는 제 1 읽기행 버퍼;

상기 제 2 클럭 신호에 동기되어 상기 프레임 메모리에 저장된 상기 제 3 프레임 데이터를 독출하고, 상기 제 3 클럭 신호에 동기되어 상기 저장된 제 3 프레임 데이터를 출력하는 제 2 읽기행 버퍼;

상기 제 3 클럭 신호에 동기되어 상기 제 1 프레임 데이터를 저장하는 데이터 버퍼; 및

상기 제 1 및 제 2 읽기행 버퍼로부터 상기 제 2 및 제 3 프레임 데이터를 독출하고, 상기 데이터 버퍼로부터 상기 제 1 프레임 데이터를 독출하여, 상기 제 1, 제 2, 및 제 3 프레임 데이터를 비교하고, 비교 결과에 따라 상기 보정된 데이터를 출력하는 데이터 보정부를 포함하는 것을 특징으로 하는 신호 처리 장치.

청구항 3.

제 2 항에 있어서,

상기 제 2 클럭 신호와 상기 제 3 클럭 신호는 서로 다른 클럭 주파수인 것을 특징으로 하는 신호 처리 장치.

청구항 4.

제 2 항에 있어서,

상기 제 1 프레임 데이터가 상기 신호 처리부로 입력되는 시간은, 상기 제 1 읽기행 버퍼가 상기 프레임 메모리에 저장된 상기 제 2 프레임 데이터를 독출하는 시간과, 상기 제 2 읽기행 버퍼가 상기 프레임 메모리에 저장된 상기 제 3 프레임 데이터를 독출하는 시간과, 그리고 상기 쓰기행 버퍼가 상기 제 1 프레임 데이터를 상기 프레임 메모리에 저장하는 시간의 합과 동일한 것을 특징으로 하는 신호 처리 장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 읽기행 버퍼가 상기 프레임 메모리에 저장된 상기 제 2 프레임 데이터를 독출하는 시간과, 상기 제 2 읽기행 버퍼가 상기 프레임 메모리에 저장된 상기 제 3 프레임 데이터를 독출하는 시간과, 그리고 상기 쓰기행 버퍼가 상기 제 1 프레임 데이터를 상기 프레임 메모리에 저장하는 시간 각각은 동일한 것을 특징으로 하는 신호 처리 장치.

청구항 6.

제 1 항에 있어서,

상기 클럭 변환부는 위상 동기 루프 회로인 것을 특징으로 하는 신호 처리 장치.

청구항 7.

제 1 항에 있어서,

상기 프레임 메모리는 상기 제 2 클럭 신호의 한 클럭 주기 동안에 두 개의 데이터가 처리되는 더블 데이터 레이트 동기형 디램(DDR SDRAM)인 것을 특징으로 하는 신호 처리 장치.

청구항 8.

구동 신호에 응답하여 영상을 표시하는 액정 패널;

외부로부터 영상 데이터 신호를 입력받아 제어 신호 및 상기 영상 데이터 신호를 보정한 보정 데이터 신호를 출력하는 타이밍 컨트롤러; 및

상기 제어 신호 및 상기 보정 데이터 신호에 응답하여 상기 액정 패널을 구동하는 상기 구동 신호를 출력하는 구동부를 포함하고,

상기 타이밍 컨트롤러는,

외부로부터 제 1 클럭 신호를 입력받아 제 2 클럭 신호 및 제 3 클럭 신호를 생성하는 클럭 변환부;

상기 제 2 클럭 신호에 동기되어 데이터를 저장 또는 출력하는 프레임 메모리; 및

상기 제 2 및 제 3 클럭 신호에 응답하여, 외부로부터 제 1 프레임 데이터를 입력받아 상기 프레임 메모리에 저장하고, 상기 프레임 메모리에 저장되어 있는 제 2 프레임 데이터와 제 3 프레임 데이터를 독출하여 상기 보정 데이터 신호를 출력하는 신호 처리부를 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 구체적으로 액정 표시 장치의 신호 처리 장치에 관한 것이다.

액정 표시 장치(LCD: Liquid Crystal Display Device)의 대형화와 고해상도에 부응하여 액정 패널에 표시되는 동영상 화질에 대한 중요성이 대두되고 있으며, 특히 액정의 응답 속도는 액정 표시 장치의 화질을 결정하는 중요한 요인이다.

액정의 응답 속도를 개선하기 위한 방법 중의 하나인 DCC(Dynamic Capacitance Compensation) 방식은 액정 축전기 양단에 걸린 전압이 클수록 액정의 충전 속도가 빨라진다는 점을 이용한다. DCC 방식은 화소에 인가하는 데이터 전압을 목표 전압보다 높게 하여 액정에 충전되는 전압이 목표 전압까지 도달하는데 걸리는 시간을 단축한다.

액정 표시 장치에서 DCC 방식을 구현하기 위해서는, 액정 표시 장치로 입력되는 영상 데이터를 저장하는 프레임 메모리가 필요하다. 일반적으로 하나의 프레임에 해당하는 전체 데이터를 저장하기 위하여 하나의 프레임 메모리를 사용한다. 즉, 두 개의 프레임에 해당하는 데이터를 저장하기 위해서는 두 개의 프레임 메모리가 필요하고, 세 개의 프레임에 해당하는 데이터를 저장하기 위해서는 세 개의 프레임 메모리가 필요하다. DCC 방식은 프레임 메모리에 저장되어 있는 둘 또는 세 개의 프레임 데이터를 비교하고, 그 비교 결과에 따라 보정된 영상 데이터를 출력한다.

그러나, 이와 같이 프레임 메모리를 사용하면, 액정 표시 장치의 제조 원가가 상승하고, 제어 보드의 실장 면적이 증가하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 제조 원가를 절감할 수 있는 신호 처리 장치를 제공하는데 있다.

또한, 본 발명의 다른 목적은 상기한 신호 처리 장치를 갖는 액정 표시 장치를 제공하는데 있다.

발명의 구성

본 발명에 따른 신호 처리 장치는 클럭 변환부, 프레임 메모리, 및 신호 처리부를 포함한다. 클럭 변환부는 외부로부터 제 1 클럭 신호를 입력받아 제 2 클럭 신호 및 제 3 클럭 신호를 생성하고, 프레임 메모리는 상기 제 2 클럭 신호에 동기되어 데이터를 저장 또는 출력한다. 신호 처리부는 상기 제 2 및 제 3 클럭 신호에 응답하여, 외부로부터 제 1 프레임 데이터를 입력받아 상기 프레임 메모리에 저장하고, 상기 프레임 메모리에 저장되어 있는 제 2 프레임 데이터와 제 3 프레임 데이터를 독출하여 보정된 데이터를 출력하는 신호 처리부를 포함한다.

본 발명에 따른 액정 표시 장치는 액정 패널, 타이밍 컨트롤러, 및 구동부를 포함한다. 액정 패널은 구동 신호에 응답하여 영상을 표시하고, 타이밍 컨트롤러는 외부로부터 영상 데이터 신호를 입력받아 제어 신호 및 상기 영상 데이터 신호를 보정한 보정 데이터 신호를 출력한다. 구동부는 상기 제어 신호 및 상기 보정 데이터 신호에 응답하여 상기 액정 패널을 구동하는 상기 구동 신호를 출력한다. 상기 타이밍 컨트롤러는 클럭 변환부, 프레임 메모리, 및 신호 처리부를 포함한다. 클럭 변환부는 외부로부터 제 1 클럭 신호를 입력받아 제 2 클럭 신호 및 제 3 클럭 신호를 생성하고, 프레임 메모리는 상기 제 2 클럭 신호에 동기되어 데이터를 저장 또는 출력한다. 그리고 신호 처리부는 상기 제 2 및 제 3 클럭 신호에 응답하여, 외부로부터 제 1 프레임 데이터를 입력받아 상기 프레임 메모리에 저장하고, 상기 프레임 메모리에 저장되어 있는 제 2 프레임 데이터와 제 3 프레임 데이터를 독출하여 상기 보정 데이터 신호를 출력한다.

이하 본 발명에 따른 실시예를 첨부된 도면들을 참조하여 상세히 설명하도록 한다.

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 1을 참조하면, 액정 표시 장치(10)는 영상을 표시하는 액정 패널(100), 제어 신호를 출력하는 타이밍 컨트롤러(200), 액정 패널(100)의 데이터 라인을 구동하는 데이터 구동부(300), 그리고 액정 패널(100)의 게이트 라인을 구동하는 게이트 구동부(400)를 포함한다.

액정 패널(100)은 공통 전극을 가지는 기관과, 화소 전극을 가지는 기관으로 구성되며, 기관들 사이에는 액정이 주입된다. 화소 전극을 갖는 기관에는 다수의 게이트 라인들과, 게이트 라인들에 교차되어 구성된 다수의 데이터 라인들이 일정 간격을 두고 배열된다.

타이밍 컨트롤러(200)는 외부의 그래픽 소스로부터 영상 데이터 신호(R, G, B), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 클럭 신호(MCLK), 데이터 인에이블 신호(DE)를 입력받는다. 타이밍 컨트롤러(200)는 액정 패널(100)의 사양에 맞도록 데이터 포맷을 변환한 데이터 신호(Data)와, 제 1 및 제 2 제어 신호(CNT1, CNT2)를 데이터 구동부(300) 및 게이트 구동부(400)로 출력한다.

데이터 구동부(300)는 복수의 소스 드라이버 IC들로 구성된다. 데이터 구동부(300)는 타이밍 컨트롤러(200)로부터 입력된 데이터 신호(Data)와 제 1 제어 신호(CNT1)에 응답하여, 액정 패널(100)의 데이터 라인들을 구동한다.

게이트 구동부(400)는 복수의 게이트 드라이버 IC들로 구성된다. 게이트 구동부(400)는 타이밍 컨트롤러(200)로부터 입력되는 제 2 제어 신호(CNT2)에 응답하여, 액정 패널(100)의 게이트 라인들을 구동한다.

일반적으로, 액정 표시 장치(10)에서의 영상 데이터는 적색(R), 녹색(G), 청색(B) 각 8비트씩 24비트를 한 묶음으로 하여 동작한다. 이에 따라, 외부의 그래픽 소스로부터 타이밍 컨트롤러(200)로 입력되는 영상 데이터(R, G, B)는 24비트 또는 그 배수인 48비트를 기본 데이터로 한다. 본 발명의 실시예는 외부로부터 입력되는 영상 데이터(R, G, B)는 85MHz의 클럭 주파수를 가지며 24비트를 한 묶음한 데이터 패턴이 듀얼로 입력된다고 가정한다. 즉, 외부 그래픽 소스로부터 48비트의 영상 데이터(R, G, B)가 타이밍 컨트롤러(200)로 입력된다. 그러나, 클럭 주파수와 입력 데이터의 비트 수는 표시 장치의 해상도에 따라 다양한 변화가 가능하고 이에 따라 본 발명도 다양한 변화가 가능하다.

설명의 편의를 위하여, n번째 프레임의 영상 데이터(Fn)를 제 1 프레임 영상 데이터라 하고, (n-1)번째 프레임의 영상 데이터(Fn-1)를 제 2 프레임 영상 데이터라 하며, (n-2)번째 프레임의 영상 데이터(Fn-2)를 제 3 프레임 영상 데이터라 정의한다.

도 2는 본 발명의 일 실시예에 따른 신호 처리 장치의 블록도이다.

도 2에 도시된 신호 처리 장치(2000)는 앞서 설명한 타이밍 컨트롤러(200)에 포함될 수 있으며, 신호 처리 장치(2000)의 일부분 타이밍 컨트롤러(200)에 포함될 수도 있다.

신호 처리 장치(2000)는 클럭 변환부(2100), 신호 처리부(2200)와 프레임 메모리(2300)를 구비한다. 신호 처리 장치(2000)의 신호 처리부(2200)는 하나의 프레임 메모리(2300)에 제 1 프레임 영상 데이터(Fn)를 저장하고, 프레임 메모리(2300)에 저장되어 있는 제 2 프레임 영상 데이터(Fn-1) 및 제 3 프레임 영상 데이터(Fn-2)를 독출한다. 신호 처리부(2200)는 제 1, 제 2, 및 제 3 프레임 영상 데이터(Fn, Fn-1, Fn-2)를 비교하여, 비교 결과에 따라 제 2 프레임 영상 데이터(Fn-1)를 보정한 영상 데이터(Fn-1')를 출력한다.

클럭 변환부(2100)는 외부로부터 제 1 클럭(CLK1)을 입력받아, 제 2 클럭(CLK2) 및 제 3 클럭(CLK3)을 생성한다. 앞서 가정한 바와 같이, 제 1 클럭(CLK1)은 85MHz의 주파수를 가진다. 제 2 클럭(CLK2)은 제 1 클럭(CLK1) 주파수의 9/4배인 191.25MHz의 주파수를 가진다. 제 3 클럭(CLK3)은 제 1 클럭(CLK1) 주파수의 1/2배인 42.5MHz가 된다.

클럭 변환부(2100)는 제 2 클럭(CLK2)을 생성하기 위하여 위상 동기 루프(PLL: Phase Locked Loop) 회로를 구비한다. 위상 동기 루프 회로는 입력되는 신호의 위상을 동기시켜 일정한 클럭 주파수를 발생하며, 위상 비교기(Phase Detector), 저역 통과 필터(Low Pass Filter), 오류 증폭기(Amplifier), 그리고 전압 제어 발진기(Voltage Controlled Oscillator)등을 포함한다.

위상 동기 루프 회로는 입력 신호와 출력 신호의 위상차를 검출하고, 검출된 위상차 신호의 고주파 성분을 필터링하여 위상차에 해당하는 직류 전압을 구하고, 이 직류 전압을 전압 제어 발진기의 입력에 인가하여 전압 제어 발진기의 출력 주파수를 위상이 어긋난 만큼 자동으로 조정한다. 이와 같이 위상 동기 루프 회로는 클럭의 주파수를 정확하게 가변하는 역할을 하므로, 위상 동기 루프 회로를 구비한 클럭 변환부(2100)는 제 1 클럭(CLK1)의 주파수의 9/4배에 해당하는 주파수를 가지는 제 2 클럭(CLK2)을 생성할 수 있다.

한편, 제 3 클럭(CLK3)은 제 1 클럭(CLK1)을 플립플롭 등을 통하여 2분주함으로써 간단하게 생성할 수 있다.

신호 처리부(2200)는 쓰기행 버퍼(2210), 제 1 읽기행 버퍼(2220), 제 2 읽기행 버퍼(2230), 데이터 버퍼(2240), 및 데이터 보정부(2250)를 포함한다.

쓰기행 버퍼(2210)는 클럭 변환부(2100)로부터의 제 3 클럭(CLK3)에 응답하여 외부로부터 입력되는 제 1 프레임 영상 데이터(Fn)를 저장하고, 저장된 제 1 프레임 영상 데이터(Fn)를 클럭 변환부(2100)로부터의 제 2 클럭(CLK2)에 응답하여 프레임 메모리(2300)로 전달한다. 쓰기행 버퍼(2210)는 외부로부터 입력되는 48비트의 제 1 프레임 영상 데이터(Fn[47:0])를 32비트 제 1 프레임 영상 데이터(Fn[31:0])로 변환하여 프레임 메모리(2300)로 전달한다.

제 1 읽기행 버퍼(2220)는 클럭 변환부(2100)로부터의 제 2 클럭(CLK2)에 따라 프레임 메모리(2300)로부터 제 3 프레임 영상 데이터(Fn-2)를 받아 저장하고, 저장된 제 3 프레임 영상 데이터(Fn-2)를 클럭 변환부(2100)로부터의 제 3 클럭

(CLK3)에 따라 데이터 보정부(2250)에 전달한다. 제 1 읽기행 버퍼(2220)는 프레임 메모리(2300)로부터 32비트의 제 3 프레임 영상 데이터(Fn-2[31:0])를 입력받아, 48비트의 제 3 프레임 영상 데이터(Fn-2[47:0])로 변환하여 데이터 보정부(2250)로 전달한다.

제 2 읽기행 버퍼(2230)는 클럭 변환부(2100)로부터의 제 2 클럭(CLK2)에 따라 프레임 메모리(2300)로부터 제 2 프레임 영상 데이터(Fn-1)를 받아 저장하고, 저장된 제 2 프레임 영상 데이터(Fn-1)를 클럭 변환부(2100)로부터의 제 3 클럭(CLK3)에 따라 데이터 보정부(2250)에 전달한다. 제 2 읽기행 버퍼(2230)는 프레임 메모리(2300)로부터 32비트의 제 2 프레임 영상 데이터(Fn-1[31:0])를 입력받아, 48비트의 제 2 프레임 영상 데이터(Fn-1[47:0])로 변환하여 데이터 보정부(2250)로 전달한다.

데이터 버퍼(2240)는 클럭 변환부(2100)로부터의 제 3 클럭(CLK3)에 따라 외부로부터 입력된 제 1 프레임 영상 데이터(Fn)를 저장하고, 저장된 제 1 프레임 영상 데이터(Fn)를 클럭 변환부(2100)로부터의 제 3 클럭(CLK3)에 따라 데이터 보정부(2250)에 전달한다.

데이터 버퍼(2240)는 제 3 클럭(CLK3)에만 동기하여 영상 데이터를 입출력하지만, 쓰기행 버퍼(2210)와, 제 1 및 제 2 읽기행 버퍼(2220, 2230)는 서로 다른 주파수를 가지는 제 2 클럭(CLK2)과 제 3 클럭(CLK3)에 동기하여 영상 데이터를 입력하거나 출력한다. 이처럼, 서로 다른 동작 클럭으로 영상 데이터를 입출력하는 쓰기행 버퍼(2210)와, 제 1 및 제 2 읽기행 버퍼(2220, 2230)는 선입선출(FIFO: First-In First-Out) 방식 또는 듀얼 포트 램(Dual Port RAM)을 사용하여 구현할 수 있다. 물론, 데이터 버퍼(2240)도 선입선출 방식 또는 듀얼 포트 램을 사용하여 구현할 수 있다.

선입선출 방식 및 듀얼 포트 램은 입력단과 출력단이 분리되어 있어서 입력단과 출력단에서 서로 다른 주파수를 갖는 클럭에 동기시켜 서로 다른 타이밍으로 데이터를 입출력할 수 있다.

선입선출 방식은 서로 속도가 다른 두 시스템의 인터페이스에 주로 사용되는데, 어드레스 버스가 없지만 입력 및 출력 전용 데이터 버스가 두 개가 구비된다. 입력 데이터 버스에 데이터를 전송하면, 이 데이터는 메모리의 내부에서 바로 앞에 입력되었던 데이터의 바로 뒤에 놓이게 된다. 그리고, 그 다음에 입력되는 데이터는 다시 그 밑에 놓이게 되어 입력된 차례대로 배열이 된다. 출력 데이터 버스에서 데이터를 읽어낼 때에는 입력 데이터 버스에서 데이터가 들어간 순서대로 데이터가 읽혀진다.

한편, 듀얼 포트 램은 어드레스 버스와 데이터 버스가 각각 두 개인 램이다. 일반 싱글 포트 램(Single Port RAM)은 어드레스 버스와 데이터 버스가 하나 밖에 없어서 한 시점에 한가지 동작 밖에 하지 못한다. 하지만 듀얼 포트 램은 데이터를 기입하는 핀과 독출하는 핀이 따로 마련되어 있어서, 한쪽에서는 데이터를 메모리 안에 기입하면서, 동시에 다른 쪽으로는 데이터를 독출할 수 있다.

데이터 보정부(2250)는 데이터 버퍼(2240)로부터 제 1 프레임 영상 데이터(Fn)를 읽고, 제 2 읽기행 버퍼(2230)로부터 제 2 프레임 영상 데이터(Fn-1)를 읽고, 제 1 읽기행 버퍼(2220)로부터 제 3 프레임 영상 데이터(Fn-2)를 읽어, 세 개의 프레임 영상 데이터(Fn, Fn-1, Fn-2)를 비교하고, 비교 결과에 따라 보정된 영상 데이터(Fn-1')를 출력한다. 제 1 및 제 2 읽기행 버퍼(2220, 2230)와, 데이터 버퍼(2240)로부터 데이터 보정부(2250)로 출력되는 프레임 영상 데이터(Fn, Fn-1, Fn-2)는 48비트 데이터이다.

데이터 보정부(2250)는 보정된 영상 데이터(Fn-1')를 생성하기 위하여 세 개의 프레임 영상 데이터(Fn, Fn-1, Fn-2)를 비교하여, 이에 대응하는 신호를 출력하는 데이터 비교부, 세 개의 프레임 영상 데이터(Fn, Fn-1, Fn-2)가 속하는 영역별로 보정 변수를 기억하는 룩업 테이블, 그리고 데이터 비교부로부터의 신호와 보정 변수에 따라 연산 처리를 행하여 보정된 영상 데이터(Fn-1')를 생성하는 연산기 등을 포함할 수 있다.

프레임 메모리(2300)는 더블 데이터 레이트 동기형 디램(DDR SDRAM:Double Data Rate Synchronous Dynamic RAM)으로 구성된다. DDR SDRAM은 메모리에 인가되는 클럭의 상승 에지 및 하강 에지에서 각각 데이터 읽기 또는 데이터 쓰기 동작을 할 수 있다. 이에 반하여, 싱글 데이터 레이트 동기형 디램(SDR SDRAM:Single Data Rate Synchronous Dynamic RAM) 또는 SDRAM은 클럭의 상승 에지와 하강 에지 중 어느 하나에서만 데이터 읽기 또는 데이터 쓰기 동작을 할 수 있다. 따라서 DDR SDRAM은 SDR SDRAM에 비하여 두 배 빠른 속도를 낼 수 있다. 다시 말하면, DDR SDRAM은 SDR SDRAM에 비하여 같은 량의 데이터를 절반의 시간에 기억할 수 있다.

프레임 메모리(2300)는 세 개의 프레임 영상 데이터(Fn, Fn-1, Fn-2)를 기억하지만, 세 개의 프레임 영상 데이터(Fn, Fn-1, Fn-2) 전부를 기억하지는 않는다. 즉, 프레임 메모리(2300)는 기억되어 있는 제 3 프레임 영상 데이터(Fn-2)를 독

출하면서 제 3 프레임 영상 데이터(Fn-2)가 기억되어 있던 기억 장소에 제 1 프레임 영상 데이터(Fn)를 저장한다. 이는 제 3 프레임 영상 데이터(Fn-2)가 독출되어 보정된 영상 데이터(Fn-1')를 생성하기 위하여 사용되면 제 3 프레임 영상 데이터(Fn-2)는 더 이상 불필요하기 때문이다. 따라서 프레임 메모리(2300)는 두 개의 프레임의 영상 데이터 전체에 해당하는 양만큼만 기억할 수 있는 용량을 가지면 된다.

신호 처리 장치(2000)의 신호 처리부(2200)와 프레임 메모리(2300) 간에는 32비트 데이터 버스를 사용하여 데이터의 입출력 동작이 이루어진다.

도 3은 도 2에 도시된 프레임 메모리에서의 데이터 읽기 및 쓰기 타이밍도이다.

도 3을 참조하면, 데이터 인에이블 신호(DE)가 활성화되는 시간(T) 동안 한 행에 해당하는 제 1 프레임 영상 데이터(Fn:Data_in)가 외부 장치로부터 신호 처리 장치(2000)로 입력된다. 제 1 프레임 영상 데이터(Fn:Data_in)는 제 1 클럭(CLK1)에 동기되어 입력되고, 한 클럭 주기 당 하나의 영상 데이터가 입력된다. 여기서 한 행에 대한 영상 데이터는 D1, D2, D3,...,Dx-1, Dx로 표시하고, 각각은 24 비트 데이터이다. 한편 앞에서 설명한 바와 같이 본 실시예의 신호 처리부(2200)는 제 2 클럭(CLK2)에 동기하여 영상 데이터를 프레임 메모리(2300)에 저장하거나, 프레임 메모리(2300)로부터 영상 데이터를 독출하며, 한 클럭 주기 당 두 개의 영상 데이터를 프레임 메모리(2300)에 저장하거나, 프레임 메모리(2300)로부터 영상 데이터를 독출한다.

신호 처리부(2200)는 데이터 인에이블 신호(DE)가 활성화되는 시간(T)을 1/3로 나누어 처음 T/3 시간(이하 "제 1 활성화 시간"이라 함) 동안, 한 행의 제 3 프레임 영상 데이터(Fn-2)를 프레임 메모리(2300)로부터 독출한다. 그리고 신호 처리부(2200)는 다음 T/3 시간(이하 "제 2 활성화 시간"이라 함) 동안 한 행의 제 2 프레임 영상 데이터(Fn-1)를 프레임 메모리(2300)로부터 독출한다. 이후, 신호 처리부(2200)는 마지막 T/3 시간(이하 "제 3 활성화 시간"이라 함) 동안 한 행의 제 1 프레임 영상 데이터(Fn)를 프레임 메모리(2300)에 저장한다.

신호 처리부(2200)는 제 1 활성화 시간 동안 프레임 메모리(2300)로부터 제 2 프레임 영상 데이터(Fn-1)를 먼저 독출하고, 제 2 활성화 시간 동안 제 3 프레임 영상 데이터(Fn-2)를 독출할 수도 있다. 즉, 프레임 메모리(2300)에 저장되어 있는 제 2 프레임 영상 데이터(Fn-1)와 제 3 프레임 영상 데이터(Fn-2)를 읽는 순서는 중요하지 않다. 다만, 제 3 활성화 시간 동안에 제 1 프레임 영상 데이터(Fn)를 프레임 메모리(2300)에 저장하면 된다.

도 4는 도 2에 도시된 신호 처리부 내에서의 데이터 읽기 및 쓰기 타이밍도이다.

도 3에서 설명한 바와 같이, 도 4에는 데이터 인에이블 신호(DE)가 활성화되는 시간(T) 동안 한 행에 해당하는 제 1 프레임 영상 데이터(Fn:Data_in)가 외부 장치로부터 신호 처리 장치(2000)로 입력되는 것이 도시되어 있다. 제 1 프레임 영상 데이터(Fn:Data_in)는 제 1 클럭(CLK1)에 동기되어 입력되고 한 클럭 주기 당 하나의 영상 데이터가 입력된다.

신호 처리부(2200)는 제 1 활성화 시간 동안에 프레임 메모리(2300)로부터 제 3 프레임 영상 데이터(Fn-2)를 독출하여, 제 1 읽기행 버퍼(2220)에 저장한다(RB1:Write). 그리고 제 2 및 제 3 활성화 시간, 그리고 그 다음 T/3 시간(이하 "제 4 활성화 시간"이라 함) 동안 즉, 제 2 활성화 시간 시작부터 T 시간 동안에 제 1 읽기행 버퍼(2220)로부터 저장되어 있는 제 3 프레임 영상 데이터(Fn-2)를 독출하여(RB1:Read) 데이터 보정부(2250)로 전달한다.

신호 처리부(2200)는 제 2 활성화 시간 동안에 프레임 메모리(2300)로부터 제 2 프레임 영상 데이터(Fn-1)를 독출하여 제 2 읽기행 버퍼(2230)에 저장한다(RB2:Write). 그리고 제 2 내지 제 4 활성화 시간 동안 제 2 읽기행 버퍼(2230)로부터 저장되어 있는 제 2 프레임 영상 데이터(Fn-1)를 독출하여(RB2:Read) 데이터 보정부(2250)로 전달한다.

신호 처리부(2200)는 제 1 내지 제 3 활성화 시간 동안 외부 장치로부터 제 1 프레임 영상 데이터(Fn)를 입력받아 쓰기행 버퍼(2210)에 저장한다(WB:Write). 그리고 제 3 활성화 시간 동안 쓰기행 버퍼(2210)로부터 저장되어 있는 제 1 프레임 영상 데이터(Fn)를 독출하여(WB:Read) 프레임 메모리(2300)에 저장한다.

신호 처리부(2200)는 제 1 내지 제 3 활성화 시간 동안 외부 장치로부터 제 1 프레임 영상 데이터(Fn)를 입력받아 데이터 버퍼(2240)에 저장한다(DB:Write). 그리고 제 2 내지 제 4 활성화 시간 동안 데이터 버퍼(2240)로부터 저장되어 있는 제 1 프레임 영상 데이터(Fn)를 독출하여(DB:Read) 데이터 보정부(2250)로 전달한다.

도 5A와 도 5B는 도 2에 도시된 쓰기행 버퍼에서 입출력되는 데이터의 파형도이다.

도 5A를 참조하면, 신호 처리부(2200)의 쓰기행 버퍼(2210)는 외부 장치로부터 클럭의 한 주기가 t인 제 1 클럭(CLK1)에 동기하여 한 행의 48비트의 제 1 프레임 영상 데이터(Fn:Data_in)가 입력된다. 쓰기행 버퍼(2210)로 입력되는 제 1 프레임 영상 데이터(Fn[47:0])는 제 1 클럭(CLK1)의 한 주기(t) 당 하나의 데이터가 전송된다. 쓰기행 버퍼(2210)로 입력된 제 1 프레임 영상 데이터(Fn[47:0])는 제 3 클럭(CLK3)에 동기하여 쓰기행 버퍼(2210)에 저장되고, 제 2 클럭(CLK2)에 동기하여 쓰기행 버퍼(2210)로부터 독출된다.

도 5B를 참조하면, 쓰기행 버퍼(2210)는 입력된 제 1 프레임 영상 데이터(Fn[47:0])를 제 2 클럭(CLK2)에 동기하여 32비트의 제 1 프레임 영상 데이터(Fn[31:0])로 변환하여 프레임 메모리(2300)로 전송한다(Fn:Data_out). 제 2 클럭(CLK2)의 한 주기는 4/9t로, 제 2 클럭(CLK2)의 한 주기(4/9t) 당 두 개의 데이터가 전송된다.

도 6A와 도 6B는 도 2에 도시된 제 1 읽기행 버퍼에서 입출력되는 데이터의 파형도이다.

도 6A를 참조하면, 신호 처리부(2200)의 제 1 읽기행 버퍼(2220)는 프레임 메모리(2300)로부터 제 2 클럭(CLK2)에 동기하여 32비트의 제 3 프레임 영상 데이터(Fn-2[31:0])를 독출한다(Fn-2:Data_in).

도 6B를 참조하면, 제 1 읽기행 버퍼(2220)는 입력된 제 3 프레임 영상 데이터(Fn-2[31:0])를 제 1 클럭(CLK1)에 동기하여 48비트의 제 3 프레임 영상 데이터(Fn-2[47:0])로 변환하여 데이터 보정부(2250)로 전송한다(Fn-2:Data_out).

제 2 읽기행 버퍼(2230)에서 입출력되는 데이터의 파형도는 도 6A와 도 6B에 도시된 제 1 읽기행 버퍼(2220)에서 입출력되는 데이터의 파형도와 동일하다.

상술한 바와 같이, 신호 처리 장치(2000)의 신호 처리부(2200)와 프레임 메모리(2300)는 32비트 데이터 버스를 이용하여 영상 데이터 신호를 전송한다. 또한, 신호 처리 장치(2000)는 하나의 프레임 메모리(2300)를 사용하여 세 개의 프레임 데이터를 비교하고, 비교 결과에 따라 보정된 영상 데이터를 생성할 수 있다. 따라서, 프레임 메모리의 개수를 감소하여 제조 원가를 줄일 수 있으며, 제어 기관 상에 신호 처리 장치(2000)가 차지하는 실장 면적을 줄일 수 있다.

이상과 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

이상과 같은 본 발명에 의하면, 신호 처리 장치를 구성하는 신호 처리부와 프레임 메모리 간에 데이터 버스를 늘리고, 신호 처리 장치에 입력되는 클럭 주파수를 조정하면, 하나의 프레임 메모리를 사용하여 세 개의 프레임 데이터를 비교하고, 비교 결과에 따라 보정된 영상 데이터를 생성할 수 있다. 따라서, 본 발명은 프레임 메모리를 복수 개 사용하는 신호 처리 장치에 비해, 제조 원가를 줄일 수 있으며, 제어 기관 상에 신호 처리 장치가 차지하는 실장 면적이 감소된 효과를 얻을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 신호 처리 장치의 블록도이다.

도 3은 도 2에 도시된 프레임 메모리에서의 데이터 읽기 및 쓰기 타이밍도이다.

도 4는 도 2에 도시된 신호 처리부 내에서의 데이터 읽기 및 쓰기 타이밍도이다.

도 5A와 도 5B는 도 2에 도시된 쓰기행 버퍼에서 입출력되는 데이터의 파형도이다.

도 6A와 도 6B는 도 2에 도시된 제 1 읽기행 버퍼에서 입출력되는 데이터의 파형도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

10: 액정 표시 장치 100: 액정 패널

200: 타이밍 컨트롤러 300: 데이터 구동부

400: 게이트 구동부 2000: 신호 처리 장치

2100: 클럭 변환부 2200: 신호 처리부

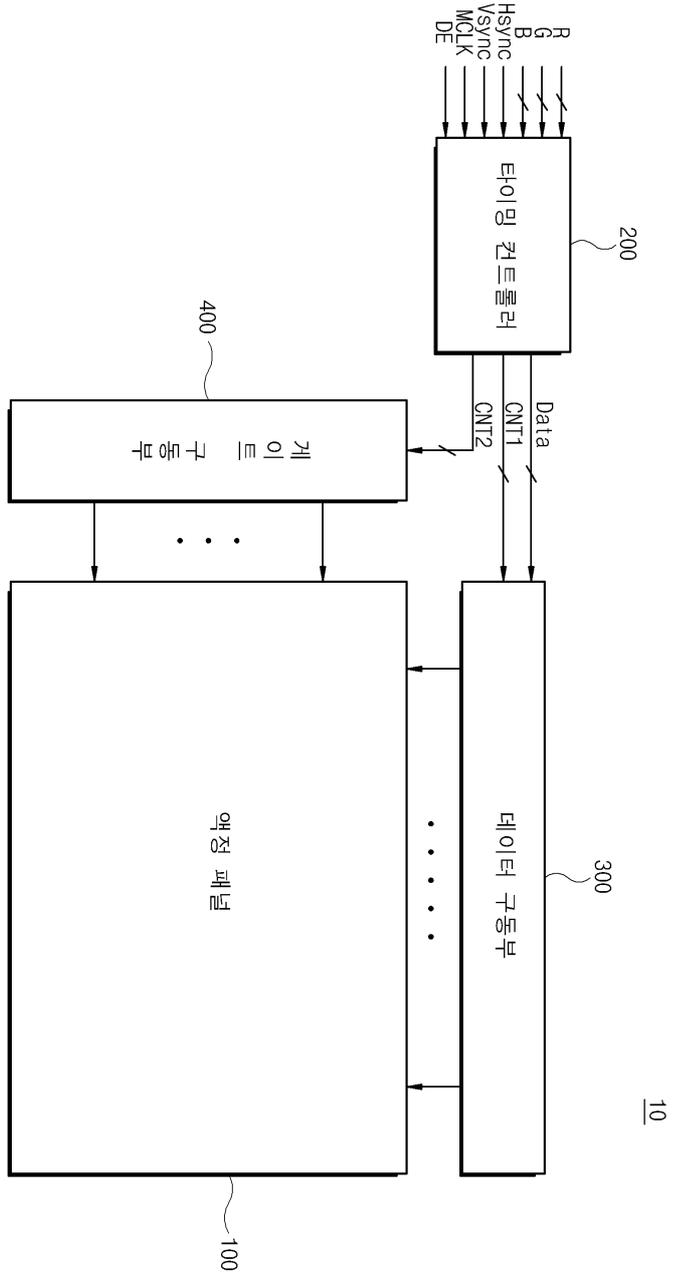
2210: 쓰기행 버퍼 2220: 제 1 읽기행 버퍼

2230: 제 2 읽기행 버퍼 2240: 데이터 버퍼

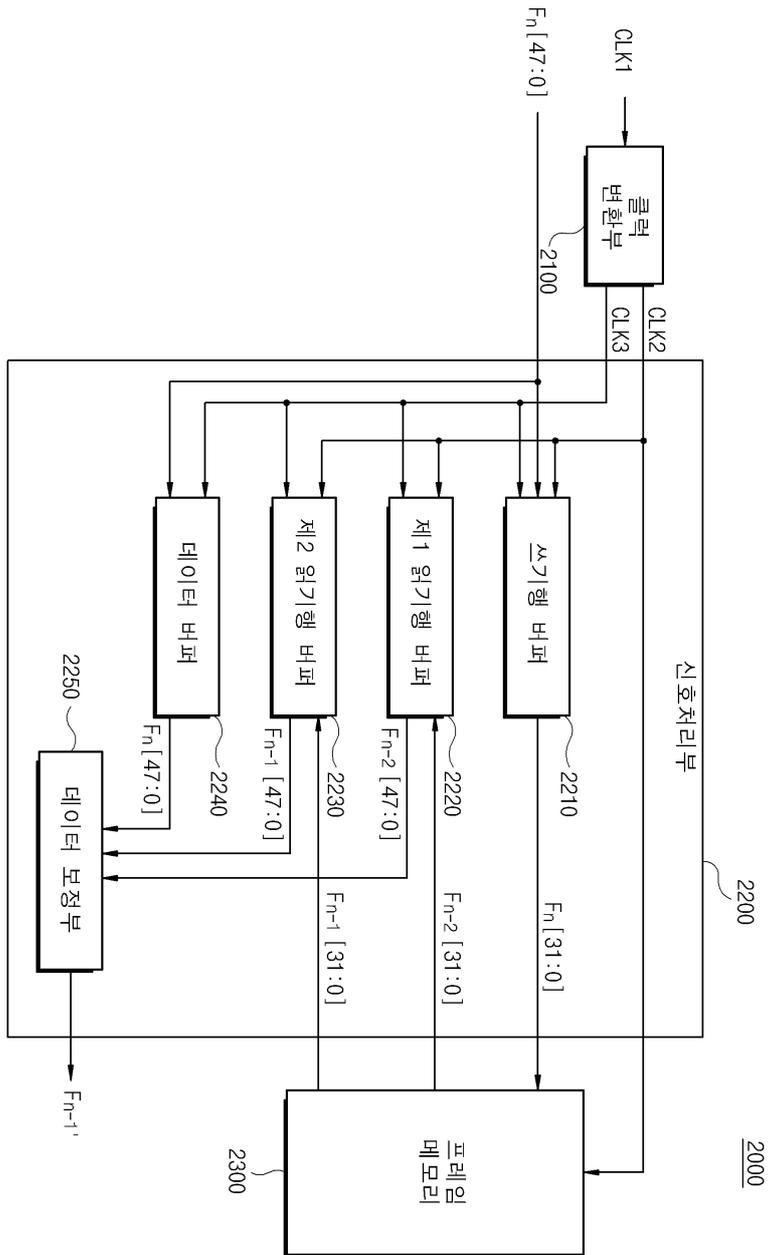
2250: 데이터 보정부 2300: 프레임 메모리

도면

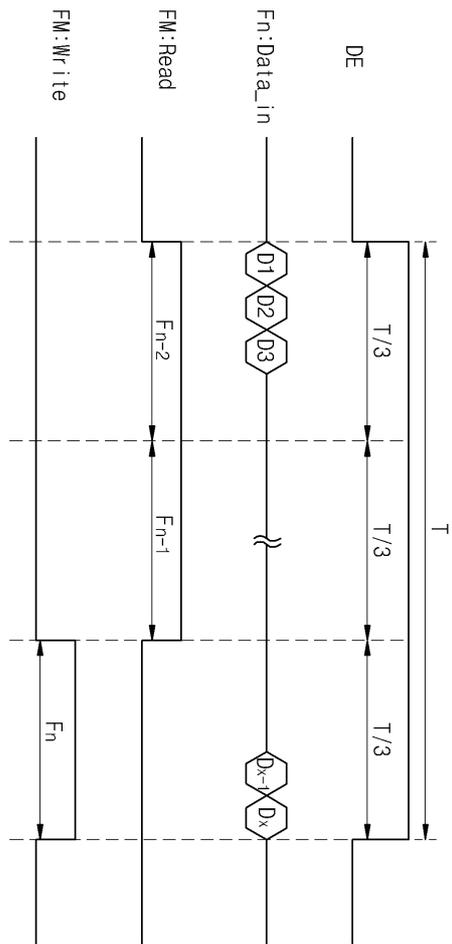
도면1



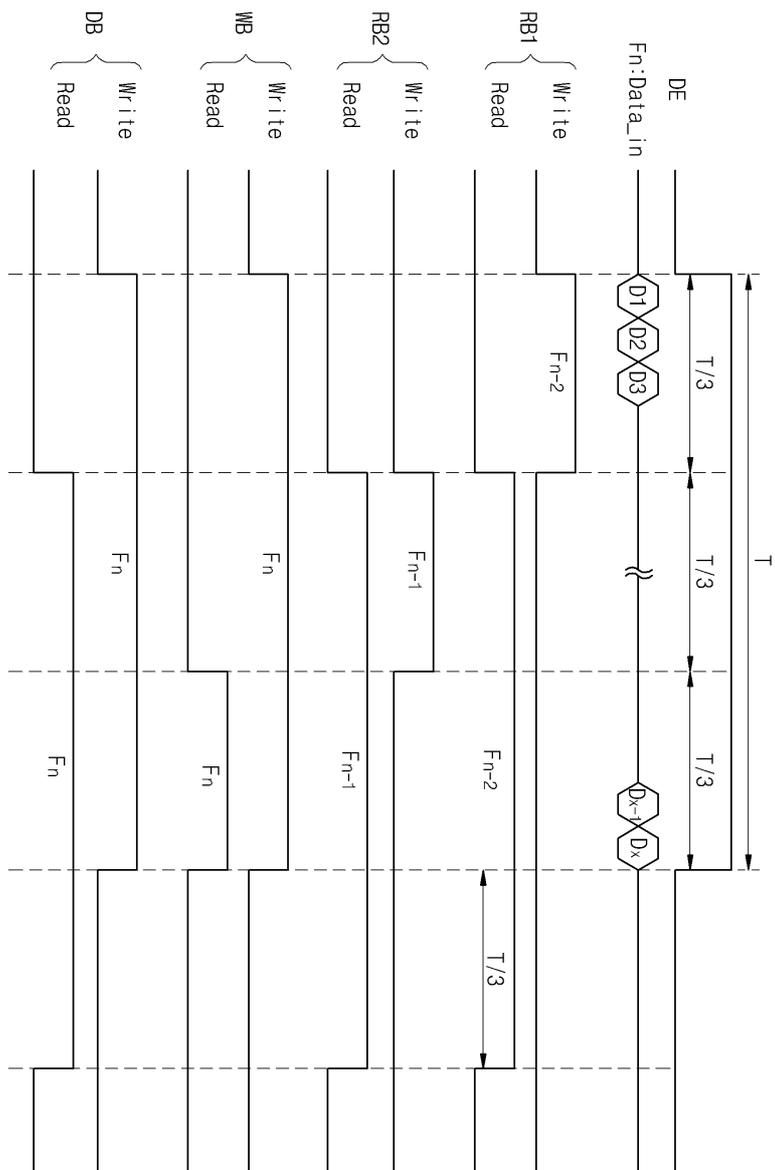
도면2



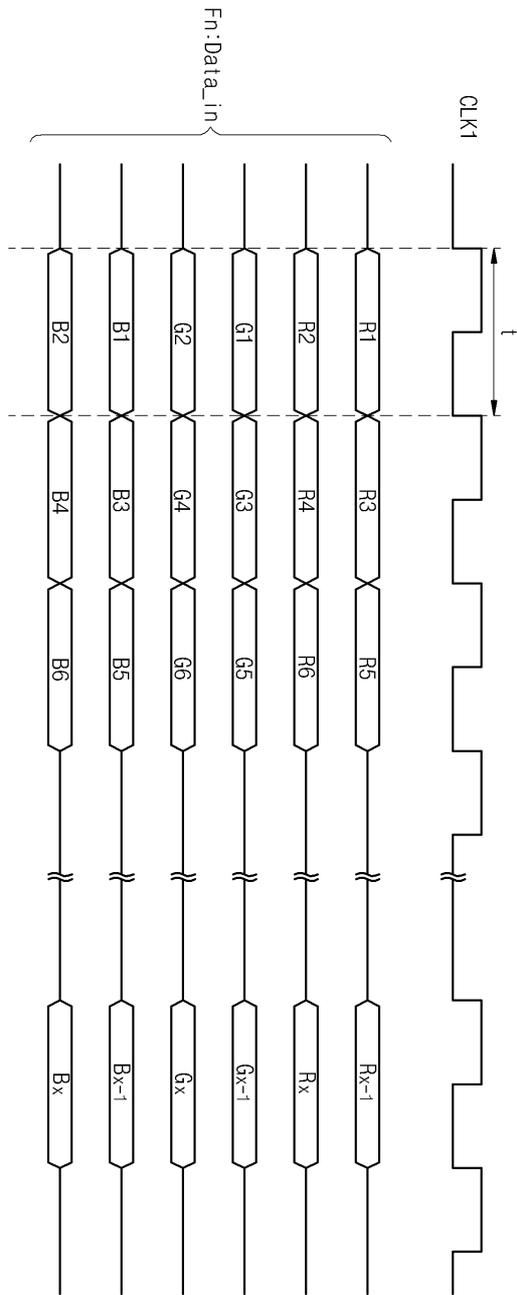
도면3



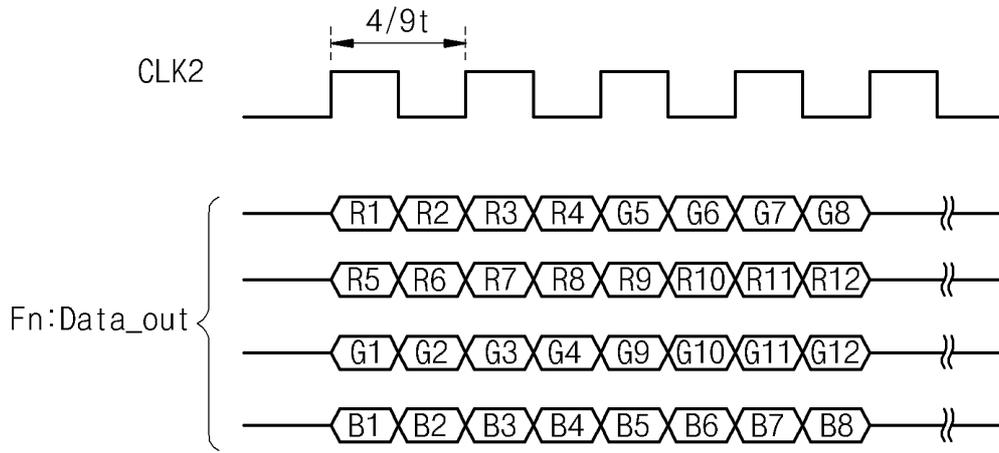
도면4



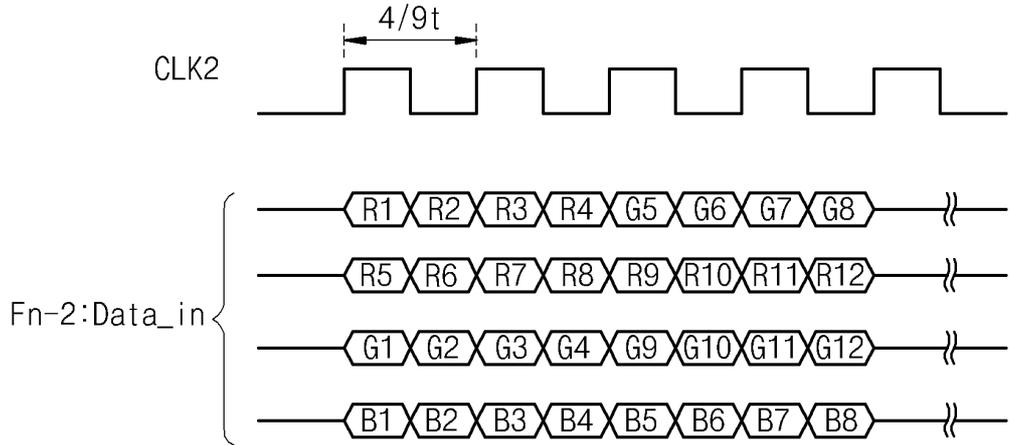
도면5a



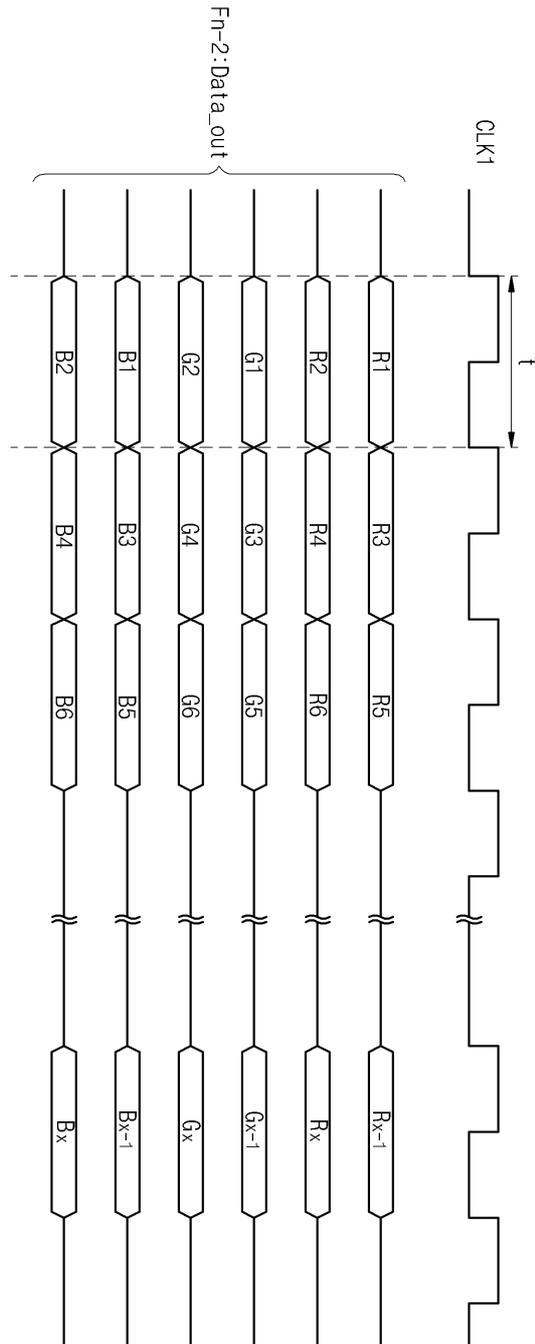
도면5b



도면6a



도면6b



专利名称(译)	信号处理装置和包括其的液晶显示装置		
公开(公告)号	KR1020070077347A	公开(公告)日	2007-07-26
申请号	KR1020060006886	申请日	2006-01-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK DONG WON		
发明人	PARK,DONG WON		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	B02C1/14 B02C23/08 B07B1/28 B07B1/42		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

信号处理单元包括时钟转换部分，信号处理器和一个帧存储器。增加了信号处理器和帧存储器之间的数据总线。如果控制输入到信号处理单元的时钟频率，则可以使用一个帧存储器比较三个帧数据。可以创建根据比较结果校正的视频数据。因此，减少了帧存储器的数量并且可以降低制造成本。并且减少了信号处理单元在控制板上占据的安装区域。

