

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월11일
G02F 1/133 (2006.01) (11) 등록번호 10-0540106

(24) 등록일자 2005년12월23일

(21) 출원번호 10-2003-0075368

(65) 공개번호 10-2004-0038729

(22) 출원일자 2003년10월28일

(43) 공개일자 2004년05월08일

(30) 우선권주장 JP-P-2002-00318514 2002년10월31일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이께쵸 22방 22고

(72) 발명자 고토마사히토
일본히로시마켄후꾸야마시아께보노쵸1-3-12-비201

우에다도루
일본히로시마켄후꾸야마시가스가쵸6-12-13

히가미요시노리
일본히로시마켄후꾸야마시다지메쵸5-7-8-203

(74) 대리인 장수길
구영창

심사관 : 김정훈

(54) 액티브 매트릭스 기판 및 표시 장치

요약

본 발명에 따른 액티브 매트릭스 기판은, 기판 위에 형성된 보조 용량과, 보조 용량 상에 형성된 제1 절연층과, 제1 절연층을 개재하여 보조 용량 상에 형성된 반도체층과, 반도체층 상에 형성된 게이트 절연층과, 게이트 절연층을 개재하여 상기 반도체층 상에 형성된 게이트 전극을 포함하는 게이트 전극층과, 게이트 전극층 및 반도체층을 덮는 제2 절연층과, 제2 절연층을 개재하여 반도체층 상에 형성되는 적어도 반도체층의 채널 영역을 덮는 제1 차광층과, 제1 차광층 상에 형성된 제3 절연층과, 제3 절연층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 소스 전극층과, 소스 전극층 상에 형성된 제4 절연층과, 제4 절연층 상에 형성되며 드레인 전극에 전기적으로 접속된 화소 전극을 포함한다. 제1 차광층은 도전성을 가지며, 보조 용량을 구성하는 한쌍의 전극의 일방과 전기적으로 접속됨과 함께, 드레인 전극과 전기적으로 접속된 드레인층 차광부를 구비한다.

대표도

도 1

색인어

액티브 매트릭스 기관, 차광부, 보조 용량, LDD, LCD

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 따른 TFT 기관의 TFT부(10)의 구조를 모식적으로 도시하는 단면도이다.
- 도 2의 (a)~(d)는, 본 발명의 제1 실시예에 따른 TFT 기관의 TFT부(10)의 제조 공정을 설명하기 위한 단면도이다.
- 도 3의 (a)~(d)는, 본 발명의 제1 실시예에 따른 TFT 기관의 TFT부(10)의 제조 공정을 설명하기 위한 평면도이다.
- 도 4는 본 발명의 제1 실시예에 따른 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 5는 본 발명의 제1 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 6은 본 발명의 제1 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 7은 본 발명의 제1 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 8은 본 발명의 제2 실시예에 따른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 9의 (a)~(d)는, 본 발명의 제2 실시예에 따른 TFT 기관의 TFT부의 제조 공정을 설명하기 위한 단면도이다.
- 도 10은 본 발명의 제2 실시예에 따른 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 11은 본 발명의 제2 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 12는 본 발명의 제2 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.
- 도 13은 본 발명의 제2 실시예에 따른 또 다른 TFT 기관의 TFT부의 구조를 모식적으로 도시하는 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

- 10 : TFT부(반도체 소자부)
- 11, 31 : 투명 기관
- 12, 22 : 제1 보조 용량 전극
- 13, 33 : 보조 용량 유전체층
- 14, 34 : 제2 보조 용량 전극
- 15, 53 : 제1 절연층
- 16, 36 : 결정질 실리콘막
- 16a, 36a : 소스 영역
- 16b, 36b : 드레인 영역
- 16c, 36c : 채널 영역

17, 37 : 게이트 절연층(게이트 산화막)

18, 38 : 게이트 전극

19, 39 : 제2 절연층

20a, 40a : 제1 소스 콘택트홀

20b, 40b : 제1 드레인 콘택트홀

20c, 40c : 보조 용량 콘택트홀

21a, 41a : 소스측 차광층

21b, 41b : 드레인측 차광층

21c, 41c : 중간 차광부

22, 42 : 제3 절연층

23a, 43a : 제2 소스 콘택트홀

23b, 43b : 제2 드레인 콘택트홀

24a, 44a : 소스 전극

24b, 44b : 드레인 전극

25, 45 : 제5 절연층

26, 46 : 상부 차광층

27, 47 : 제4 절연층

28,48 : 화소 전극 콘택트홀

29,49 : 화소 전극

36d : LDD 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 표시 장치 및 이 표시 장치에 이용되는 액티브 매트릭스 기판에 관한 것이다.

박형 저전력 액정 표시(LCD) 장치 중, 화소마다 스위칭 소자를 구비한 액티브 매트릭스형 LCD 장치는, 표시의 콘트라스트비가 높고, 응답 속도가 빠르다. 이와 같이 액티브 매트릭스형 LCD 장치는 고성능이기 때문에, 퍼스널 컴퓨터 등의 표시 장치나 휴대용 TV를 비롯하여, 여러가지의 용도에 사용되고 있으며, 최근 그 시장 규모가 급속히 확대되고 있다. 그 중에서도, 스위칭 소자로서 박막 트랜지스터(TFT)를 구비한 것(이하, "TFT형 LCD 장치"라고도 한다)이 널리 이용되고 있다.

또한, 본 명세서에 있어서, 액티브 매트릭스형 LCD 장치를 구성하는 기관 중, 상기 스위칭 소자가 형성되어 있는 기관을 "액티브 매트릭스 기관"이라고 하며, 스위칭 소자가 TFT인 것을 "TFT 기관"이라고 한다. 액티브 매트릭스형 LCD 장치는, 전형적으로는, 액티브 매트릭스 기관과 대향 기관과 이들의 사이에 설치된 액정층을 구비한다. 액티브 매트릭스 기관에 형성된 화소 전극과, 대향 기관에 형성된 대향 전극(공통 전극)에 따라 액정층에 전압을 인가하여, 액정층의 배향 상태를 변화시켜, 액정층을 통과하는 빛의 편광 상태를 제어함으로써 표시를 행한다. 또한, 액티브 매트릭스 기관에 화소 전극(표시 신호 전극)과 대향 전극을 구비한 IPS(in-plane switching) 모드의 LCD 장치도 있다.

TFT형 LCD 장치의 기술개발 과제로서, 고휘도화(고 개구율화), 고정밀 화와 동시에, 내광성의 향상을 들고 있다. 이것은, TFT를 구성하는 반도체층(실리콘층)에 강한 빛이 입사되면, 누설 전류가 발생하여, 표시 품질이 저하하면 안되기 때문이다. TFT형 LCD 장치 중, 특히 프로젝션용의 표시 장치의 액정 패널에는, 액정 패널의 고휘도화 및 고정밀화가 강력히 요구되고 있다. 또한, 액정 패널에는 직시형(direct-view) 표시 장치의 액정 패널에 비해 보다 강한 빛이 조사되기 때문에, 내광성에 대한 요구도 제기되고 있다.

화소의 개구율을 높이고 TFT의 반도체층에 대한 차광성을 높인 TFT형 LCD 장치가, 예를 들면, 일본 특허 공개 공보 제 2001-66638호(특허 문헌1)에 개시되어 있다. 특허 문헌1에 개시되어 있는 TFT 기관은, 보조 용량(storage capacitor)을 TFT부(TFT 기관의 TFT가 형성되어 있는 부분)에 TFT의 반도체층과 중첩되도록 배치하여, 보조 용량의 전극을 차광층으로서 이용하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 특허 문헌1에 개시되어 있는 LCD 장치에 있어서는, TFT의 하측(기관측)으로부터 입사되는 빛은 보조 용량 전극에 의해서 충분히 차광할 수 있지만, TFT의 상측 혹은 측면에서 입사되는 빛을 충분히 차광할 수 없다고 하는 문제가 있다.

그 이유는 다음과 같다. 특허 문헌1의 도 1에 도시된 바와 같이, TFT의 상측 및 측면에서 입사되는 빛은, 게이트 전극 상에 층간 절연막을 개재하여 배치된 소스 전극층(소스 전극, 소스 배선 및 드레인 전극을 포함한다) 및 그 위에 배치된 상층 차광층에 의해 차광되도록 되어 있다. 소스 배선이 다른 도전층과의 사이의 기생 용량을 형성하면, 소스 배선을 통해 전달되는 표시 신호(표시 신호 전압)가 영향을 받는다. 특히, 소스 배선과 게이트 배선과의 사이의 기생 용량이 크면, LCD 장치에서는 크로스토크(crosstalk)나 고스트(ghost) 등의 현상이 발생하여, 표시 품질을 저하시키는 우려가 있다. 이 때문에, 특허 문헌1에 기재되어 있는 구성을 채용하는 경우에는, 소스 전극층과 게이트 전극층과의 사이에 설치되는 층간 절연막의 두께를 충분히 두껍게 할 필요가 있다. 그 결과, 소스 전극층과 반도체층과의 간극이 넓어지며, 그 간극으로부터 빛이 반도체층에 입사되게 된다.

또한, 특허 문헌1에는, 최하층에 형성된 보조 용량의 한쪽의 전극과 반도체층의 드레인 영역을 접속하는 인출 전극을 게이트 전극과 동일한 도전층으로 형성한 구성이 개시되어 있다. 이 구성에 의하면, 인출 전극은 게이트 전극과 분리하여 형성될 필요가 있으며, 게이트 전극과 인출 전극과의 간극을 통하여 반도체층에 빛이 입사된다.

LCD 장치를 예로서 종래의 액티브 매트릭스형 표시 장치에 있어서의 문제를 설명하였다. 그러나, 상기한 문제는 LCD 장치에 국한되는 것이 아니라, 예를 들면 전기영동형(electrophoresis) 표시 장치 등 자발광형이 아닌 다른 표시 장치에 있어서도 문제가 된다.

발명의 구성 및 작용

본 발명은, 상기한 과제를 감안하여 이루어진 것으로, 화소마다 보조 용량을 구비한 액티브 매트릭스형 표시 장치에 있어서, 개구율의 저하를 억제하면서, 반도체층에 입사되는 빛이 효과적으로 차광되는 액티브 매트릭스형 표시 장치 및 그것에 이용되는 액티브 매트릭스 기관을 제공하는 것을 목적으로 하고 있다.

상기 목적을 달성하기 위하여, 본 발명은 기관 위에 복수의 반도체 소자가 형성된 액티브 매트릭스 기관을 제공한다. 복수의 반도체 소자의 각각이 형성된 반도체 소자부는, 상기 기관 위에 형성된 보조 용량과, 상기 보조 용량 상에 형성된 제1 절연층과, 상기 제1 절연층을 개재하여 상기 보조 용량 상에 형성된 반도체층과, 상기 반도체층 상에 형성된 게이트 절연층과, 상기 게이트 절연층을 개재하여 상기 반도체층 상에 형성된 게이트 전극을 포함하는 게이트 전극층과, 상기 게이트 전극층 및 상기 반도체층을 덮는 제2 절연층과, 상기 제2 절연층을 개재하여 상기 반도체층 상에 형성되는 적어도 상기 반도체층의 채널 영역을 덮는 제1 차광층과, 상기 제1 차광층 상에 형성된 제3 절연층과, 상기 제3 절연층 상에 형성된 소스 전

극 및 드레인 전극을 포함하는 소스 전극층과, 상기 소스 전극층 상에 형성된 제4 절연층과, 상기 제4 절연층 상에 형성되며 상기 드레인 전극에 전기적으로 접속된 화소 전극을 포함하며, 상기 제1 차광층은 도전성을 가지며, 상기 보조 용량을 구성하는 한쌍의 전극의 일방과 전기적으로 접속됨과 함께, 상기 드레인 전극과 전기적으로 접속된 드레인측 차광부를 구비한다.

바람직한 실시예에 있어서, 상기 제1 차광층은, 상기 소스 전극과 전기적으로 접속된 소스측 차광부를 더 구비한다.

바람직한 실시예에 있어서, 상기 제1 차광층은, 상기 소스 전극 및 상기 드레인 전극의 어느 쪽에도 전기적으로 접속되어 있지 않은 중간 차광부를 더 구비하고, 상기 중간 차광부는 상기 채널 영역 위에 배치되어 있다.

바람직한 실시예에 있어서, 상기 중간 차광부가 일정 전위로 유지된다.

바람직한 실시예에 있어서, 상기 제1 차광층은, 상기 소스 전극에 접속된 소스측 차광부를 더 구비하고, 상기 제1 및 제2 절연층은 상기 제1 차광층과 상기 보조 용량의 상기 한쪽의 전극을 접속하기 위한 콘택트홀을 구비하고, 상기 제2 절연층은, 상기 드레인측 차광부와 상기 반도체층의 드레인 영역을 접속하는 제1 콘택트홀과, 상기 소스측 차광부와 상기 반도체층의 소스 영역을 접속하는 제2 콘택트홀을 더 구비하고, 상기 제3 절연층은 상기 드레인 전극과 상기 드레인측 차광부를 접속하는 제3 콘택트홀과, 상기 소스 전극과 상기, 소스측 차광부를 접속하는 제4 콘택트홀을 구비하고, 상기 제1 콘택트홀과 상기 제3 콘택트홀이 상호 중첩되며, 상기 제2 콘택트홀과 상기 제4 콘택트홀이 상호 중첩되도록 배치되어 있다.

바람직한 실시예에 있어서, 상기 반도체층이 채널 영역의 양측에 LDD(lightly doped drain) 영역을 구비하고, 상기 제1 차광층은 적어도 상기 채널 영역 및 상기 LDD 영역 위에 배치되어 있다.

바람직한 실시예에 있어서, 상기 제1 차광층은, 상기 소스 전극 및 상기 드레인 전극의 어느 쪽에도 전기적으로 접속되어 있지 않은 중간 차광부를 더 구비하고, 상기 중간 차광부는 상기 채널 영역 및 상기 LDD 영역 위에 배치되어 있다.

바람직한 실시예에 있어서, 상기 중간 차광부가 일정 전위로 유지된다.

바람직한 실시예에 있어서, 상기 소스 전극층과 상기 제4 절연층과의 사이에 상기 소스 전극층을 덮는 제5 절연층과, 상기 제5 절연층을 개재하여 적어도 상기 소스 전극과 상기 드레인 전극과의 간극 상에 형성된 제2 차광층을 더 구비한다.

본 발명의 표시 장치는, 상기한 임의의 액티브 매트릭스 기판과 표시 매체층을 구비한다. 본 발명의 표시 장치는, 표시 매체층으로서 액정층이나 전기영동층 등을 구비하는 비자발광형의 표시 장치이다.

<실시예>

이하, 본 발명의 실시예에 따른 표시 장치의 구조, 특히 액티브 매트릭스 기판의 구조 및 그 제조 방법을 설명한다.

이하에서는, 액티브 매트릭스 기판 위에 형성된 화소 전극과 액정층을 개재하여 이것에 대항하는 대향 전극을 구비하는 전형적인 액티브 매트릭스형 LCD 장치를 예로서 본 발명의 실시예를 설명하기로 한다. 그러나, 본 발명은 IPS 모드 등의 다른 전극 구성을 갖는 LCD 장치를 비롯하여, 전기영동 표시 장치 등 비자발광형의 표시 장치에 폭넓게 적용하는 것이 가능하다.

본 실시예의 LCD 장치는, 화소 전극에 대응하여 TFT(반도체 소자)를 구비하는 TFT 기판(액티브 매트릭스 기판)과, 액정층(표시 매체층)과, 액정층을 개재하여 화소 전극에 대항하는 대향 전극을 구비하는 대향 기판을 갖는다. TFT 기판 이외의 구성은 공지의 구성을 폭넓게 이용할 수 있다. 따라서, 이하에서는, TFT 기판의 구성과 제조 방법을 설명한다.

본 발명의 실시예에 따른 TFT 기판은, 기판(예를 들면 유리 기판 등의 투명 기판) 상에 보조 용량이 형성된다. 보조 용량의 상층에 제1 절연층을 개재하여 TFT의 반도체층이 형성되어 있다. 보조 용량을 구성하는 보조 용량 유전체층을 개재하여 상호 대항하는 한쌍의 보조 용량 전극이 TFT의 반도체층에 하층에서 입사되는 빛을 차단하는 하부 차광층으로서 기능한다. 보조 용량의 전극을 하부 차광층으로서 이용함으로써, 상술한 종래의 액티브 매트릭스 기판과 같이, 높은 화소 개구율을 얻을 수 있다.

본 발명의 실시예에 따른 TFT 기판은, 반도체층 상에 형성된 게이트 절연층과, 게이트 절연층을 개재하여 반도체층 상에 형성된 게이트 전극을 포함하는 게이트 전극층(게이트 배선을 더 구비하는 단일의 도전층)과, 게이트 전극층 및 반도체층

을 덮는 제2 절연층과, 제2 절연층을 개재하여 반도체층 상에 형성되어, 적어도 반도체층의 채널 영역을 덮는 제1 차광층을 갖는다. 또한, 제1 차광층 상에 형성된 제3 절연층과, 제3 절연층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 소스 전극층(소스 배선을 더 구비하는 단일의 도전층)과, 소스 전극층 상에 형성된 제4 절연층과, 제4 절연층 상에 형성되어 드레인 전극에 전기적으로 접속된 화소 전극을 구비한다.

여기서, 제1 차광층은 도전성을 가지며, 보조 용량을 구성하는 한쌍의 전극의 한쪽과 전기적으로 접속됨과 동시에, 드레인 전극과 전기적으로 접속된 드레인측 차광부를 갖는다. 즉, 제1 차광층은, 게이트 전극층과 소스 전극층과의 사이에 설치되어 있고, 적어도 반도체층의 채널 영역을 차광함과 함께, 그 일부인 드레인, 즉 차광부는, 반도체층의 드레인 영역과 전기적으로 접속되어 있다. 드레인측 차광부는 드레인 영역에 직접 접속(직접 접촉)하도록 형성되더라도 좋고, 화소 전극을 개재하여 드레인 전극에 전기적으로 접속되더라도 좋다.

제1 차광층은, 게이트 전극층과 다른 층에서 형성되고 있고, 게이트 전극을 덮도록 형성할 수 있으므로, 반도체층의 채널 영역에 상층에서 입사되는 빛을 효과적으로 차단할 수 있다. 또한, 반도체층의 드레인 영역과 보조 용량 전극과의 전기적인 접속 및 드레인 영역과 드레인 전극과의 전기적인 접속을 제1 차광층을 개재하여 행한다. 이러한 구성을 구비함으로써, 본 발명에서는 이들의 전기적인 접속을 행하기 위한 콘택트홀을 비교적 얇게 할 수 있다. 그 결과, 콘택트홀부에서의 단선(도전층이 단차로 분리됨)의 발생을 억제할 수 있는 이점도 얻어진다.

또한, 제1 차광층은, 소스 전극층과 다른 층에서 형성되어 있고, 제1 차광층과 게이트 배선과의 사이의 기생 용량은, 소스 배선과 게이트 배선과의 사이의 기생 용량 정도로 표시 품위에 영향을 주지 않는다. 또한, 기생 용량의 영향도 각각의 화소에 개별로 영향을 줄뿐이다. 따라서, 제1 차광층과 게이트 전극층과의 사이에 설치되는 층간 절연층의 두께를 특히 문헌1에 기재되어 있는 소스 전극층과 게이트 전극층과의 사이에 설치되는 층간 절연막의 두께보다도 얇게 할 수 있다. 즉, 제1 차광층을 종래기술에 비해 반도체층의 근처에 설치하는 것이 가능해지고, 그 결과, 반도체층(특히 채널 영역)에 입사되는 빛을 보다 효과적으로 차광할 수 있다.

제1 차광층은, 소스 전극과 전기적으로 접속된 소스측 차광부를 더 구비하더라도 좋다. 또한, 제1 차광층은, 소스 전극 및 드레인 전극의 어느 쪽에도 전기적으로 접속되어 있지 않은 중간 차광부를 더 구비하더라도 좋다. 이 때, 중간 차광부는 채널 영역 위에 배치되는 구성을 채용할 수 있다. 중간 차광부는, 소스 전극 및 드레인 전극과 전기적으로 독립이기 때문에, 일정 전위로 유지될 수 있다.

반도체층이 채널 영역의 양측에 LDD 영역을 갖는 구성을 채용하는 경우, 제1 차광층이, 적어도 채널 영역 및 LDD 영역 상에 배치되어 있는 것이 바람직하다. 전술한 바와 같이, 제1 차광층은 드레인측 차광부 외에, 소스측 차광부 및 중간 차광부를 더 구비하더라도 좋다.

본 발명의 실시예에 따른 액티브 매트릭스 기관을 구비하는 표시 패널은, 고 개구율이며, 차광성에 우수하기 때문에, 특히 투영형 표시 장치 등 강한 빛이 표시 패널에 조사되는 표시 장치에 적합하게 이용된다.

(제1 실시예)

도 1, 도 2 및 도 3을 참조하여 본 발명에 따른 제1 실시예의 TFT 기관의 TFT부의 구조 및 그 제조 방법을 설명한다. TFT 기관의 다른 부분의 구조는 공지된 구성을 채용할 수 있으므로, 여기서는 이에 대한 설명을 생략한다.

도 1은 TFT 기관의 TFT부(10)의 구조를 모식적으로 도시하는 단면도이다. 도 2의 (a)~(d) 및 도 3의 (a)~(d)는, 각각 TFT부(10)의 제조 공정을 설명하기 위한 단면도 및 평면도이다. 도 1 및 도 2의 단면도는 도 3 중의 A-A'선을 따른 도면이다.

도 1에 도시한 바와 같이, TFT부(10)는, 투명 기관(예를 들면, 유리 기관)(11) 상에 형성된 제1 보조 용량 전극(12), 보조 용량 유전체층(13) 및 제2 보조 용량 전극(14)을 갖는다. 이들 부재가 상호 중첩하는 영역은 보조 용량을 구성하고 있다.

이 보조 용량을 덮도록 제1 절연층(15)이 형성되며, 이 제1 절연층(15) 상에는 TFT의 반도체층(16)이 형성되어 있다. 반도체층(16)은, 소스 영역(16a) 및 드레인 영역(16b)과 이들의 사이에 형성된 채널 영역(16c)을 갖고 있다. 반도체층(16)을 덮도록 형성된 게이트 절연층(17)을 개재하여, 채널 영역(16c) 상에 게이트 전극(18)이 형성되어 있다. 게이트 전극(18)은, 게이트 배선(주사선, 도시되지 않음)과 동일한 도전층(게이트 전극층)으로 형성되어 있다.

게이트 전극(18)을 포함하는 게이트 전극층을 덮도록 제2 절연층(19)이 형성되어 있고, 이 제2 절연층(19) 상에 제1 차광층이 형성되어 있다. 도 1에 도시한 제1 차광층은, 소스측 차광부(21a)와 드레인측 차광부(21b)의 2개의 부분으로 분할되어 있다. 소스측 차광부(21a)는 반도체층(16)의 채널 영역(16c)을 포함하는 영역을 덮도록 형성되어 있다.

소스측 차광부(21a)는, 제2 절연층(19) 및 게이트 절연층(17)에 형성된 제1 소스 콘택트홀(20a)을 개재하여 반도체층(16)의 소스 영역(16a)에 접속되어 있다. 한편, 드레인측 차광부(21b)는, 제2 절연층(19) 및 게이트 절연층(17)에 형성된 제1 드레인 콘택트홀(20b)을 개재하여 반도체층(16)의 드레인 영역(16b)에 접속되어 있다. 또한, 드레인측 차광부(21b)는, 제2 절연층(19), 게이트 절연층(17) 및 제1 절연층(15)에 형성된 보조 용량 콘택트홀(20c)을 개재하여 제1 보조 용량 전극(12)에 접속되어 있다. 콘택트홀(20a 및 20b)은, 채널 영역(16c)에 측방에서 입사되는 빛을 차광하도록 기능한다.

이 제1 차광층을 덮도록 제3 절연층(22)이 형성되어 있고, 이 제3 절연층(22) 상에 소스 전극(24a) 및 드레인 전극(24b)이 형성되어 있다. 소스 전극(24a) 및 드레인 전극(24b)은, 소스 배선(신호선, 도시되지 않음)과 동일한 도전층(소스 전극층)으로 형성되어 있다. 소스 전극(24a)은, 제3 절연층(22)에 형성된 제2 소스 콘택트홀(23a)을 개재하여 소스측 차광부(21a)와 접속되어 있다. 드레인 전극(24b)은, 제3 절연층(22)에 형성된 제2 드레인 콘택트홀(23b)을 개재하여 드레인측 차광부(21b)와 접속되어 있다.

소스 전극(24a) 및 드레인 전극(24b) 상에 제4 절연층(27)이 형성되어 있고, 이 제4 절연층(27) 상에 화소 전극(29)이 형성되어 있다. 화소 전극(29)은, 제4 절연층(27)에 형성된 화소 전극 콘택트홀(28)을 개재하여 드레인 전극(24b)에 접속되어 있다. 화소 전극(29)은 전형적으로는 투명 도전층으로 형성된다.

또한, 도시한 실시예에서는, 소스 전극(24a) 및 드레인 전극(24b)을 포함하는 소스 전극층과 제4 절연층(27)과의 사이에 제5 절연층(25) 및 제2 차광층(상부 차광층)(26)을 더 구비한다. 제5 절연층(25)은 소스 전극층을 덮도록 형성되며, 제2 차광층(26)은 제5 절연층(25)을 개재하여 적어도 소스 전극(24a)과 드레인 전극(24b)과의 간극 상에 형성된다. 이 제2 차광층(26)을 설치함으로써, 반도체층(16)의 채널 영역(16c)에 입사되는 빛의 양을 저감할 수 있다.

다음에, 도 2의 (a)~(d) 및 도 3의 (a)~(d)을 참조하여, TFT부(10)를 구비하는 TFT 기판의 제조 방법의 예를 설명한다.

우선, 도 2의 (a)에 도시한 바와 같이, 투명 기판(11) 상에 CVD법으로써 P 원소를 고농도로 포함한 폴리실리콘막을 100nm 퇴적하여, 일반적인 포토리소그래피 공정 및 드라이 에칭 공정에 의해 소정의 형상으로 패터닝하여, 제1 보조 용량 전극(12)을 형성한다.

다음에, 투명 기판(11) 및 제1 보조 용량 전극(12) 상의 거의 전면에, 10nm~100nm의 범위의 막 두께를 갖는 산화 실리콘막을 형성한다. 이 산화 실리콘막은 보조 용량 유전체층(13)이 된다. 유전체층(13)의 막 두께가 얇을수록 보조 용량의 용량은 커지게 된다. 그러나, 유전체층(13)이 너무 얇으면 반대로 누설 전류의 증대나 절연 파괴가 일어날 가능성이 높게 된다. 따라서, 본 실시예에서는 보조 용량의 용량이나 누설 전류를 고려하여 보조 용량 유전체층(13)의 막 두께를 50nm으로 한다. 그 후, 이 보조 용량 유전체층(13)의 막질 향상을 위해 그 결과의 기판에 대해 900℃ 이상의 온도에서 어닐링을 행한다. 이 때, 어닐링을 행하는 분위기 중에 산소 혹은 염소 가스를 포함하고 있다. 제1 보조 용량 전극(12)이 Si를 주성분으로 하는 막으로 형성되어 있기 때문에, 어닐링과 동시에 이들 가스와 열 산화가 일어난다. 그 결과, 누설 전류가 적은 양질의 보조 용량 유전체층(13)의 형성이 가능하게 된다.

다음에, 보조 용량 유전체층(13) 상의 거의 전면에 50nm의 P 원소를 고농도로 포함한 폴리실리콘막 및 100nm의 텅스텐 실리사이드를 연속하여 성장한다. 그 후, 이 텅스텐 실리사이드 및 폴리실리콘막을 일반적인 포토리소그래피 공정 및 드라이 에칭 공정에 의해 소정의 형상으로 형성하여 제2 보조 용량 전극(14)을 형성한다. 제2 보조 용량 전극(14)은 금속인 텅스텐을 포함하는 층을 갖기 때문에, TFT의 하부 차광층으로서의 기능을 갖는다. 또한, 보조 용량 배선으로서의 기능을 갖게 하기 위해서, 제2 보조 용량 전극(14)을 배선형(wiring pattern) 혹은 격자 형상으로 형성하여 외부로부터의 전위를 직접인가할 수 있도록 하더라도 좋다.

제1 및 제2 보조 용량 전극(12, 14) 및 보조 용량 유전체층(13)은 대상 화소의 보조 용량을 구성한다. 또한, 제2 보조 용량 전극(14)은 텅스텐 실리사이드/폴리실리콘막 이외의 차광성이 있는 금속막으로 형성해도 된다.

다음에, 도 2의 (b) 및 도 3의 (a)에 도시한 바와 같이, CVD법으로써 제1 절연층(15)이 되는 산화 실리콘막을 약 300nm 형성하고, 또한 그 위에 연속하여 비정질의 실리콘막을 약 50nm 형성한다. 또한, 이 비정질 실리콘막을 결정화시켜 결정질 실

리콘(반도체층)(16)을 형성한다. 비정질 실리콘막을 결정화시키는 방법으로서, 600℃ 이상의 온도로 가열하는 방법이나, 엑시머 레이저의 조사에 의한 방법 등이 있다. 또한 제1 절연층(15)은 산화 실리콘막뿐만 아니라, 질화 실리콘막이나 산질화 실리콘막, 혹은 그 복합막에 의해 형성해도 된다.

결정질 실리콘(16)을 포토리소그래피 공정 및 드라이 에칭 공정에 의해 소정의 형상으로 패터닝한 후, 게이트 절연층(17)이 되는 산화 실리콘막을 약 80nm 형성한다. 또한, 게이트 절연층(17) 위에 P 원소를 고농도로 포함한 폴리실리콘막을 400nm 퇴적하고, 본 포토리소그래피 공정 및 드라이 에칭 공정에 의해 소정의 형상으로 패터닝하여, 게이트 전극(18)을 형성한다. 이 공정에서 게이트 배선을 동시에 형성한다.

이 때 결정질 실리콘(16) 중, 적어도 후에 채널 영역(16c)이 되는 부분은, 제1 보조 용량 전극(12) 또는 제2 보조 용량 전극(14) 중 어느 하나에 대하여, 바로 위에서 본 경우에 증첩되도록 형성한다. 이것은 제1 보조 용량 전극(12) 혹은 제2 보조 용량 전극(14)을 TFT의 하부 차광층으로서 이용하기 위한 것이다.

다음에, 게이트 전극(18)을 마스크로 하여 이용하여, 결정질 실리콘(16) 중에 2×10^{15} 원자/cm² 정도의 P 이온을 주입하여 소스 영역(16a) 및 드레인 영역(16b)을 형성한다. 주입되지 않은 부분은 채널 영역(16c)이 된다.

다음에, 도 2의 (c) 및 도 3의 (b)에 도시한 바와 같이, 게이트 전극(18) 및 게이트 절연층(17) 상에 제2 절연층(19)이 되는 산화 실리콘막을 200nm의 막 두께로 형성한다. 그 다음, 일반적인 포토리소그래피 공정 및 에칭 공정에 의해, 소스 영역(16a)을 노출하도록 제1 소스 콘택트홀(20a)을 형성함과 동시에 드레인 영역(16b)을 노출하도록 제1 드레인 콘택트홀(20b)을 형성한다. 또한, 제1 보조 용량 전극(12)에 도달하는 보조 용량 콘택트홀(20c)을 형성한다.

이 후, 기판의 거의 전면에 P 원소를 고농도로 포함한 폴리실리콘막 100nm 및 텅스텐 실리사이드막 100nm을 연속하여 성장하여, 일반적인 포토리소그래피 공정 및 드라이 에칭 공정에 의해 소정의 형상으로 패터닝하여, 제1 소스 콘택트홀(20a)을 통하여 소스 영역(16a)과 접속하는 소스측 차광층(21a) 및 제1 드레인 콘택트홀(20b)을 통하여 드레인 영역(16b)과 접속하는 드레인측 차광층(21b)을 형성한다. 이 때 소스측 차광층(21a)이 적어도 채널 영역(16c) 위를 덮도록 형성한다.

이러한 구성으로 함으로써, 채널 영역(16c)의 근처에 차광성의 막이 형성된다. 그 결과, 종래 불충분하던 측면으로부터 채널 영역(16c)에 입사되는 빛에 대한 차광성이 향상되어, 표시 품위를 향상시킬 수 있다.

또한, 드레인측 차광층(21b)은 드레인 영역(16b)과 접속함과 동시에, 보조 용량 콘택트홀(20c)을 통하여 제1 보조 용량 전극(12)과도 접속하고 있다. 이에 의해, TFT의 하층에 설치된 보조 용량과 접속하기 위한 콘택트홀이 깊어지지 않고 TFT의 드레인 영역(16b)과 접속할 수 있기 때문에, 드라이 에칭 공정의 오버 에칭에 의한 관통이나 콘택트의 절단 등의 공정 불량에 대하여 충분한 마진을 취하는 것이 가능하게 된다. 그 결과, TFT 기판의 생산성 및 수율의 향상에 기여한다.

다음에, 도 2의 (d) 및 도 3의 (c)에 도시한 바와 같이, 기판 위의 거의 전면에, CVD법을 이용하여 제3 절연층(22)이 되는 산화 실리콘막을 500nm의 막 두께로 형성한다. 그 다음에, 상기 소스 영역(16a) 및 드레인 영역(16b) 중에 주입한 P 이온의 활성화를 위해, 그 결과의 기판을 질소 분위기 속에서 950℃, 30분간의 열처리를 실시한다. 그 다음, 일반적인 포토리소그래피 공정과 웨트 에칭 공정이나 드라이 에칭 공정에 의해, 게이트 절연층(17) 및 제2 절연층(19) 및 제3 절연층(22)에, 소스측 차광층(21a) 및 드레인측 차광층(21b)에 도달하는 제2 소스 콘택트홀(23a) 및 제2 드레인 콘택트홀(23b)을 각각 형성한다. 제3 절연층(22)은 산화 실리콘막뿐만 아니라, 질화 실리콘막이나 산질화 실리콘막, 혹은 그 복합막에 의해 형성해도 된다.

다음에, TiW(100nm)/AlSi(400nm)/TiW(100nm)로 이루어지는 다층의 도전막을, 일반적인 포토리소그래피 공정과 드라이 에칭 공정에 의해 증착 및 패터닝하여, 소스 전극(24a) 및 드레인 전극(24b)을 형성한다. 소스 전극(24a)은, 제2 소스 콘택트홀(23a)을 통해서 소스측 차광층(21a) 및 소스 영역(16a)과 접속된다. 또한, 드레인 전극(24b)은, 제2 드레인 콘택트홀(23b)을 통해서 드레인측 차광층(21b), 드레인 영역(16a) 및 제1 보조 용량 전극(12)과 접속된다.

다음에, 도 1에 도시한 바와 같이, 제5 절연층(25)이 되는 산화 실리콘막을 약 300nm 형성한다. 그 다음, TiW 막을 120nm의 막 두께로 형성하고, 일반적인 포토리소그래피 공정과 드라이 에칭 공정에 의해 패터닝하여, TFT의 상방에서의 빛을 차단하는 기능을 갖는 상부 차광층(26)을 형성한다. 또한, 제5 절연층(25)은 산화 실리콘막뿐만 아니라, 질화 실리콘막이나 산화 질화실리콘막, 혹은 그 복합막에 의해 형성해도 좋다.

다음에, 제4 절연층(27)이 되는 산화 실리콘막을 약 300nm 형성한다. 그 다음, 도 1 및 도 3의 (d)에 도시한 바와 같이, 이 제4 절연층(27)에 일반적인 포토리소그래피 공정과 웨트 에칭 공정이나 드라이 에칭 공정에 의해 드레인 전극(24b)에 도달하는 화소 전극 콘택트홀(28)을 형성한다. 마지막으로, 화소 전극(29)이 되는 ITO 막을 100nm 형성하여, 일반적인 포토리소그래피 공정과 웨트 에칭 공정이나 드라이 에칭 공정에 의해 화소 전극(29)을 형성한다. 화소 전극(29)은 드레인 전극(24b)과 접속되어 있고, 또한 제1 보조 용량 전극(12)과도 전기적으로 접속되게 된다. 또한, 제4 절연층(27)은 산화 실리콘막뿐만 아니라, 질화 실리콘막이나 산질화 실리콘막, 혹은 그 복합막에 의해 형성해도 된다.

이상과 같은 공정을 실시함으로써, 도 1에 도시한 TFT부를 갖는 TFT 기판이 제조된다. 또한, TFT부를 구성하는 각 구성 요소의 재료, 막 두께 및 형성 방법은, 상기의 예에 한정되지 않고 공지의 재료 및 형성 방법을 이용할 수 있다. 막 두께 등의 사이즈는 TFT 기판의 용도 등에 따라서 적절하게 변경된다.

이하, 도 4~도 7을 참조하여, 제1 실시예에 따른 다른 TFT 기판의 구조를 설명한다. 이하의 도면에 있어서, 도 1~도 3과 실질적으로 동일한 구성 요소는 공통의 참조 부호로 도시하며 이에 대한 설명은 생략한다.

도 4는 제1 실시예에 따른 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부는, 제1 차광층이 갖는 드레인측 차광부(21b)가 채널 영역(16c)을 덮도록 형성되고 있는 점에서, 도 1에 도시한 TFT부와 다르다.

도 5는 제1 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부는, 제1 차광층이 게이트 전극(18) 상에서 소스측 차광부(21a)와 드레인측 차광부(21b)와 분리되어 있는 점에서, 도 1에 도시한 TFT부와 다르다.

소스측 차광부(21a)와 드레인측 차광부(21b)가 각각 채널 영역(16c)을 부분적으로 덮고 있다. 또한, 소스측 차광부(21a)와 드레인측 차광부(21b)와의 간극은 게이트 전극(18) 상에 위치하기 때문에, 그 간극을 통과하는 빛이 채널 영역(16c)에 입사되는 경우는 없다.

도 6은 제1 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 제1 차광층은, 소스측 차광층(21a) 및 드레인측 차광층(21b)에 전기적으로 접속되어 있지 않은 중간 차광부(21c)를 더 구비하고, 중간 차광부(21c)는, 채널 영역(16c)을 덮도록 배치되어 있다. 이 중간 차광부(21c)는, 소스 전극(24a) 및 드레인 전극(24b)과 전기적으로 독립되어 있기 때문에, 예를 들면, 화소 영역의 외부로부터 일정한 전압을 인가할 수 있다. 채널 영역(16c)(게이트 전극(18)) 상에 형성되는 중간 차광부(21c)를 일정 전압으로 유지함으로써, 반도체층(폴리실리콘층)에 관한 전압(전위)을 안정화할 수 있기 때문에, TFT 특성이 안정적화 되는 이점이 얻어진다.

도 7은 제1 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부에서는, 제2 소스 콘택트홀(23a) 및 제2 드레인 콘택트홀(23b)을 각각 제1 소스 콘택트홀(20a) 및 제1 드레인 콘택트홀(20b)과 중첩되는 위치에 형성되어 있다. 즉, 기판의 법선 방향에서 보았을 때에, 상호 중첩되도록 형성되어 있다.

이와 같이 콘택트홀을 배치함으로써, 콘택트를 형성하기 위해서 필요한 영역을 작게 할 수 있어, 화소 개구율을 향상시킬 수 있다.

또한, 콘택트홀을 중첩시키는 배치는 도 7에 도시한 구성에 한정되지 않고, 도 4~도 6에 도시한 임의의 구성에 적용하더라도 동일한 효과가 얻어진다.

(제2 실시예)

도 8 및 도 9를 참조하여 본 발명에 따른 제2 실시예의 TFT 기판의 TFT부의 구조 및 그 제조 방법을 설명한다.

제2 실시예의 TFT부는, 반도체층이 소스 영역(36a), 드레인 영역(36b), 채널 영역(36c) 외에, 채널 영역(36c)의 양측에 LDD 영역(36d)을 갖는 점에서 도 1에 도시한 제1 실시예의 TFT부와 다르다. 그 외의 TFT부의 구성은 제1 실시예와 실질적으로 동일하다. 따라서, 본 실시예에서는 도 3에 대응하는 평면도는 생략한다. 또한, 제2 실시예의 TFT 기판의 제조 방법도 반도체층에 LDD 영역(36d)을 형성하는 공정(도 9의 (b))을 제외하고는 제1 실시예와 실질적으로 동일하다. 도 9의 (a)~(d)는 도 2의 (a)~(d)에 각각 대응한다. 여기서는 설명의 중복을 피하여, 반도체층의 구성의 차이를 주로 설명한다.

도 8에 도시한 TFT부는, 투명 기관(예컨대 유리 기관)(31) 상에 형성된 제1 보조 용량 전극(32), 보조 용량 유전체층(33) 및 제2 보조 용량 전극(34)을 갖는다. 이들이 상호 중첩하는 영역은 보조 용량을 구성한다.

보조 용량을 덮도록 형성된 제1 절연층(35) 상에 TFT의 반도체층(36)이 형성되어 있다. 반도체층(36)은, 소스 영역(36a) 및 드레인 영역(36b)과 이들의 사이에 형성된 채널 영역(36c)을 구비한다. 반도체층(36)은 채널 영역(36c)과 소스 영역(36a) 및 드레인 영역(36b)과의 사이에 LDD 영역(36d)을 더 구비한다.

반도체층(36)을 덮도록 게이트 절연층(37)이 형성되며, 이 게이트 절연층(37)을 개재하여 채널 영역(36c) 상에 게이트 전극(38)이 형성되어 있다. 게이트 전극(38)은, 게이트 배선(주사선, 미도시)과 동일한 도전층(게이트 전극층)으로 형성되어 있다.

게이트 전극(38)을 포함하는 게이트 전극층을 덮도록 제2 절연층(39)이 형성되어 있고, 이 제2 절연층(39) 상에 제1 차광층이 형성되어 있다. 제1 차광층은, 소스측 차광부(41a)와 드레인측 차광부(41b)가 2개의 부분으로 분할되어 있다. 소스측 차광부(41a)가 반도체층(36)의 채널 영역(36c)과 채널 영역(36c)의 양측에 형성된 LDD 영역(36d)을 포함하는 영역을 덮도록 형성되어 있다.

소스측 차광부(41a)는, 제2 절연층(39) 및 게이트 절연층(37)에 형성된 제1 소스 콘택트홀(40a)을 개재하여 반도체층(36)의 소스 영역(36a)에 접속되어 있다. 한편, 드레인측 차광부(41b)는, 제2 절연층(39) 및 게이트 절연층(37)에 형성된 제1 드레인 콘택트홀(40b)을 개재하여 반도체층(36)의 드레인 영역(36b)에 접속되어 있다. 또한, 드레인측 차광부(41b)는, 제2 절연층(39), 게이트 절연층(37) 및 제1 절연층(35)에 형성된 보조 용량 콘택트홀(40c)을 개재하여 제1 보조 용량 전극(32)에 접속되어 있다. 콘택트홀(40a 및 40b)은, 채널 영역(36c) 및 LDD 영역(36d)에 측방에서 입사되는 빛을 차광하도록 기능한다.

제1 차광층을 덮도록 제3 절연층(42)이 형성되어 있고, 제3 절연층(42) 상에 소스 전극(44a) 및 드레인 전극(44b)이 형성되어 있다. 소스 전극(44a) 및 드레인 전극(44b)은, 소스 배선(신호선, 도시되지 않음)과 동일한 도전층(소스 전극층)으로 형성되어 있다. 소스 전극(44a)은, 제3 절연층(42)에 형성된 제2 소스 콘택트홀(43a)을 개재하여 소스측 차광부(41a)와 접속되어 있다. 드레인 전극(44b)은, 제3 절연층(42)에 형성된 제2 드레인 콘택트홀(43b)을 개재하여 드레인측 차광부(41b)와 접속되어 있다.

소스 전극(44a) 및 드레인 전극(44b) 상에 제4 절연층(47)이 형성되어 있고, 제4 절연층(47) 상에 화소 전극(49)이 형성되어 있다. 화소 전극(49)은, 제4 절연층(47)에 형성된 화소 전극 콘택트홀(48)을 개재하여 드레인 전극(44b)에 접속되어 있다. 화소 전극(49)은 전형적으로는 투명 도전층으로 형성된다.

또한, 도시한 실시예에서는, 소스 전극(44a) 및 드레인 전극(44b)을 포함하는 소스 전극층과 제4 절연층(47)과의 사이에 제5 절연층(45)과 제2 차광층(상부 차광층)(46)을 더 구비한다. 상기한 제5 절연층(45)은 소스 전극층을 덮고 있으며, 상기한 제2 차광층(46)은 상기한 제5 절연층(45)을 개재하여 적어도 소스 전극(44a)과 드레인 전극(44b)과의 간극 상에 형성된다. 이 제2 차광층(46)을 설치함으로써, 반도체층(36)의 채널 영역(36c) 및 LDD 영역(36d)에 입사되는 빛의 양을 저감할 수 있다.

이 TFT부는, 도 9의 (a)~(d)에 모식적으로 도시한 바와 같이, 제1 실시예의 TFT부(10)와 마찬가지로의 방법으로 형성될 수 있다.

우선, 도 9의 (a)에 도시한 바와 같이, 제1 실시예와 마찬가지로의 공정을 실행하여, 제1 보조 용량 전극(32), 보조 용량 유전체층(33) 및 제2 보조 용량 전극(34)을 형성한다.

그 후, 도 9의 (b)에 도시한 바와 같이, 게이트 전극(38)을 마스크로 이용하여, 결정질 실리콘층(반도체층)(36) 중에 5×10^{13} 원자/cm² 정도의 P 이온을 주입하여 LDD 영역(36d)을 형성한다. 또한, 일반적인 포토리소그래피 공정에 의해 게이트 전극(38) 및 LDD 영역(36d)의 일부를 피복하고, 결정질 실리콘(36) 중에 2×10^{15} 원자/cm² 정도의 P 이온을 주입하여 소스 영역(36a) 및 드레인 영역(36b)을 형성한다. 주입되지 않은 부분은 채널 영역(36c)이 된다.

채널 영역(36c)과 소스 영역(36a)과의 사이 및 채널 영역(36c)과 드레인 영역(36b)과의 사이에 LDD 영역(36d)을 설치하면, 화소 TFT 특성의 OFF 전류가 저감되며 액정 패널의 표시 품질을 더욱 향상시킬 수 있다.

이 후, 도 9의 (c) 및 (d)에 도시한 바와 같이, 제1 실시예와 마찬가지로의 공정을 실행함으로써, 도 8에 예시된 제2 실시예의 TFT부를 갖는 TFT 기판이 제조된다. 그러나, 본 실시예에서는 소스측 차광층(41a)이 적어도 채널 영역(36c) 및 LDD 영역(36c) 위를 덮도록 형성한다.

제1 실시예의 경우와 마찬가지로, 본 실시예의 TFT부도, 상술한 구성을 갖기 때문에, 채널 영역(36c) 및 LDD영역(36d)의 근처에 차광층이 형성된다. 그 결과, 종래 불충분하던 측면으로부터 채널 영역(16c)에 입사되는 빛에 대한 차광성이 향상되고, 표시 품질을 향상시킬 수 있다.

또한, 드레인측 차광층(41b)은, 드레인 영역(46b)과 접촉함과 동시에, 보조 용량 콘택트홀(40c)을 개재하여 제1 보조 용량 전극(32)과도 접촉하고 있다. 이에 의해, TFT의 하층에 설치된 보조 용량과의 접촉을 위한 콘택트홀을 너무 깊게 할 필요 없이 TFT의 드레인 영역(36b)과 접촉할 수 있다. 따라서, 드라이 에칭 공정의 오버 에칭에 의한, 관통이나 콘택트의 절단 등의 공정 불량에 대하여 충분한 마진을 취하는 것이 가능하다. 그 결과, TFT 기판의 생산성 및 수율의 향상에 기여한다.

도 8에 도시한 TFT부를 구성하는 각 구성 요소의 재료, 막 두께 및 형성 방법은, 공지의 재료 및 형성 방법을 이용할 수 있다. 막 두께 등의 사이즈는 TFT 기판의 용도 등에 따라서 적절하게 변경된다.

이하, 도 10~도 13을 참조하여, 제2 실시예에 따른 다른 TFT 기판의 구조를 설명한다. 이하의 도면에 있어서, 도 8 및 도 9와 실질적으로 동일한 구성 요소는 공통의 참조 부호로 도시하며, 이에 대한 설명은 생략한다.

도 10은 제2 실시예에 따른 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부는, 제1 차광층이 갖는 드레인측 차광부(41b)가 채널 영역(36c) 및 LDD 영역(36d)을 덮도록 형성되어 있는 점에서, 도 8에 도시한 TFT부와 다르다.

도 11은 제2 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부는, 제1 차광층이 게이트 전극(38) 상에서 소스측 차광부(41a)와 드레인측 차광부(41b)가 분리되어 있는 점에서, 도 8에 도시한 TFT부와 다르다.

소스측 차광부(41a)와 드레인측 차광부(41b)가 각각 LDD 영역(36d)과 채널 영역(36c)의 일부를 덮고 있다. 또한, 소스측 차광부(41a)와 드레인측 차광부(41b)와의 간극은 게이트 전극(38) 상에 위치하기 때문에, 그 간극을 통과하는 빛이 채널 영역(36c) 또는 LDD 영역(36d)에 입사되는 경우는 없다.

도 12는 제2 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 제1 차광층은, 소스측 차광층(41a) 및 드레인측 차광층(41b)에 전기적으로 접속되어 있지 않은 중간 차광부(41c)를 더 구비하고, 중간 차광부(41c)는, 채널 영역(36c) 및 LDD 영역(36d)을 덮도록 배치되어 있다. 이 중간 차광부(41c)는, 소스 전극(44a) 및 드레인 전극(44b)과 전기적으로 독립되어 있기 때문에, 예를 들면, 화소 영역의 외부로부터 일정한 전압을 인가할 수 있다. 채널 영역(36c)(게이트 전극(38)) 상에 형성되는 중간 차광부(41c)를 일정 전압으로 유지함으로써, 반도체층(폴리실리콘층)에 관한 전압(전위)을 안정화 할 수 있다. 이 때문에 TFT 특성이 안정화된다. 또한, 중간 차광부(41c)의 전위에 의해서 LDD 영역을 흐르는 전류가 증대되어, TFT의 온(ON) 전류를 증가시킬 수 있다.

도 13은 제2 실시예에 따른 또 다른 TFT 기판의 TFT부의 단면 구조를 모식적으로 도시한다. 이 TFT부에서는, 제2 소스 콘택트홀(43a) 및 제2 드레인 콘택트홀(43b)이 각각 제1 소스 콘택트홀(40a) 및 제1 드레인 콘택트홀(40b)과 중첩되는 위치에 형성되어 있다. 즉, 기판의 법선 방향에서 보았을 때에, 상호 중첩되도록 형성되어 있다.

이와 같이 콘택트홀을 배치함으로써, 콘택트를 형성하기 위해 필요한 영역을 줄일 수 있으며, 화소 개구율을 향상시킬 수 있다.

또한, 콘택트홀을 상호 중첩시키는 배치는, 도 13에 도시한 구성에 한정되지 않고, 도 10~도 12에 도시한 임의의 구성에 적용해도 동일한 효과가 얻어진다.

발명의 효과

본 발명에 따르면, 화소마다 보조 용량을 구비한 액티브 매트릭스형 표시 장치에 있어서, 개구율의 저하를 억제하면서, 반도체층에 입사되는 빛이 효과적으로 차광되는 액티브 매트릭스형 표시 장치 및 그것에 이용되는 액티브 매트릭스 기판이 제공된다.

본 발명에 따르면, 고 개구율, 고정밀 및 우수한 내광성의 액티브 매트릭스 기판을 높은 생산성으로 제조할 수 있다. 특히, 상기한 액티브 매트릭스 기판은 프로젝션형 표시 장치에 적합하게 적용된다.

이상, 본 발명을 바람직한 실시예를 중심으로 설명하였지만, 본 기술분야의 숙련된 자들이라면, 본 명세서에 구체적으로 기재되고 있는 것들 이외의 각종의 변형예를 여러가지 방법으로 실시할 수 있을 것이다. 따라서, 첨부된 청구범위는 본 발명의 사상 및 범주를 이탈하지 않는 범위 내의 각종의 변형예들을 포함하는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1.

기판 위에 복수의 반도체 소자가 형성된 액티브 매트릭스 기판에 있어서,
 상기 복수의 반도체 소자가 형성된 액티브 매트릭스 기판의 반도체 소자부가,
 상기 기판 위에 형성된 보조 용량(storage capacitor)과,
 상기 보조 용량 상에 형성된 제1 절연층과,
 상기 제1 절연층을 개재하여 상기 보조 용량 상에 형성된 반도체층과,
 상기 반도체층 상에 형성된 게이트 절연층과,
 상기 게이트 절연층을 개재하여 상기 반도체층 상에 형성된 게이트 전극을 포함하는 게이트 전극층과,
 상기 게이트 전극층 및 상기 반도체층을 덮는 제2 절연층과,
 상기 제2 절연층을 개재하여 상기 반도체층 상에 형성되며, 적어도 상기 반도체층의 채널 영역을 덮는 제1 차광층과,
 상기 제1 차광층 상에 형성된 제3 절연층과,
 상기 제3 절연층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 소스 전극층과,
 상기 소스 전극층 상에 형성된 제4 절연층과,
 상기 제4 절연층 상에 형성되며, 상기 드레인 전극에 전기적으로 접속된 화소 전극
 을 포함하며,
 상기 제1 차광층은 도전성을 가지며, 상기 보조 용량의 한쌍의 전극의 한쪽과 전기적으로 접속됨과 함께, 상기 드레인 전극과 전기적으로 접속된 드레인층 차광부를 갖는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 2.

제1항에 있어서,

상기 제1 차광층은 상기 소스 전극과 전기적으로 접속된 소스측 차광부를 더 구비하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 3.

제1항에 있어서,

상기 제1 차광층은 상기 소스 전극 및 상기 드레인 전극의 어느 쪽에도 전기적으로 접속되어 있지 않은 중간 차광부를 더 구비하며,

상기 중간 차광부는 상기 채널 영역 위에 배치된 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 4.

제3항에 있어서,

상기 중간 차광부는 일정 전위로 유지되는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 5.

제1항에 있어서,

상기 제1 차광층은 상기 소스 전극에 접속된 소스측 차광부를 더 구비하고,

상기 제1 및 제2 절연층은 상기 제1 차광층과 상기 보조 용량의 상기 한쪽의 전극을 접속하기 위한 콘택트홀을 구비하고,

상기 제2 절연층은 상기 드레인측 차광부와 상기 반도체층의 드레인 영역을 접속하는 제1 콘택트홀과, 상기 소스측 차광부와 상기 반도체층의 소스 영역을 접속하는 제2 콘택트홀을 더 구비하고,

상기 제3 절연층은 상기 드레인 전극과 상기 드레인측 차광부를 접속하는 제3 콘택트홀과, 상기 소스 전극과 상기 소스측 차광부를 접속하는 제4 콘택트홀을 구비하고,

상기 제1 콘택트홀과 상기 제3 콘택트홀이 상호 중첩되며, 상기 제2 콘택트홀과 상기 제4 콘택트홀이 상호 중첩되도록 배치되어 있는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 6.

제1항에 있어서,

상기 반도체층이 채널 영역의 양측에 LDD(lightly doped drain) 영역을 구비하고,

상기 제1 차광층은 적어도 상기 채널 영역 및 상기 LDD 영역 위에 배치되는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 7.

제6항에 있어서,

상기 제1 차광층은 상기 소스 전극 및 상기 드레인 전극의 어느 쪽에도 전기적으로 접속되어 있지 않은 중간 차광부를 더 구비하고,

상기 중간 차광부는 상기 채널 영역 및 상기 LDD 영역 위에 배치되어 있는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 8.

제7항에 있어서,

상기 중간 차광부는 일정 전위로 유지되는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 9.

제1항에 있어서,

상기 소스 전극층과 상기 제4 절연층과의 사이에,

상기 소스 전극층을 덮는 제5 절연층과,

상기 제5 절연층을 개재하여 적어도 상기 소스 전극과 상기 드레인 전극과의 간극 상에 형성된 제2 차광층을 더 구비하는 것을 특징으로 하는 액티브 매트릭스 기판.

청구항 10.

액티브 매트릭스 기판과 표시 매체층을 구비한 표시 장치에 있어서,

상기 액티브 매트릭스 기판은 기판 위에 복수의 반도체 소자가 형성되며,

상기 복수의 반도체 소자가 형성된 액티브 매트릭스 기판의 반도체 소자부가,

상기 기판 위에 형성된 보조 용량과,

상기 보조 용량 상에 형성된 제1 절연층과,

상기 제1 절연층을 개재하여 상기 보조 용량 상에 형성된 반도체층과,

상기 반도체층 상에 형성된 게이트 절연층과,

상기 게이트 절연층을 개재하여 상기 반도체층 상에 형성된 게이트 전극을 포함하는 게이트 전극층과,

상기 게이트 전극층 및 상기 반도체층을 덮는 제2 절연층과,

상기 제2 절연층을 개재하여 상기 반도체층 상에 형성되며, 적어도 상기 반도체층의 채널 영역을 덮는 제1 차광층과,

상기 제1 차광층 상에 형성된 제3 절연층과,

상기 제3 절연층 상에 형성된 소스 전극 및 드레인 전극을 포함하는 소스 전극층과,

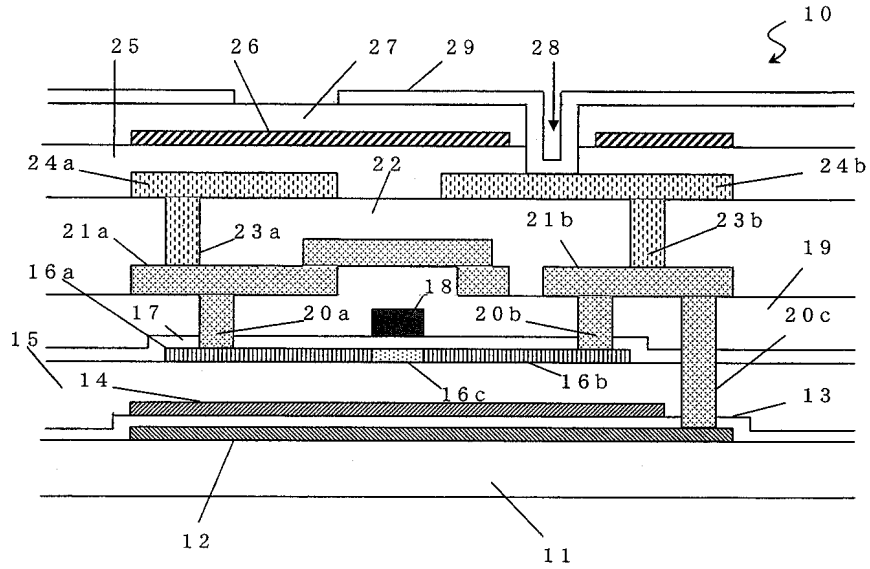
상기 소스 전극층 상에 형성된 제4 절연층과,

상기 제4 절연층 상에 형성되며, 상기 드레인 전극에 전기적으로 접속된 화소 전극을 포함하며,

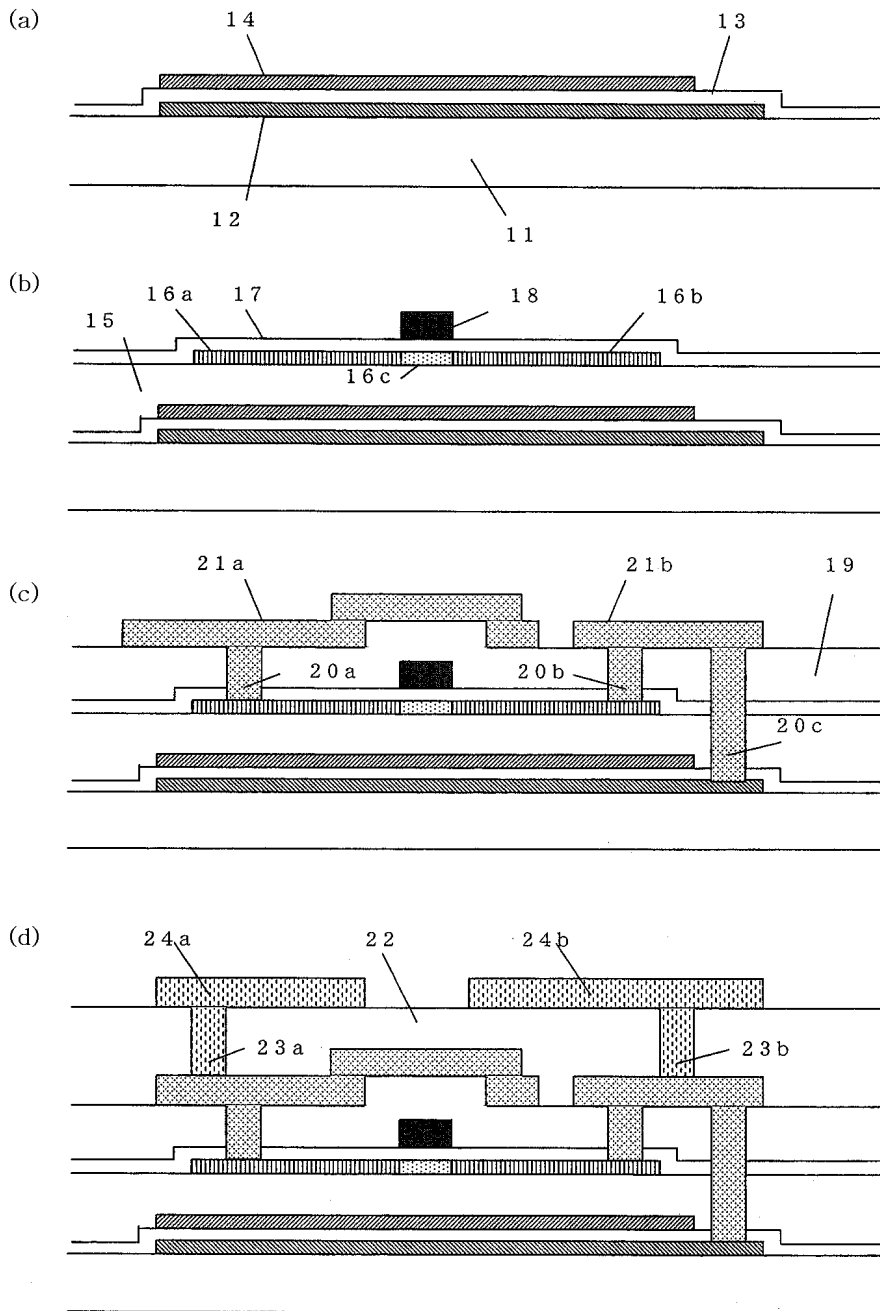
상기 제1 차광층은 도전성을 가지며, 상기 보조 용량의 한쌍의 전극의 한쪽과 전기적으로 접속됨과 함께, 상기 드레인 전극과 전기적으로 접속된 드레인층 차광부를 갖는 것을 특징으로 하는 표시 장치.

도면

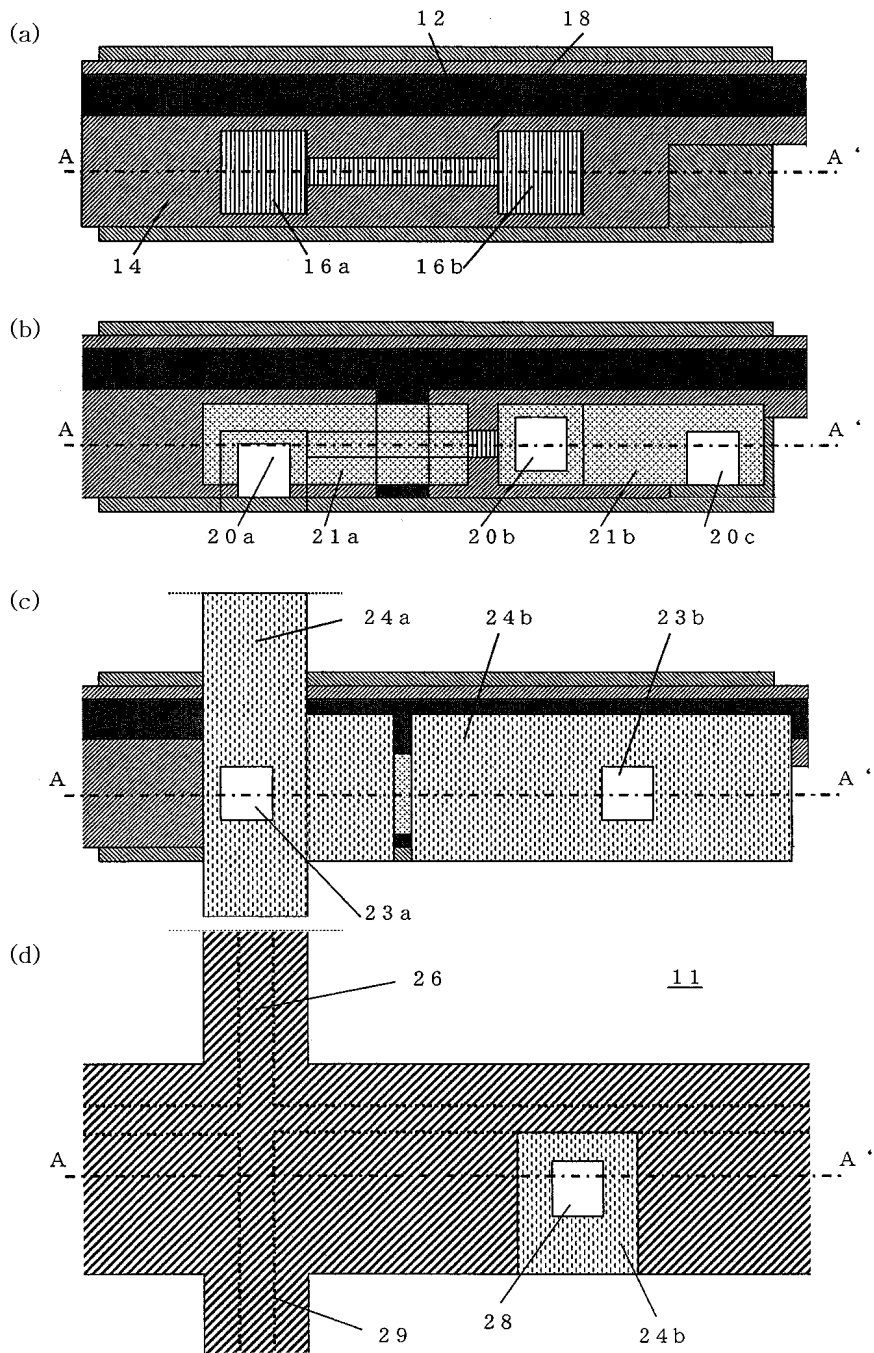
도면1



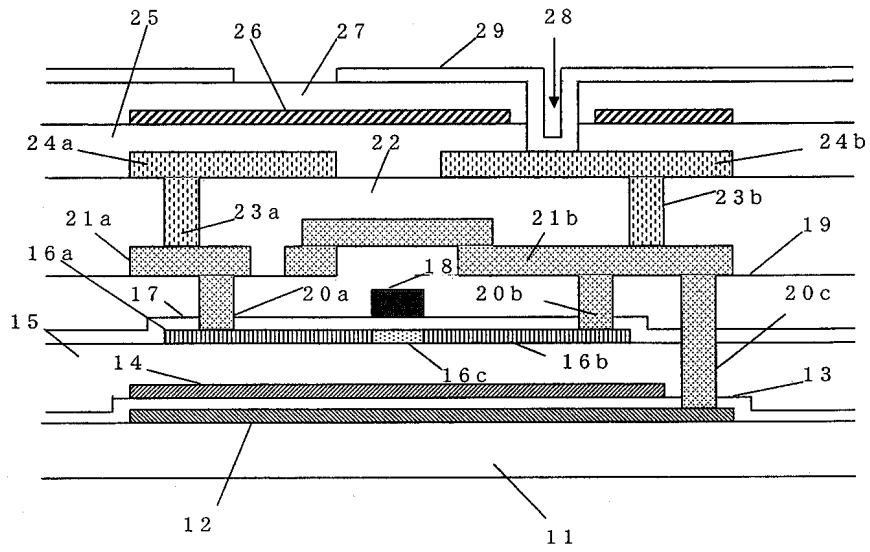
도면2



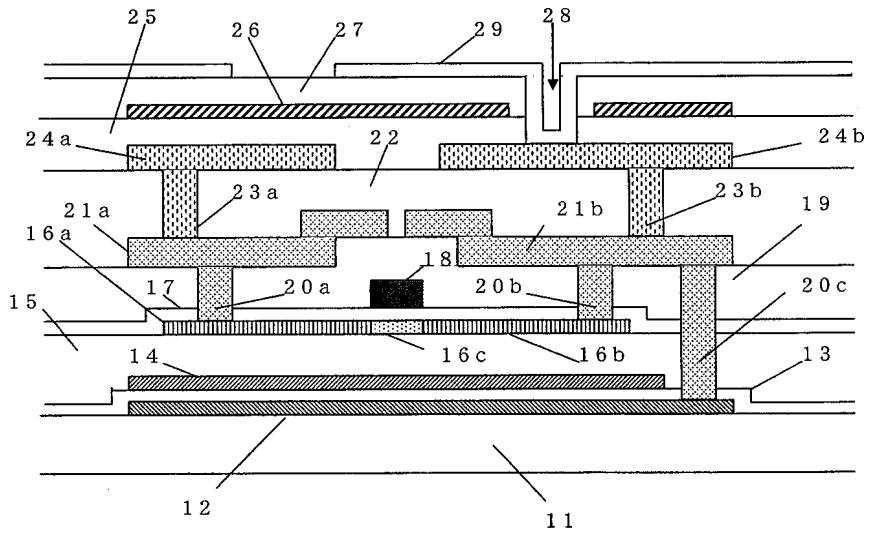
도면3



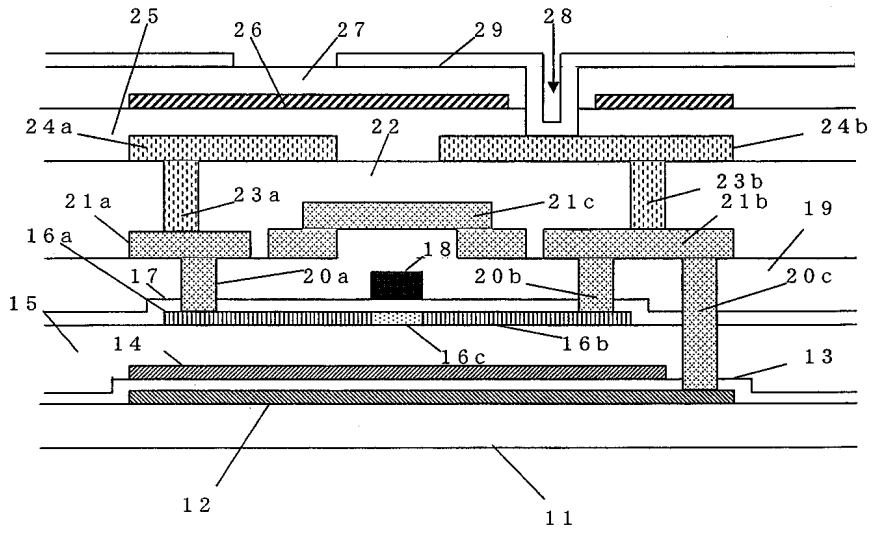
도면4



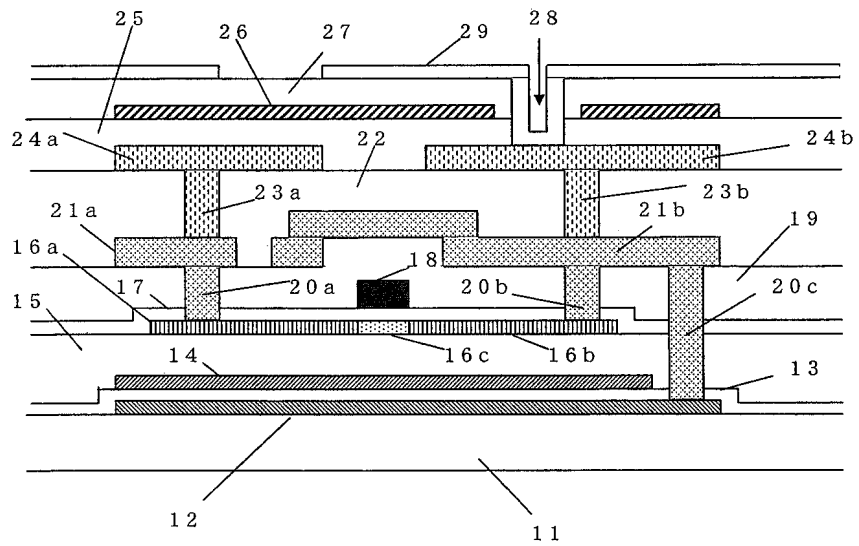
도면5



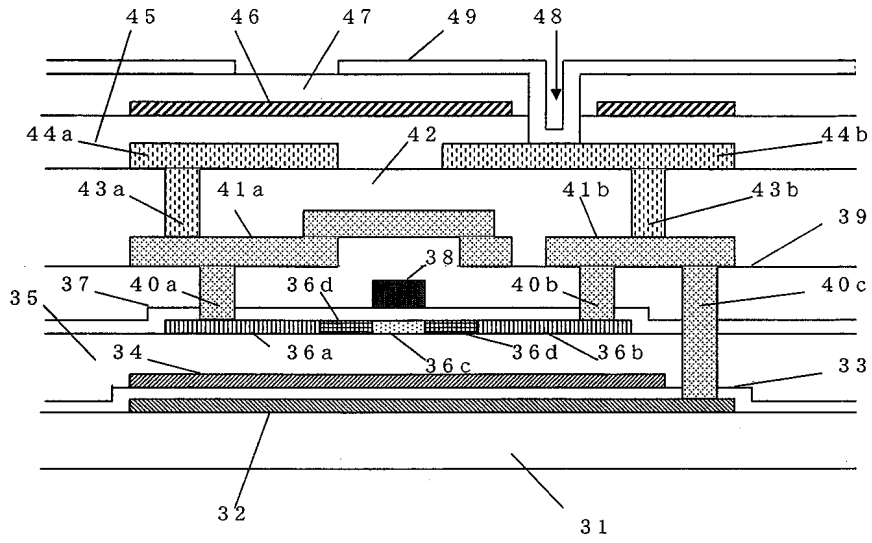
도면6



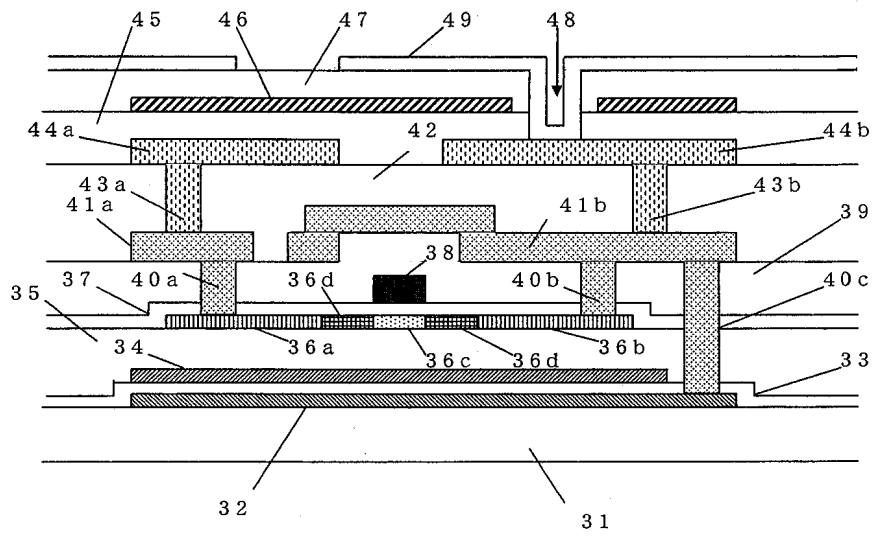
도면7



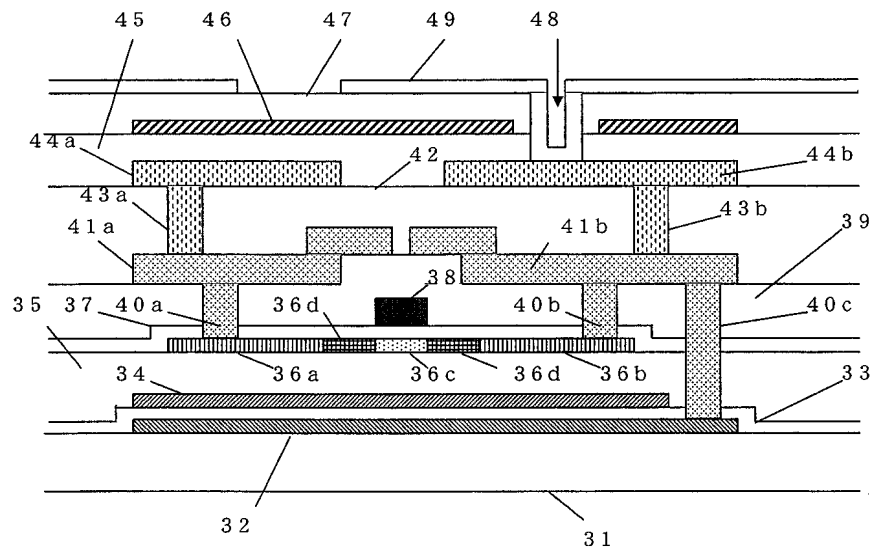
도면8



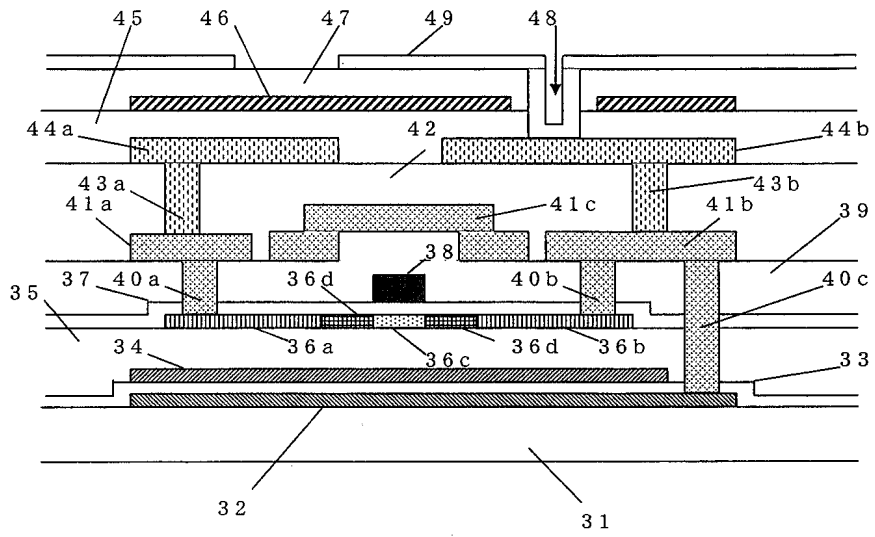
도면10



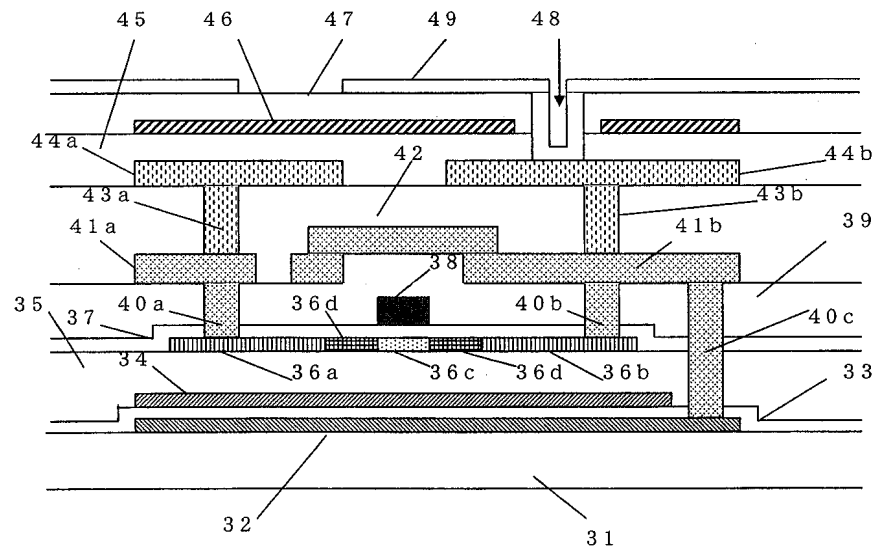
도면11



도면12



도면13



专利名称(译)	有源矩阵基板和显示装置		
公开(公告)号	KR100540106B1	公开(公告)日	2006-01-11
申请号	KR1020030075368	申请日	2003-10-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	GOTOH MASAHITO 고토마사히토 UEDA TOHRU 우에다도루 HIGAMI YOSHINORI 히가미요시노리		
发明人	고토마사히토 우에다도루 히가미요시노리		
IPC分类号	G02F1/133 G02F1/1335 G02F1/1362 G02F1/1368 G09F9/30 H01L27/12 H01L27/13 H01L29/786		
CPC分类号	H01L27/13 H01L29/78633 G02F1/136213 G02F1/136209 H01L27/12 G02F2201/40 G02F1/136227 H01L27/1255		
代理人(译)	CHANG, SOO KIL		
优先权	2002318514 2002-10-31 JP		
其他公开文献	KR1020040038729A		
外部链接	Espacenet		

摘要(译)

根据本发明的有源矩阵基板包括形成在存储电容器上的存储电容器，形成在存储电容器上的第一绝缘层，经由第一绝缘层形成在存储电容器上的半导体层，以及形成在半导体层上的栅极绝缘。栅电极层包括通过栅极绝缘层形成在半导体层上的层和栅电极，覆盖栅电极层和半导体层的第二绝缘层，以及形成在半导体层上的第二绝缘层。源电极层，包括至少覆盖半导体层的沟道区的第一光阻挡层，形成在第一光阻挡层上的第三绝缘层，形成在第三绝缘层上的源电极和漏电极，以及源电极层形成第四绝缘层和形成在第四绝缘层上并与漏电极电连接的像素电极。第一遮光层具有导电性并且电连接到构成存储电容器的一对电极中的一个，并且包括电连接到漏电极的漏侧光遮蔽部分。 1 指数方面 有源矩阵基板，阴影，辅助电容，LDD，LCD

