

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 29/786

(11) 공개번호 특2000-0057731
(43) 공개일자 2000년09월25일

(21) 출원번호	10-2000-0000832
(22) 출원일자	2000년01월10일
(30) 우선권주장	99-3812 1999년01월11일 일본(JP)
(71) 출원인	가부시카기이사 히타치세이사쿠쇼 가나이 쓰토무
(72) 발명자	일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치 스즈키켄키치 일본국치바켄모바라시하야노3713-3 나가타테쯔야 일본국이바라기켄히타치나카시마와타리2660-13 오기노토시오 일본국치바켄모바라시타카시24-8 사이토우마사카즈 일본국치바켄모바라시하야노3550 타카하시미쯔코 일본국치바켄모바라시하기하라초1-45 미야오마사노부 일본국후쿠오카켄후쿠오카시니시쿠오도5-7-1-11
(74) 대리인	이종일

심사청구 : 있음

(54) 반도체장치, 이를 이용한 액정표시장치 및 이들의 제조방법

요약

반도체 장치는 절연기판과, 다결정 반도체 물질로 만들어지고 절연기판 상에 배치되는 아일랜드와, 다결정 반도체 물질과 적어도 한 금속과 금속규소화합물로 만들어지고 아일랜드를 둘러싸는 전도층과, 소스영역과 상기 소스영역으로부터 이격된 드레인 영역과, 절연 필름이 아일랜드와 게이트 전극사이에 삽입되어 아일랜드 상에 배치되고 소스영역과 드레인 영역 사이의 공간을 마주하는 게이트 전극을 포함하는 박막트랜지스터를 가진다.

아일랜드와 전도층을 형성하는 다결정 반도체 물질은 적어도 한 금속과 금속규소화합물로 만들어진 결정체 유도층과 아일랜드에 상응한 구멍을 가지는 절연기판 상에 배치된 첫 번째 비결정 반도체 물질을 초기에 가열냉각하고, 결정체-유도층은 적어도 한 기판 측과 기판의 다른 측 상에 비결정 반도체 물질의 표면 위에 배치되며, 첫번째 비결정 반도체 상에 두 번째 비결정 반도체를 두고, 두번째 비결정 반도체를 가열냉각함으로써 제조된다.

대표도

도4

명세서

도면의 간단한 설명

도 1A는 본 발명의 실시예에 따른 p-SiTFT의 기본 구조를 나타내는 개략적 단면도이다.

도 1B는 게이트 절연 필름과 게이트 전극이 제거된 도 1A의 p-SiTFT의 평면도이다.

도 2는 도 1A의 p-SiTFT의 정열을 보여주는 개략 평면도이다.

도 3A-1에서 3A-3까지와 도 3B-1에서 3B-3까지는 a-Si 필름을 p-Si 필름으로저밀도 에너지와 고밀도 에너지에서 개별적으로 전환하는 이론을 설명하는 도이다.

도 4A에서 4D는 핵을 만들기 위해 MIC와 MILC의 이론을 사용해 큰 입자 크기의 p-Si 필름을 제조하는 처리과정의 필름의 단면도이다.

도 5A에서 5C는 p-SiTFT의 제조에서 엑시머레이저의 밀도 분포를 설명하는 예시도로, 도 5A는 절연기판 상에서 제조된 p-Si 아일랜드의 정열을, 도 5B는 레이저의 이상적 조명 밀도 분포를, 도 5C는 다층 유전 마스크의 전도 분포를 나타내는 평면도이다.

도 6A와 6B는 액정 표시패널의 주변회로의 제조에서 레이저 조명을 위한 마스크의 기본 구조를 설명하는 예시도로, 도 6A는 마스크의 개략 평면도이고, 도 6B는 마스크의 전도 분포를 나타내는 개략 평면도이다.

도 7A에서 7D는 핵을 만들기 위해 MIC와 MILC의 이론을 사용해 큰 입자 크기의 p-Si 필름을 제조하기 위한 대체처리 과정들에서 필름의 단면도이다.

도 8A에서 8F는 본 발명의 실시예에 따라서 p-SiTFT를 제조하는 처리과정에서 필름의 단면도이다.

도 9A에서 9F는 본 발명의 다른 실시예에 따라서 p-SiTFT를 제조하는 처리 과정에서 필름의 단면도이다.

도 10A에서 10C는 본 발명의 또 다른 실시예에 따라서 p-SiTFT를 제조하는 처리과정에서 필름의 단면도이다.

도 11은 액정표시패널의 주변회로를 구성하는 구동회로의 블럭구성도이다.

도 12A와 도 12B는 데이터의 한 비트에 상응하는 도 11의 소스 구동부의 블럭 구성도로, 도 12A는 디지털 구동부의 블럭 구성을, 도 12B는 아날로그 구동부의 블럭구성을 나타낸다.

도 13은 본 발명이 적용되는 액티브매트릭스와 수직장 형태 액정표시패널의 한 화소와 그 주변의 필수부분의 평면도이다.

도 14는 도13의 X IV-X IV선을 따라 취해진 한 화소와 그 주변부의 단면도이다.

도 15는 본 발명이 적용되는 액정표시모듈의 분해사시도이다.

도 16은 도 15의 액정표시모듈과 결합되는 노트북 개인용 컴퓨터 혹은 워드 프로세서의 사시도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : p-Si섬(아일랜드)	1a, 1b, 16 : p-Si막
2 : 도전막	3 : 절연기판
4 : 게이트전극	5 : 게이트절연막
6 : 소스영역	7 : 드레인영역
8 : 버퍼층	9, 10 : 콘택트홀
11, 18 : a-Si막	12a, 12b : 결정성장의 핵
13 : 엑시머레이저빔	14 : 금속막
15 : 개구	17 : 결정입자
19 : 유전체마스크	20 : 마스크
71 : 타이밍제어회로	72 : 계조소스전압회로
73 : 공통전극용 전압회로	74 : 전원회로
75 : 소스드라이버	76 : 게이트전원회로
77 : 게이트드라이버	100 : p-SiTFT
101 : 채널영역	A0F : 양극산화막
AS : 반도체층	ASB : 구동회로기관 부착 액정표시소자
BL : 백라이트	BM : 블랙매트릭스
Cadd : 보지용량소자	DL : 영상신호선
FIL : 칼라필터	FPC1, FPC2 : 다층플렉시블회로기관
GBL : 도광판	GBS : 고부부시
GC1, GC2 : 고무쿠션	GI : 게이트절연막
GL : 주사신호선	GT : 게이트전극
IT01 : 투명화소전극	IT02 : 공통투명화소전극
LC : 액정층	LCT : 접속커넥터
LP : 형광판	LPC1, LPC2 : 램프케이블
LS : 광반사판	MCA : 하측케이스
OR11 : 하부배향막	OR12 : 상부배향막
PCB : 인터페이스회로기관	POL1, POL2 : 편광판
PRS : 프리즘시트	PSV1, PSV2 : 보호막

RFS : 반사시트 SD1 : 소스전극
 SD2 : 드레인전극 SHD : 실드케이스
 S10 : 산화실리콘막 SPC1~4 : 절연스페이서
 SPS : 확산시트 SUB1 : 하부투명유리기판
 SUB2 : 상부투명유리기판 TFT1, TFT2 : 박막트랜지스터
 WD : 표시창

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체장치, 액정표시장치 및 이들의 제조방법에 관한 것으로, 특히 절연기판상에 다결정반도체로 이루어지는 박막트랜지스터(이하, TFT라 한다)를 설치하는 기술에 관한 것이다.

예를들어, 액정표시패널(즉, 액정표시소자, LCD)의 화소가 형성된 절연기판상의 주변에 구동회로와 콘트롤회로 등의 주변회로를 형성하는 기술이 있다.

이 주변회로를 구성하는 다결정실리콘 박막 트랜지스터(이하, p-SiTFT라 한다)의 제조프로세스는, 본래 고온 프로세스이지만, 이하의 공정에 의해 저온 프로세스를 실현하고 있다.

즉, 비정질실리콘(이하, a-Si라 한다)막의 형성, 엑시머레이저에 의한 a-Si막의 다결정화, 플라즈마CVD법에 의한 게이트산화막의 형성, 스퍼터법에 의한 금속 또는 금속실리사이드로 이루어지는 게이트전극의 형성, 이온도프 또는 이온주입에 의한 소스, 드레인영역의 형성, 그 후 레이저어닐링에 의한 이온활성화 등의 공정이다.

상기 엑시머레이저에 의한 a-Si막의 다결정화는, 20ns정도의 펄스폭의 자외광을 조사하면 a-Si이 용해되어 그 냉각과정에 있어서의 다결정화가 일어나는 현상을 이용하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 방법에서는 다결정화가 고속인데다가 비평형과정이기 때문에 다결정막의 결정입자지름, 방위, 위치 등을 제어하는 것이 매우 어렵다.

또한, p-SiTFT의 트랜지스터 특성상, 다결정막의 입자지름은 크면 클수록 좋지만 그만큼 입자지름의 분포가 불규칙하게 되어 특성도 불규칙하게 된다.

한편, 입자지름이 TFT의 채널길이보다 충분히 작을 경우에는 특성의 불규칙함은 적어지지만 특성이 나빠지게 된다.

또한, 액정표시패널에서는, 주변회로를 구성하는 p-SiTFT는 유리 등의 절연기판상에 형성되는 이른바 SOI(실리콘 온 인슐레이터)구조이기 때문에, 기판전위를 얻을 수 없으며, 특히 고성능의 주변회로를 형성하는 경우 전류-전압특성에 킥(kink)라 불리는 갑자기 상승해 버리는 바람직하지 못한 현상이 일어난다.

본 발명의 목적은, 결정입자의 방위가 가지런하며, 입계(粒界)의 불순물이 적은 다결정막으로 이루어지고, 채널부가 입자지름이 트랜지스터의 채널길이보다 큰 다결정막으로 이루어지며, 입계가 채널길이 방향에 평행하게 늘어서 있는 소수의 결정입자로 이루어지는 TFT를 가지는 반도체장치 및 액정표시장치를 제공하는 것에 있다.

본 발명의 다른 목적은, 액정표시패널의 구성기판상에 주변회로를 가지는 액정표시장치에 있어서, 적어도 주변회로를 구성하는 TFT가 기판의 주평면과 평행한 면에서는 결정입자의 방위가 가지런하며, 입계의 불순물이 적은 다결정막으로 이루어지고, 채널부가 입자지름이 트랜지스터의 채널길이보다 큰 다결정막으로 이루어지며, 입계가 채널길이 방향으로 평행하게 늘어서 있는 소수의 결정입자로 이루어지는 액정표시장치를 제공하는 것에 있다.

본 발명의 또다른 목적은, 트랜지스터를 형성하는 다결정반도체층에 접하는 다결정도전층을 가지며, 상기 도전층에 의해 기판전위의 확정이 가능한 TFT를 가지는 반도체장치 및 액정표시장치를 제공하는 것에 있다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명은 절연기판, 다결정 반도체 물질로 만들어지고 상기 절연기판상에 배치되는 아일랜드, 상기 다결정 반도체 물질과 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드를 둘러싸는 한 전도층, 한 소스 영역과 상기 소스영역과 이격된 한 드레인 영역, 상기 소스영역과 상기 드레인 영역은 상기 아일랜드내에 형성되며, 상기 아일랜드와 상기 게이트전극사이에 삽입된 절연필름으로 상기 아일랜드에 배치된 한 게이트전극, 상기 게이트는 상기 소스영역과 상기 드레인영역사이 한 공간을 마주하는 구성을 가진 박막트랜지스터를 가지는 반도체를 제안한다.

여기서, 상기 아일랜드와 상기 전도층을 형성하는 상기 다결정 반도체 물질은 상기 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드에 상응한 하나의 구멍을 가지는 결정체 유도층을 가진 상기 절연기판 상에 놓여지는 첫 비결정 반도체 물질을 초기에 어닐링하고, 상기 결정체 유도층은 적어도 하나의 기판 측상과 상기 기판의 반대측상의 상기 비결정 반도체 물질의 표면에 배치되며, 그리고 나서, 상기 첫 비결정 반도체상에 두 번째 비결정 반도체 물질을 두고 상기 두 번째 비결정 반도체 물질을 가열

각함으로써 만들어진다.

상기 목적을 달성하기 위해서, 본 발명의 다른 실시예에 따라서 한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓인 액정층과, 상기 절연기판 쌍 사이에 형성되는 다수의 화소들과 상기 다수의 화소들을 구동하고 적어도 하나의 상기 절연기판 쌍 주변에 배치되는 주변 회로로 구성되는 액정패널을 가지고, 박막 트랜지스터를 포함하는 상기 주변 회로는 절연기판과, 다결정 반도체물질로 만들어지고 상기 절연기판상에 배치되는 아일랜드와, 상기 다결정 반도체 물질과 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드를 둘러싸는 전도층과, 한 소영역과 상기 소영역으로부터 이격된 드레인 영역과, 상기 소영역과 드레인 영역은 상기 아일랜드내에 형성되며, 게이트 전극은 상기 아일랜드와 상기 게이트 전극사이의 절연 필름으로 상기 아일랜드상에 배치되며, 상기 게이트는 상기 소영역과 상기 드레인 영역사이의 한 공간을 마주하며, 여기서 상기 아일랜드와 상기 전도층을 형성하는 상기 다결정 반도체 물질은 상기 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드에 상응한 한 구멍을 가지는 결정체-유도층을 가진 상기 절연층 상에 놓여있는 초기에 첫 비결정 반도체 물질을 어닐링함으로써 만들어지며, 상기 결정체-유도층은 적어도 한 기판과 상기 기판 측의 반대 측상의 상기 비결정 반도체 물질의 표면에 배치되며, 상기 첫 번째 비결정 반도체 상에 두 번째 비결정 반도체 물질을 두고 상기 두 번째 비결정 반도체 물질을 어닐링함으로써 만들어지는 액정표시장치가 제안된다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명의 다른 실시예에 따라서 절연기판 상에 첫 번째 비결정 반도체 필름을 두는 단계와, 상기 첫 번째 비결정 반도체 필름 상에 적어도 한 층의 한 금속과 금속 규소화합물을 두는 단계와, 상기 적어도 한 층의 한 금속과 금속 규소화합물내에 미리결정된 위치에 구멍을 만드는 단계와, 그리고나서 상기 한 금속과 금속 규소화합물내에 상기 첫 번째 비결정 반도체 필름내로 흡수되고 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 한 금속과 금속 규소화합물을 열어닐링하는 단계와, 그리고나서 상기 적어도 한 층의 그물과 금속 규소화합물과 상기 첫 번째 비결정 반도체 필름상에 두 번째 비결정 반도체 필름을 두는 단계와, 상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름상에 레이저를 비추는 단계와, 그리고나서 상기 구멍에 상응한 상기 결정화된 반도체 필름의 한 영역내에 상기 반도체 장치의 활성 소자를 형성하는 단계들을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법이 제안된다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명의 다른 실시예에 따라서 절연기판 상에 적어도 한 층의 한 금속과 금속 규소화합물을 두는 단계와, 상기 적어도 한 층의 한 금속과 금속 규소화합물내에 미리결정된 위치에 구멍을 형성하는 단계와, 그리고나서 상기 적어도 한 층의 한 금속과 금속 규소화합물과 상기 절연기판상에 첫 번째 비결정 반도체를 두는 단계와, 그리고 나서 상기 한 금속과 금속 규소화합물이 상기 첫 번째 비결정 반도체 필름내로 흡수되고 상기 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 한 금속과 금속 규소화합물을 열어닐링하는 단계와, 그리고 나서 상기 첫 번째 비결정 반도체 필름상에 두 번째 비결정 반도체 필름을 두는 단계와, 상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 상에 레이저를 비추는 단계와, 그리고 나서 상기 구멍에 상응한 상기 결정화된 반도체 필름의 영역내에 상기 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치를 제조하는 한 방법이 제시된다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명의 다른 실시예에 따라서 한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍 사이에 형성되는 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변부에 배치되는 주변 회로로 구성되는 액정표시패널을 가지고, 상기 절연기판 쌍 중 적어도 하나의 상기 주변부상에 첫 번째 비결정 반도체 필름을 두는 단계와, 상기 첫 번째 비결정 반도체 필름상에 적어도 한 층의 금속과 금속 규소화합물을 두는 단계와, 그리고나서 상기 한 금속과 금속 규소화합물내에 미리결정된 위치에 다수의 구멍들을 만드는 단계와, 그리고나서 상기 한 금속과 금속 규소화합물이 상기 첫 번째 비결정 반도체 필름내로 흡수되고 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 한 금속과 금속 규소화합물을 열어닐링하는 단계와, 그리고 나서 상기 적어도 한 층의 한 금속과 금속 규소화합물과 상기 첫 번째 비결정 반도체 필름상에 두 번째 비결정 반도체 필름을 두는 단계와, 상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름상에 레이저를 비추는 단계와, 그리고나서 상기 다수의 구멍들 각각에 상응하는 상기 결정화된 반도체 필름 영역내 상기 주변 회로를 구성하는 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치를 제조하는 방법이 제시된다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명의 다른 실시예에 따라서 한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍과 상기 다수의 화소들을 구동하며 상기 절연기판 쌍 중 적어도 하나의 주변부에 배치되는 주변회로로 구성되는 액정표시패널을 가지고, 상기 절연기판 쌍 중 적어도 하나의 상기 주변부에 적어도 한층의 한 금속과 금속 규소화합물을 두는 단계와, 상기 적어도 한 층의 한 금속과 금속 규소화합물내에 미리결정된 위치에 다수의 구멍을 만드는 단계와, 상기 적어도 한 층의 한 금속과 금속 규소화합물 상과 상기 다수의 구멍들내에 첫 번째 비결정 반도체 필름을 두는 단계와, 그리고 나서 상기 한 금속과 금속 규소화합물이 상기 첫 번째 비결정 반도체 필름내로 흡수되고 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 한 금속과 금속 규소화합물을 열어닐링하는 단계와, 그리고 나서 상기 첫 번째 비결정 반도체 필름상에 두 번째 비결정 반도체 필름을 두는 단계와, 상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름상에 레이저를 비추는 단계와, 그리고 나서 상기 다수의 구멍들 각각에 상응하는 상기 결정화된 반도체 필름의 영역내 상기 주변 회로를 구성하는 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치를 제조하는 방법이 제시된다.

상기 목적을 달성하기 위한 기술적 사상으로서, 본 발명의 다른 실시예에 따라서 한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓인 액정층과, 상기 절연기판 쌍사이에 형성된 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변부에 배치되는 주변회로로 구성되는 액정표시패널을 가지고, 상기 절연기판 쌍 중 적어도 하나의 상기 주변부상에 적어도 한 층의 한 금속과 금속 규소화합물로 구성되는 첫 번째 결정체-유도층을 두는 단계와, 상기 첫 번째 결정체-유도층내에 미리결정된 위치에 첫 번째 다수의 구멍들을 만드는 단계와, 상기 첫 번째 결정체-유도층 상과 상기 첫 번째 다수의 구멍들내로 첫 번째 비결정 반도체 필름을 두는 단계와, 상기 첫 번째 비결정 반도체 필름상에 적어도 한 층의 한 금속과 금속 규소화합물

로 구성되는 두 번째 결정체-유도 층을 두는 단계와, 상기 두 번째 결정체-유도층내에 두 번째 다수의 구멍들을 만드는 단계와, 상기 다수의 구멍들은 각각 상기 첫 다수의 구멍들위로 배치되고, 상기 첫 번째와 두 번째 결정체-유도 층내의 상기 한 금속과 금속 규소화합물이 개별적으로 상기 첫 비결정 반도체 필름 내로 흡수되고 상기 첫 비결정 반도체 필름이 결정화되도록 상기 첫 비결정 반도체 필름과 상기 첫 번째와 두 번째 결정체-유도 층들을 열-비연하는 단계와, 그리고 나서 상기 첫 비결정 반도체 필름과 상기 두 번째 결정체-유도 층상에 두 번째 비결정 반도체 필름을 두는 단계와, 상기 두 번째 비결정 반도체 필름을 결정화하기 위한 상기 두 번째 비결정 반도체 필름상에 레이저를 비추는 단계와, 그리고 나서 상기 두 번째 다수의 구멍들 각각에 상응한 상기 결정화된 반도체 필름의 영역내 상기 주변 회로를 구성하는 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치를 제조하는 방법이 제시된다.

발명의 구성 및 작용

이하, 도면을 이용하여 본 발명의 실시예에 대하여 상세하게 설명하기로 한다. 또한, 이하에서 설명하는 도면에서 동일한 기능을 가지는 것에는 동일한 부호를 붙이고 그 반복설명은 생략하기로 한다. 또한, 이하의 실시예에서는, 액정표시패널의 구성기판상에 형성한 화소구동용 주변회로의 p-SiTFT에 적용한 예를 나타내는데, 본 발명은 물론 이에 한정되는 것이 아니다.

도 1A는 본 발명의 한 실시예이다. 소스, 드레인전극을 꺼내기 위한 콘택트홀까지 형성한 p-SiTFT(100)의 기본구성을 나타내는 개략 단면도이다.

도 1A에 있어서, 참조번호 3은 투명한 유리로 이루어지는 절연기판, 8은 기판(3)상에 설치한 산화실리콘(SiO₂)으로 이루어지는 버퍼층, 1은 다결정실리콘막(이하, p-Si막이라 한다)으로 이루어지는 섬(이하, p-Si아일랜드라 한다), 2는 p-Si막(1)에 접하는, 기판의 주평면과 평행한 면내에서는 결정방위가 가지런한 도전막, 5는 SiO₂막으로 이루어지는 게이트절연막, 4는 금속 또는 금속실리사이드로 이루어지는 게이트전극, 6, 7은 각각 소스, 드레인영역, 9, 10은 소스, 드레인전극을 꺼내기 위한 콘택트홀이다.

도 1B는 도 1A의 p-SiTFT(100)에서 게이트절연막(5) 및 게이트전극(4)을 제거한 상태의 평면도이다. 게이트전극(4)은 파선으로 나타내져 있다. 채널영역(101)은 소스영역(6)과 드레인영역(7) 사이에 끼여있는 영역이다.

주변회로의 p-SiTFT의 경우의 규격예를 보면, 채널폭(W)은 3~20 μ m, 채널길이(L)는 1~5 μ m이며, 화소스위칭용 p-SiTFT의 경우의 규격예를 보면, 채널폭(W)은 4~10 μ m, 채널길이(L)는 3~5 μ m이다.

도 2는 도 1A의 p-SiTFT(100)의 배치를 나타내는 개략 평면도이다.

도 2에 있어서, 참조번호 1은 p-Si아일랜드, 2는 p-Si막(1)에 접하는, 기판의 주평면과 평행한 면내에서는 결정방위가 가지런한 도전막, 4는 게이트전극이다.

도 1A에 나타낸 바와 같이, 본 실시예의 p-SiTFT(100)는 절연기판(3) 상에 버퍼층(8)을 매개로 설치한 p-Si아일랜드(1), 상기 p-Si아일랜드(1)에 접하여 설치되며, 기판의 주평면과 평행한 면내에서는 결정방위가 가지런한 도전층(2)과, p-Si아일랜드(1) 상에 설치한 게이트절연막(5)과, p-Si아일랜드(1) 상에 게이트절연막(5)을 매개로 설치한 게이트전극(4)과, 상기 게이트전극(4)의 양측의 p-Si아일랜드(1) 안에 설치한 소스, 드레인영역(6, 7)을 가지고 있다. 도 2에 나타낸 바와 같이, 도전층(2)은 p-SiTFT(100)의 형성영역인 p-Si아일랜드(1)를 제외한 격자모양으로 되어 있다.

또한, 도 1B에 파선으로 나타낸 바와 같이, 화소구동용 주변회로를 구성하는 TFT의 채널영역의 결정입자 지름이 3 μ m이상이므로, 입자지름이 트랜지스터의 채널길이(L)보다 큰 다결정막으로 이루어지며, 입계가 채널길이방향으로 평행하게 늘어서 있는 소수의 결정입자(도 1B에서는 3개의 결정입자를 예시)로 이루어진다. 게이트전극(4)의 양단에서 0.5 μ m 외측까지에 걸친 영역이 동일한 한 입자내에 있다.

한편, 화소를 구성하는 TFT의 형성영역을 형성하는 복수개의 결정입자는, 주변회로를 구성하는 TFT와 비교하면 그다지 고성능이 아니라도 되기 때문에, 각각 거의 동일한 입자지름을 가지면서 동시에 그 입자지름이 0.05 μ m 이상 0.3 μ m 이하의 범위내에 있으면 된다.

소스, 드레인영역(6, 7)은 p-Si아일랜드(1) 안에 버퍼막(8)과 접촉하지 않는 깊이에서 이온도프 또는 이온주입에 의해 형성되며, 그 후 레이저어닐링에 의해 이온활성화된 한쌍의 n도전형 또는 p도전형의 불순물도입영역이다. 소스, 드레인영역(6, 7)은 도시하지는 않았지만, 저농도영역과 고농도영역으로 이루어지는 공지의 LDD구조나 게이트전극 단부로부터 떨어져 형성된 오프셋구조 등을 적당하게 적용할 수 있다.

도 3A-1~3A-3 및 3B-1~3B-3은 a-Si막의 p-Si결정화과정의 원리를 나타내는 도이며, 도 3A-1 및 도 3B-1은 용해, 냉각에 있어서의 결정핵의 발생과정을 나타내는 개략 단면도이고, 도 3A-2 및 도 3B-2는 결정핵으로부터의 성장과정을 나타내는 개략 단면도이고, 도 3A-3 및 도 3B-3은 최종의 입자지름분포를 나타내는 개략 평면도이며, 도 3A-1~3A-3은 에너지밀도가 작은 경우를 나타내고, 도 3B-1~3B-3은 에너지밀도가 큰 경우를 나타낸다.

도 3A-1~3A-3 및 3B-1~3B-3에 있어서, 참조번호 3은 절연기판, 11은 절연기판(3) 상에 형성한 a-Si막, 13은 엑시머레이저빔, 12a, 12b는 결정성장의 핵, 1a, 1b는 p-Si막이다.

저온 프로세스에서 p-Si막을 형성하는 방법으로서, a-Si막에 엑시머레이저빔을 조사하여 용해시키고, 그 후 액상에서 냉각하는 과정에서 결정화하는 방법이 일반적이다. 이 과정의 모델로서 도 3A-1 및 도 3B-1에 나타낸 바와 같이, 엑시머레이저빔(13)의 조사에 의해 a-Si막(11)의 표면층에서부터 용해가 시작되어 기판(3)의 표면에 접하는 부분까지 녹는다.

이어서 계속되는 냉각과정에 있어서, 도 3A-2 및 도 3B-2에 나타낸 바와 같이 주로 기판(3)과의 계면의 a-Si막(11)에 핵(12a, 12b)이 생겨나고, 이것이 성장하여 p-Si막(1a, 1b)이 형성된다. 입사에너지밀도가 작은 경우에는 도 3A-2에 나타낸 바와 같이 많은 핵(12a)이 발생하며, 이들이 주로 막두께방향, 즉 세로

방향을 성장하여 최종적으로 도 3A-3에 나타난 바와 같이 입자지름이 작은 p-Si막(1a)이 형성된다.

한편, 입사에너지밀도가 큰 경우에는, 도 3B-2에 나타난 바와 같이 핵(12b)의 발생이 적으며, 세로방향의 성장과 동시에 가로방향으로도 성장이 일어나 도 3B-3에 나타난 바와 같이 입자지름이 큰 p-Si막(1b)이 형성된다.

상술한 바와 같이, p-Si막의 입자지름이 클수록 TFT의 특성이 좋기 때문에 특히 액정표시패널의 주변회로부는 궁극적으로는 단결정으로 되는 것이 바람직하다. 이 경우, 레이저조사조건을 단순하게 조정하여 결정화를 수행하여도 입자지름이 커지는 것에는 한계가 있으며, 결정입자의 형성위치도 제어할 수 없다. 결정입자의 위치를 제어하여 입자지름을 크게 하려면 미리 정해진 위치에 핵을 형성해 두고 이것을 가로방향으로 결정성장시켜야만 한다.

이와 같은 생각에서 종래부터 다양한 방법이 제안되어 왔는데, 이들 중 Im팀에 의한 SLS(R.S. Sposili and J.S.Im: 'Sequential lateral solidification of thin films on SiO₂', Appl.Phys.Lett.69(19), 4 Nov. 1996, pp.2864-2866)와, 마츠무라팀에 의한 이상(移相)마스크(phase-shift mask)를 매개로 한 조사법(C.H.Oh and M.Matsumura: 'Preparation of Position-Controlled Crystal-Silicon Island Arrays', Jpn.J.Appl.Phys.Vol.37(1998)pp.5474-5479)이 현재로서는 비교적 큰 입자지름을 실현하고 있다.

양 방법은, 상기의 핵형성, 가로방향성장을 각각의 방식으로 실행하고 있는데, 핵의 크기 및 방위에 대해서는 전혀 제어되고 있지 않다. 또한, 가로방향성장에 대해서도 양 방법 모두 조사광 분포에 제한이 있으며, 성장속도가 느리고 결정화면적이 작다고 하는 문제가 있다.

본 실시예에서는, MIC(Metal Induced Crystallization), 및 MILC(Metal Induced Lateral Crystallization)로 알려져 있는 결정성장의 방법을 이용하여 상기 형성을 잘 제어하여 실시하고, 가로방향성장은 엑시머레이저를 이용하여 상기의 문제점을 해결한다.

MIC에 있어서는, Au, Al, Sb, In, Pd, Ti, Ni 등의 금속박막을 a-Si막의 위 또는 아래에 성막하고, 열어닐링을 실시하면 금속박막 등의 존재에 의해 a-Si에서 c-Si(결정Si)로의 통상의 전이온도인 600°C가 내려가 600°C보다 낮은 온도에서 결정화가 이루어진다.

이 기구는 아직 명확하게 해명되어 있지는 않지만, 상기 Au, Al, Sb, In의 4종의 금속재료에 대해서는 a-Si와 금속의 혼합물과 c-Si와 금속의 혼합물에 있어서, 금속의 a-Si으로의 용해성과 금속의 c-Si으로의 용해성에는 차가 있으므로, a-Si상에서 c-Si상으로의 Si원자의 이동이 이 Si를 포함한 금속혼합물을 매개로 일어난다고 생각되어진다(E.Nygren, et. al, Appl.Phys.Lett.52(6)pp.439-441(1998)).

한편, 상기 Pd, Ti, Ni 등의 금속의 경우는, 실리콘사이드의 형성을 매개로 a-Si상에서 c-Si상으로의 성장이 일어난다고 생각되어진다(C.Hayzelden and J.L.Batstone, J.Appl.Phys.73(12)pp.8279-8289(1993)).

MIC는 금속의 도움을 받은 결정핵발생의 과정에서 금속박막에 접한 부분에서 일어난다. 또한, 금속박막에 의해 피복되어 있지 않은 부분에 가로방향으로 결정성장이 일어나는 현상이 관찰되었으며, 이것은 MILC라 불리는 것이다.

또한, 본 방법에 있어서의 p-Si막의 성장속도는 조건과 재료에 따라 달라지는데, 1시간에 μm 오더로, 통상의 고상(固相)성장에 비해 매우 고속으로 큰 입자지름을 얻을 수 있으며, 또한 기판의 주평면과 평행한 면내에서는 결정입자간의 방위도 가지런하게 되어 있는 것이 특징이다(Seok-Woon Lee, et.al, Appl.Phys.Lett.66(13)pp.1671-1673(1995)).

도 4A~4D는 MIC 및 MILC를 이용하여 핵형성을 실시하여 큰 입자지름의 p-Si막을 형성하는 원리를 나타내는 공정 단면도이다.

우선, 도 4A에 나타난 바와 같이, 기판(3) 상에 얇은 제 1 a-Si막(11)을 성막하고, 그 위에 바탕막으로서 금속막(14)을 성막하고, 포토리소그래피기술을 이용하여, 형성해야 할 p-Si아일랜드에 대응한 개구(15)를 금속막(14)에 형성한다.

다음으로, 상기 MIC 및 MILC를 이용하여 a-Si에서 p-Si로의 변화가 일어나지 않는 저온(<600°C)에서 열어닐링을 실시한다. 도에서의 파선은, 후에 형성되는 p-Si아일랜드(1)(도 1A참조)의 단부를 나타낸다. 금속막(14)의 아래의 a-Si막(11)이 p-Si막(16)으로 변화(이 과정에서 금속막(14)은 p-Si막(16)에 흡수된다)한 후, 금속박막(14)으로 피복되어 있지 않은 영역에 있어서 결정입자의 가로방향의 성장, 즉 상기 MILC가 일어난다. 부호 17(도 4B)은 상기 MILC에 의해 형성된 큰 입자지름의 결정입자이다.

또한, 금속막(14)의 두께는, 이 가로방향성장의 길이가 0.5 μm 이상이 되는 시간에 열어닐링을 함으로써 a-Si막중에 금속막(14)이 완전히 흡수되는 두께로 하는 것이 바람직하지만, 반드시 완전하게 흡수되지 않아도 된다. 금속막(14)이 완전하게 흡수된 상황에서도 도 4B에 나타난 바와 같이 개구(15)의 중심부는 a-Si막의 상태로, 상기 a-Si막에 접하여 단결정 혹은 기판의 주평면과 평행한 면내에서는 방위가 가지런한 입자지름이 큰 결정입자(17)가 형성되어 있다.

다음으로, 도 4C에 나타난 바와 같이 그 위에 제 2 a-Si막(18)을 형성하고, 상기 a-Si막(18)에 엑시머레이저를 조사하면(도시생략), 도 4D에 나타난 바와 같이 바탕막인 p-Si막(16)의 결정화의 상태에 대응하여 상부의 a-Si막(18)의 결정화가 이루어진다. 특히, 큰 입자지름의 결정입자(17 등)에 근접하는 a-Si부분은 상기 입자와 같이 큰 입자지름의 결정입자가 형성된다.

본 실시예에서는, 채널부는 단결정화하는 것이 바람직하지만, 설령 채널부가 입계에서 분할된다고 하여도 입자의 수가 소수이고 또한 입계의 방향이 전류가 흐르는 방향에 평행하다면 단결정과 거의 동일한 특성을 기대할 수 있다. 이 때문에, 결정성장의 방향을 후에 형성하는 드레인 또는 소스영역으로부터 후에 형성하는 게이트에 대항하는 영역을 향해, 아니면 이 영역을 지나 소스 또는 드레인영역을 향해 결정화가 진행되도록 레이저조사 위치를 이동시킨다.

그 후, p-Si막의 필요없는 부분(21)을 포토리소그래피기술을 이용하여 삭제하고, 도 4A 및 4B에 파선으로

나타낸 바와 같은 p-Si아일랜드(1)를 형성한다(도 1A참조). 금속을 흡수한 Si막으로 이루어지는, 기판의 주평면과 평행한 면내에서 결정방위가 가지런한 도전층은 기판전위를 확정하는 층으로서 남긴다.

또한, 트랜지스터의 실용길이인 10 μ m이상의 입자지름인 입자를 실제로 얻으려면 열경사에 의한 물질의 확산이 필요하다. 레이저조사에 의해 이를 실시하려면 몇가지의 방법이 있는데, 그 한 예를 도 5A~5C를 이용하여 설명하기로 한다.

도 5A~5C는, p-SiTFT(100)형성에 있어서의 엑시머레이저빔 강도분포를 설명하는 도이다. 도 5A는절연기판(3)(도시생략) 상에 형성된 p-Si아일랜드(1) 및 p-Si아일랜드(1)에 접하여 설치된 도전층(2)를 나타낸다. 참고로 게이트전극(4)을 파선으로 나타낸다. 도 5B는 이상적인 레이저조사광 분포를 나타내며, 도 5C는 유전체 다층막으로 이루어지는 마스크의 투과광 분포를 나타낸다.

도 5B에서 나타낸 바와 같이, 레이저투사의 이상적 강도분배는 투사가 결정성장방향(도 5A의 p-Si아일랜드 길이방향)에서 한 트랜지스터를 위한 부분의 폭보다 더 넓게 확장되어야 하나, 트랜지스터들에 대한 인접한 부분으로는 확장되지 않아야 한다.

그러나, 실제로는 도 5B에 나타낸 바와 같은 선형의 레이저빔 강도분포를 각 트랜지스터에 대응시켜 만드는 것이 어려우며, 실용상으로는 유전체 다층막을 계단모양으로 가공한 마스크를 사용하는 것이 좋으며, 도 5C에 그 한 예를 나타내었다.

도 6A 및 6B는 액정표시패널의 주변회로부의 조사용 마스크의 기본구성을 나타내는 도이며, 도 6A는 레이저빔을 반사시키는 유전체 다층막부를 가지는 마스크를 나타내는 개략 평면도이며, 도 6B는 유전체 다층막으로 이루어지는 비투과부와 투과부의 투과율의 차를 나타내는 도이다.

도 6A에 있어서, 20은 마스크, 19는 레이저빔을 반사시키는 유전체마스크의 다층막부이다.

액정표시패널에 형성하는 p-SiTFT는, 유리기판 등의 절연기판상에 형성된 이른바 SOI구조이다. 기판이 절연체이기 때문에 상술한 바와 같이 Si-LSI에 있어서의 기판전위를 확정할 수 없다. 그 결과 생기는 최대의 문제는 소스-드레인간의 내압저하이다. 이는 드레인 근방에서의 고전계에 의해 발생한 정공(正孔)이 채널 하부에 축적되고, 기생 바이폴러 트랜지스터가 온인 상태를 발생시키기 때문이다. 이에 대응하려면, 기판상에 도전막을 설치하여 기판전위를 확정하면 되는데, 이렇게 하면 기생용량이 큰폭으로 증대되어 기대하는 소자의 특성을 얻을 수 없다. 특히, SOI구조는 기생용량이 적으며, 기판의 도전이 없기 때문에 고속, 저소비전력, 고내압 등의 뛰어난 특성을 가진다. 반대로 이 특성을 내는 구조가 상기 소스-드레인간 내압저하의 문제를 초래하고 있는 것이다. 상기의 기판상에 도전막을 설치하는 대책은 기판계면에 축적된 전하를 상기 전극구조, 즉 p-Si아일랜드(1)에 접하여 설치되며, 결정방위가 가지런한 도전층(2)에 의해 이 전하를 빼내어 변동요인을 제거하는 것이다. 이 구조는 종래의 SOI구조에 있어서 필드실드로서 주지되어 있지만(Proc. of 5th Int'l Symp. on SOI Tech. and Devices, Vol. 92-13, p64(1992)), 본 실시예에 있어서의 구성에서는, MIC 및 MILC용 바탕막이 레이저결정화의 과정에 있어서도 잔존해 있다. 이 부분에서의 금속의 함유량은 적기 때문에, 매우 고저항이지만, 종래의 구조에 비해 소스, 드레인의 단부뿐만 아니라, 채널중앙부의 축적전하를 효율적으로 빼낼 수가 있다.

또한, 도 4A에 있어서의 금속막(14)을 a-Si막(11)의 위에 형성하는 대신에, 도 7A에 나타낸 바와 같이 a-Si막(11)의 아래에 형성할 수도 있다. 도 7A 이후의 공정은 도 7B~7D에 나타낸 바와 같이 a-Si막(11) 위에 금속막(14)을 설치하는 경우와 동일하다.

또한, 상기 금속막 대신에 티탄실리사이드, 텅스텐실리사이드, 몰리브덴실리사이드 등의 금속실리사이드 막을 사용할 수도 있다.

이하, 본 발명의 한 실시예의 제조공정에 대하여 도 8A~8F를 참조하면서 설명하기로 한다.

우선, 도 8A에 나타낸 바와 같이 유리로 이루어지는 절연기판(3) 상에 SiO₂막으로 이루어지는 버퍼층(8)을 형성하고, 그 위에 막두께가 20nm이하인 a-Si막(11)을 플라즈마CVD법에 의해 성막하고, 450℃의 온도에서 30분 이상 가열하여 상기 a-Si막의 수소함유량을 1atomic% 이하로 한다.

다음으로, 도 8B에 나타낸 바와 같이, W, Au, Al, Sb, In, Pd, Ti, Ni 등의 금속박막 혹은 금속실리사이드 박막을 적어도 1층 스퍼터법에 의해 성막한 막(14)을, 포토리소그래피기술을 이용하여 TFT영역에 대응하는 개구(15)를 뺀 격자모양(슬릿모양)의 패턴으로 형성한다.

다음으로, 도 8C에 나타낸 바와 같이, 600℃이하의 온도에서 열어닐링을 실시하여, a-Si막(11)을 고상(固相)성장예에 의해 p-Si막으로 변화시킨다. 즉, 우선 막(14) 아래의 a-Si막(11)이 p-Si막(16)으로 변화(이 과정에서 막(14)은 p-Si막(16)에 흡수된다)한 후, 막(14)으로 피복되어 있지 않은 영역에 있어서는 결정입자의 가로방향의 성장, 즉 상기 MILC가 일어난다. 부호 17은 상기 MILC에 의해 형성된 큰입자지름의 결정입자이다.

다음으로, 도 8D에 나타낸 바와 같이, 도 8C에서 형성된 막의 위에 막두께가 20nm이상인 a-Si막(18)을 플라즈마CVD법에 의해 성막하고, 450℃의 온도에서 30분 이상 가열하여 상기 a-Si막의 수소함유량을 1atomic% 이하로 한다.

다음으로, 도 8E에 나타낸 바와 같이, 파장 308nm인 XeCl 또는 248nm인 KrF의 엑시머레이저를 a-Si막(18) 상에 조사하고, 이것을 다결정화하여 p-Si아일랜드(1) 상당부를 형성한다. 이어서, p-Si아일랜드(1) 주위의 p-Si막(21)을 포토리소그래피기술을 이용하여 제거하여, 도 8F에 나타낸 형상을 얻는다.

이와 같이 해서 얻어진 p-Si아일랜드(1)를 사용하여 이후 주지의 기술을 이용하여 도 1A에 나타낸 p-SiTFT(100)를 완성한다. 또한, 도 8F에 있어서의 p-Si막(16)은 도 1A에 있어서의 도전막(2)에 상당한다.

또한, 상기 방법에서는 기판상에 형성한 a-Si막 상에 개구를 가지는 금속막을 형성하였는데, 기판상에 개구를 가지는 금속막을 형성한 후 a-Si막을 형성할 수도 있다. 이하, 이 방법에 대하여 기재하기로 한다.

우선, 도 9A에 나타난 바와 같이, 유리로 이루어지는 절연기판(3) 상에 SiO₂막으로 이루어지는 버퍼층(8)을 형성하고, 그 위에 W, Au, Al, Sb, In, Pd, Ti, Ni 등의 금속박막 혹은 금속실리사이드 박막을 적어도 1층 스퍼터법에 의해 성막한 막(14)을, 포토리소그래피기술을 이용하여 TFT영역에 대응하는 개구(15)를 뺀 격자모양(슬릿모양)의 패턴으로 형성한다.

다음으로, 도 9B에 나타난 바와 같이, 개구(15)를 가지는 막(14)을 설치한 기판(3) 상에 막두께가 20nm 이하인 a-Si막(11)을 플라즈마CVD법에 의해 성막하고, 450℃의 온도에서 30분 이상 가열하여 상기 a-Si막의 수소함유량을 1atomic% 이하로 한다.

다음으로, 도 9C에 나타난 바와 같이, 600℃ 이하의 온도에서 열어닐링을 실시하여 a-Si막(11)을 고상성장기에 의해 p-Si막으로 변화시킨다. 즉, 우선 막(14) 위에 a-Si막(11)이 p-Si막(16)으로 변화(이 과정에서 막(14)은 p-Si막(16)에 흡수된다)한 후, 막(14)으로 피복되어 있지 않은 영역에 있어서는 결정입자의 가로방향의 성장, 즉 상기 MILC가 일어난다. 부호 17은 상기 MILC에 의해 형성된 큰입자지름의 결정입자이다.

다음으로, 도 9D에 나타난 바와 같이, 도 9C에서 형성된 막 위에 막두께 20nm 이상인 a-Si막(18)을 플라즈마CVD법에 의해 성막하고, 450℃의 온도에서 30분 이상 가열하여 상기 a-Si막의 수소함유량을 1atomic% 이하로 한다.

다음으로, 도 9E에 나타난 바와 같이, 파장 308nm인 XeCl 또는 248nm인 KrF의 엑시머레이저를 a-Si막(18) 상에 조사하고, 이를 다결정화하여 p-Si아일랜드(1) 상당부를 형성한다. 이어서, p-Si아일랜드(1) 주위의 p-Si막(21)을 포토리소그래피기술을 이용하여 제거하여 도 8F에 나타난 형상을 얻는다.

이와 같이 해서 얻어진 p-Si아일랜드(1)를 사용하여 이후 주지의 기술을 이용하여 도 1A에 나타난 p-SiTFT(100)를 완성한다. 또한, 도 9F에 있어서의 p-Si막(16)은 도 1A에 있어서의 도전막(2)에 상당한다.

또한, 개구(15)를 가지는 금속막 또는 금속실리사이드막을 형성하는 공정을 a-Si막을 매개로 2회 형성할 수도 있다. 즉, 금속막 또는 금속실리사이드막으로 a-Si막을 사이에 끼도록 형성한다.

우선, 도 10A에 나타난 바와 같이, 유리로 이루어지는 절연기판(3) 상에 SiO₂막으로 이루어지는 버퍼층(8)을 형성하고, 절연기판(3) 상의 주변회로부 상당영역(A)에 예를들어 W 또는 W실리사이드막 또는 Au, Al, Sb, Pd, Ni 등의 금속막의 막(14A)을 형성하고, 포토리소그래피기술을 이용하여 TFT영역에 대응하는 개구(15A)를 설치한 패턴으로 형성한다.

다음으로, 도 10B에 나타난 바와 같이, 주변회로부 상당영역(A) 및 화소부 상당부영역(B)에 플라즈마CVD법에 의해 막두께가 20nm 이하인 a-Si막(11)을 성막하고, 450℃의 온도에서 30분 이상 가열하여 a-Si막(11)의 수소함유량을 1atomic% 이하로 한다.

다음으로, 도 10C에 나타난 바와 같이, 주변회로부 상당영역(A) 및 화소부 상당부영역(B)에 Au, Al, Sb, Pd, Ni 등의 금속막(114)을 성막하고, 주변회로부 상당영역(A)에 있어서는 개구(15A)와 일치하는 개구(115A)를 포토리소그래피기술을 이용하여 형성하고, 화소부 상당부영역(B)에 있어서는 화소구동용 TFT영역에 대응하는 개구(115B)를 포토리소그래피기술을 이용하여 형성한다. 이어서 600℃ 이하의 온도에서 a-Si막(11)을 고상성장기에 의해 p-Si막으로 변화시킨다. 그 후의 공정은 상기 실시예와 동일하다.

실시예

대각 13인치의 SXGA 액정표시패널(화소수 1024×1280)에 있어서의 화소영역의 외측에 폭이 5mm인 주변회로영역을 취한다. 우선, 유리로 이루어지는 절연기판 전면에 막두께 50nm인 텅스텐(W)막을 성막하고, 그 위에 막두께 10Å인 Pd막을 성막하여 각 트랜지스터의 p-Si아일랜드의 레이아웃에 따라 각 트랜지스터가 들어가는 개구패턴을 이들 2층구조 금속막으로 형성한다.

그 위에, LP(저압) CVD법에 의해 막두께 20nm인 제 1 a-Si막을 성막하고, 550℃의 온도에서 3시간 열어닐링을 실시하여 제 1 a-Si막의 다결정화를 실시한다.

그 위에, 플라즈마 CVD법에 의해 제 2 a-Si막을 막두께 50nm로 성막하여 질소에서 450℃로 1시간 가열하여 탈수소처리를 실시한다.

다음으로, 엑시머레이저를 이용하여 제 2 a-Si막의 다결정화를 실시한다. 엑시머레이저는 파장이 308nm인 XeCl을 이용한다. 또한, 레이저결정화는 화소부분과 주변회로부로 나누어 실시하였다.

화소부분에서는, 폭 100μm, 길이 250mm인 슬릿모양으로 조사하는 조명계를 이용하여 조사한다. 이 때, 슬릿빛의 배치는 100μm폭의 중심이 화소트랜지스터의 중심에 일치하도록 하고, 길이방향은 게이트선과 평행하게 한다.

이 조사는, 기판을 재치한 스테이지를 멈춰 세워 플루언스 300mJ/cm², 1곳에 10쇼트로 소스-드레인방향의 화소피치로 스테이지를 움직여 기판을 보낸다.

주변회로부에서는 결상광학계를 이용하여 조사를 실시한다. 기판면에서의 조사면적은 5mm×18mm, 플루언스는 300mJ/cm², 1곳에 5쇼트로 주변부의 테두리를 따라 기판을 18mm피치로 보낸다.

이와 같이 형성한 p-Si막의 위에 플라즈마CVD에 의한 게이트산화막의 형성, 게이트전극의 형성, p-Si막 속으로의 이온주입에 의한 소스, 드레인영역의 형성, 층간절연막, 콘택트홀, 배선의 형성 등의 각 공정을 거쳐 TFT 액정표시패널기판을 완성시킨다.

도 11은 액정표시패널의 주변회로를 구성하는 구동회로의 블록도이다.

참조번호 71은 타이밍제어회로, 72는 계조소스전압회로, 73은 공통전극용 전압회로, 74는 전원회로, 75는 소스드라이버, 76은 게이트전원회로, 77은 게이트드라이버이다.

도 12A 및 12B는 도 11에 나타난 소스드라이버의 1비트분 회로블럭도이며, 도 12A는 디지털드라이버, 도 12B는 아날로그드라이버를 나타낸다.

도 13은 본 발명이 적용가능한 액티브 매트릭스 종전계 방식 칼라액정표시패널의 한 화소와 그 주변을 나타내는 평면도이며, 도 14는 도 13의 X IV-X IV절단선에 있어서의 단면도이다.

도 13에 나타난 바와 같이, 각 화소는 인접하는 2개의 주사신호선(게이트신호선 또는 수평신호선)(GL)과, 인접하는 2개의 영상신호선(드레인신호선 또는 수직신호선)(DL)과의 교차영역내(4개의 신호선으로 둘러싸인 영역내)에 배치되어 있다. 각 화소는 박막트랜지스터(TFT1, TFT2), 투명화소전극(ITO1) 및 보지용량소자(Cadd)를 포함한다. 주사신호선(GL)은 도에서는 좌우방향으로 연장배치되고, 상하방향으로 복수개 배치되어 있다. 영상신호선(DL)은 상하방향으로 연장배치되며, 좌우방향으로 복수개 배치되어 있다. SD1, SD2는 각각 소스전극 및 드레인전극을 나타내며, GT는 게이트전극을, FIL은 칼라필터를, BM은 블랙매트릭스를 나타낸다.

도 14에 나타난 바와 같이, 액정층(LC)을 기준으로 하여 하부투명 유리기판(SUB1)에는 박막 트랜지스터(TFT) 및 투명화소전극(ITO1)이 형성되며, 상부투명유리기판(SUB2)에는 칼라필터(FIL), 차광용 블랙매트릭스패턴(BM)이 형성되어 있다. 투명유리기판(SUB1, SUB2)의 양면에는 디핑(dipping)처리 등에 의해 형성된 산화실리콘막(SiO)이 설치되어 있다.

상부투명유리기판(SUB2)의 내측(액정LC측)의 표면에는 차광막(BM), 칼라필터(FIL), 보호막(PSV2), 공통투명화소전극(ITO2)(COM) 및 상부배향막(OR12)이 순서대로 적층되어 설치되어 있다. POL1, POL2는 편광판, PSV1은 보호막, OR11은 하부배향막, GI는 게이트절연막, AOF는 양극산화막, AS는 반도체층이다.

도 15는 본 발명이 적용가능한 액티브 매트릭스·플립칩 방식 칼라액정표시모듈(액정표시장치)(MDL)의 분해사시도이다.

SHD는 금속판으로 이루어지는 실드케이스(메탈프레임이라 한다), WD는 표시창, SPC1~4는 절연스페이서, FPC1, FPC2는 접혀진 다층플렉시블 회로기판(FPC1은 게이트 회로기판, FPC2는 드레인 회로기판), PCB는 인터페이스 회로기판, ASB는 어셈블된 구동회로기판 부착 액정표시소자, PNL은 겹쳐진 2장의 투명절연기판의 한쪽 기판상에 구동용 IC를 탑재시킨 액정표시소자(액정표시패널이라고도 한다), GC1 및 GC2는 고무쿠션, PRS는 프리즘시트(2장), SPS는 확산시트, GLB는 도광판, RFS는 반사시트, MCA는 일체성형에 의해 형성된 하측케이스(몰드케이스), LP는 형광관, LPC1, LPC2는 램프케이블, LCT는 인버터용 접속커넥터, GBS는 형광관(LP)을 지지하는 고무부시이며, 도에 나타난 바와 같은 상하의 배치관계로 각 부재가 적층되어 액정표시모듈(MDL)이 조립되어진다.

LS, BL은 각각 광반사판, 백라이트를 나타낸다.

도 16은 도 15의 액정표시모듈을 실장시킨 노트북형 PC, 혹은 워드프로세서의 사시도이다.

이상 본 발명을 실시예에 기초하여 구체적으로 설명하였는데, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위에서 다양하게 변경할 수 있는 것은 물론이다. 예를들어, 상기 실시예에서는 실리콘을 예로 들어 설명하였지만, 게르마늄, 실리콘 게르마늄합금 등 다른 반도체의 경우에도 적용할 수 있다. 또한, 본 발명은 액정표시장치에 한정되지 않고, SOI구조의 TFT를 가지는 반도체장치에 적용할 수 있다. 또한, 본 발명을 액정표시장치에 적용할 경우, 단순매트릭스방식의 액정표시장치에도 적용할 수 있으며, 또한 종전계방식이나 횡전계방식의 액티브 매트릭스방식의 액정표시장치, 혹은 COG(칩온글래스)방식의 액정표시장치에도 적용할 수 있는 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 결정입자의 방위가 가지런하고 입계의 불순물이 적은 다결정막으로 이루어지며, 다결정막의 입자지름이 트랜지스터의 채널길이보다 크고, 채널부가 입자지름이 트랜지스터의 채널길이보다 큰 다결정막으로 이루어지며, 입계가 채널길이방향으로 평행하게 늘어서 있는 소수의 결정입자로 이루어지는 고성능의 다결정 TFT를 실현할 수 있다. 또한, SOI구조에 있어서 기판전위의 확정이 가능하며, 소스, 드레인단부나 채널중앙부의 축적전하를 효율적으로 빼내어 고성능의 트랜지스터를 실현할 수 있다. 또한, 구동회로나 콘트롤회로를 동일기판상에 형성한 고정세(精細) 액정표시패널을 실현할 수 있다.

(57) 청구의 범위

청구항 1

절연기판과,

다결정 반도체 물질로 만들어지고 상기 절연기판상에 배치되는 아일랜드와,

상기 다결정 반도체 물질과 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드를 둘러싸는 전도층과,

소스영역과 상기 소스영역으로부터 이격된 드레인 영역과,

상기 소스영역과 상기 드레인 영역은 상기 아일랜드내에 형성되고,

상기 아일랜드와 상기 게이트전극 사이에 절연 필름이 삽입된 상태로 상기 아일랜드상에 배치된 게이트전극과, 상기 게이트는 상기 소스영역과 상기 드레인영역사이 공간을 마주하도록 구성되고,

상기 아일랜드와 상기 전도층을 형성하는 상기 다결정 반도체 물질은 상기 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드에 상응한 구멍을 가지는 다결정-유도층인 상기 절연기판상에 배치

된 첫 비결정 반도체 물질을 초기에 가열냉각하고,

상기 다결정-유도층은 적어도 하나의 기판 측과 상기 기판의 반대측상의 상기 비결정 반도체 물질상에 배치되며,

그리고나서 상기 첫 비결정 반도체 물질 상에 두 번째 비결정 반도체 물질을 증착하고 상기 두 번째 비결정 반도체 물질을 가열냉각함으로써 제조되는 것을 특징으로 하는 박막 트랜지스터를 가지는 반도체장치.

청구항 2

한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍 사이에 형성된 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변부에 위치하는 주변회로로 구성되고,

상기 주변회로가

절연기판과,

다결정 반도체 물질로 만들어지고 상기 절연기판상에 배치되는 아일랜드와,

상기 다결정 반도체 물질과 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드를 둘러싸는 전도층과,

소스영역과 상기 소스영역과 이격된 드레인 영역과,

상기 소스영역과 상기 드레인 영역은 상기 아일랜드내에 형성되며,

상기 아일랜드와 상기 게이트 전극사이에 절연 필름이 삽입되는 상기 아일랜드상에 배치된 게이트 전극과, 상기 게이트는 상기 소스영역과 상기 드레인 영역 사이에 공간을 마주하도록 구성된 박막 트랜지스터를 포함하고,

상기 아일랜드와 상기 전도층을 형성하는 상기 다결정 반도체 물질은 상기 적어도 하나의 금속과 금속 규소화합물로 만들어지고 상기 아일랜드에 상응하는 구멍구멍 가지는 결정체-유도층인 상기 절연기판 상에 배치된 첫 비결정 반도체 물질을 초기에 가열냉각하고,

상기 결정체-유도층은 적어도 하나의 기판 측과 상기 기판의 측의 반대측상에 배치되며,

그리고 나서 상기 첫 비결정 반도체 상에 두 번째 비결정 반도체 물질을 증착하고 상기 두 번째 비결정 반도체 물질을 가열냉각함으로써 제조되는 것을 특징으로 하는 액정표시장치.

청구항 3

청구항 2에 있어서,

다결정 반도체 물질인 상기 아일랜드 내의 상기 소스영역과 상기 드레인 영역 사이에 형성된 채널 영역은 적어도 지름이 $3\mu\text{m}$ 크기의 상기 다결정 반도체 물질 입자으로 형성되고 상기 입자 각각은 상기 소스영역에서 상기 드레인 영역의 방향으로 상기 게이트 전극의 양 단부로부터 적어도 $0.5\mu\text{m}$ 거리 외부로 확장하는 것을 특징으로 하는 액정표시장치.

청구항 4

절연기판 상에 첫 번째 비결정 반도체 필름을 두는 단계와,

상기 첫 번째 비결정 반도체 필름상에 적어도 한 층의 금속과 금속규소화합물을 두는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물 내부에 미리결정된 위치에 구멍을 만드는 단계와,

상기 금속과 금속규소화합물이 상기 첫 번째 비결정 반도체 필름 내부로 흡수되어 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 금속과 금속규소화합물을 열어닐링하는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물과 상기 첫 번째 비결정 반도체 필름상에 두 번째 비결정 반도체 필름을 두는 단계와,

상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름 상에 레이저를 비추는 단계와,

상기 구멍에 상응하는 상기 결정화된 반도체 필름의 영역 내에 상기 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 5

절연기판 상에 적어도 한 층의 금속과 금속규소화합물을 두는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물 내부의 미리결정된 위치에 구멍을 만드는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물과 상기 절연기판 상에 첫 번째 비결정 반도체 필름을 두는 단계와,

상기 금속과 금속규소화합물이 상기 첫 번째 비결정 반도체 필름 내부로 흡수되어 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 금속과 금속규소화합물을 열어닐링하는 단계와,

상기 첫 번째 비결정 반도체 필름 상에 두 번째 비결정 반도체 필름을 두는 단계와,

상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름 상에 레이저를 비추는 단계와,

상기 구멍에 상응한 상기 결정화된 반도체 필름 영역내에 상기 반도체 장치의 활성 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 6

청구항 4에 있어서,

상기 활성 소자는 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 소스영역과, 상기 소스영역으로부터 이격되고 상기 결정화된 반도체 필름의 상기 영역내에 형성된 드레인영역과, 절연기판이 게이트전극과 상기 소스와 드레인 영역사이에 삽입되어 상기 소스영역과 상기 드레인 영역사이에 배치되는 게이트전극으로 구성되고 상기 레이저는 상기 게이트 전극을 향해 상기 소스와 드레인 영역의 한 측으로부터 주사되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 7

청구항 6에 있어서,

상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 마주하는 상기 결정화된 반도체 필름 부분을 거쳐 상기 소스와 드레인 영역의 다른 측을 향해 주사되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 8

청구항 5에 있어서,

상기 활성소자는 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 소스 영역과,

상기 소스영역으로부터 이격되고 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 드레인 영역과, 절연기판이 게이트 전극과 상기 소스와 드레인 영역 사이에 삽입되어 상기 소스영역과 상기 드레인 영역 사이에 배치된 게이트 전극으로 구성되고 상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 향해 주사되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 9

청구항 8에 있어서,

상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 마주하는 상기 결정화된 반도체 필름의 부분을 거쳐 상기 소스와 드레인 영역의 다른 측을 향해 주사되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 10

한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍 사이에 형성되는 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변에 배치되는 주변회로로 구성되는 액정표시패널을 가지고,

상기 절연기판 쌍 중 상기 적어도 하나의 상기 주변상에 첫 번째 비결정 반도체 필름을 두는 단계와,

상기 첫 번째 비결정 반도체 필름 상에 적어도 한 층의 금속과 금속규소화합물을 두는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물 내에 미리결정된 위치에 다수의 구멍을 만드는 단계와,

상기 금속과 금속규소화합물이 상기 첫 번째 비결정 반도체 필름 내부로 흡수되어 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 금속과 금속규소화합물을 열-비연하는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물과 상기 첫 번째 비결정 반도체 필름 상에 두 번째 비결정 반도체 필름을 두는 단계와,

상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름 상에 레이저를 비추는 단계와,

상기 다수의 구멍 각각에 상응하는 상기 결정화된 반도체 필름의 영역 내에 상기 주변 회로를 구성하는 활성 소자 반도체 장치를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 11

한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍 사이에 형성되는 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변에 배치되는 주변회로로 구성되는 액정표시패널을 가지고,

상기 절연기판 쌍 중 상기 적어도 하나의 상기 주변 상에 적어도 한 층의 금속과 금속규소화합물을 두는 단계와,

상기 적어도 한 층의 금속과 금속규소화합물 내에 미리결정된 위치에 다수의 구멍을 만드는 단계와,

상기 적어도 한층의 금속과 금속규소화합물 위와 상기 다수의 구멍 내부로 첫 번째 비결정 반도체 필름을

두는 단계와,

상기 금속과 금속규소화합물이 상기 첫 번째 비결정 반도체 필름 내부로 흡수되어 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 적어도 한 층의 금속과 금속규소화합물을 열-비연하는 단계와,

상기 첫 번째 비결정 반도체 필름 상에 두 번째 비결정 반도체 필름을 두는 단계와,

상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름 상에 레이저를 비추는 단계와,

상기 다수의 구멍 각각에 상응하는 상기 결정화된 반도체 필름의 영역 내에 상기 주변 회로를 구성하는 활성 소자 반도체 장치를 형성하는 단계를 포함하는 액정표시장치 제조방법.

청구항 12

한 쌍의 절연기판과, 상기 절연기판 쌍 사이에 놓여진 액정층과, 상기 절연기판 쌍 사이에 형성되는 다수의 화소들과 상기 다수의 화소들을 구동하고 상기 절연기판 쌍 중 적어도 하나의 주변에 배치되는 주변회로로 구성되는 액정표시패널을 가지고,

상기 절연기판 쌍 중 상기 적어도 하나의 상기 주변 상에 적어도 한 층의 금속과 금속규소화합물로 구성되는 첫 번째 결정체-유도층을 두는 단계와,

상기 첫 번째 결정체-유도층 내에 미리결정된 위치에 첫 번째 다수의 구멍을 만드는 단계와,

상기 첫 번째 결정체-유도층 위와 상기 다수의 구멍 내부로 첫 번째 비결정 반도체 필름을 두는 단계와,

상기 첫 번째 비결정 반도체 필름 상에 적어도 한 층의 금속과 금속규소화합물로 구성되는 두 번째 결정체-유도층을 두는 단계와,

상기 두 번째 결정체-유도층 내에 상기 첫 번째 다수의 구멍들 위로 개별적으로 배치되는 두 번째 다수의 구멍을 만드는 단계와,

상기 처음과 두 번째 결정체-유도층 내의 상기 금속과 금속규소화합물이 개별적으로 상기 첫 번째 비결정 반도체 필름 내부로 흡수되어 상기 첫 번째 비결정 반도체 필름이 결정화되도록 상기 첫 번째 비결정 반도체 필름과 상기 처음과 두 번째 결정체-유도층을 열어닐링하는 단계와,

상기 첫 번째 비결정 반도체 필름과 상기 두 번째 결정체-유도층 상에 두 번째 비결정 반도체 필름을 두는 단계와,

상기 두 번째 비결정 반도체 필름을 결정화하기 위해 상기 두 번째 비결정 반도체 필름 상에 레이저를 비추는 단계와,

상기 다수의 구멍 각각에 상응하는 상기 결정화된 반도체 필름의 영역 내에 상기 주변 회로를 구성하는 활성 소자 반도체 장치를 형성하는 단계를 포함하는 액정표시장치 제조방법.

청구항 13

청구항 10에 있어서,

상기 활성소자는 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 상기 소스영역과, 상기 소스영역으로부터 이격되고 상기 결정화된 반도체 필름의 상기 영역내에 형성되는 드레인 영역과, 절연 기판이 게이트 전극과 상기 소스와 드레인 영역 사이에 삽입되어 상기 소스영역과 상기 드레인 영역 사이에 배치된 게이트 전극으로 구성되고 상기 레이저는 상기 소스와 드레인 영역의 한 측으로 부터 상기 게이트 전극을 향해 조사되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 14

청구항 13에 있어서,

상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 마주하는 상기 결정화된 반도체 필름 부분을 거쳐 상기 소스와 드레인 영역의 다른 측을 향해 조사되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 15

청구항 11에 있어서,

상기 활성소자는 상기 결정화된 반도체 필름의 상기 영역내에 형성되는 소스영역과, 상기 소스영역으로부터 이격되고 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 드레인 영역과, 절연 기판이 게이트 전극과 상기 소스와 드레인 영역 사이에 삽입되어 상기 소스영역과 상기 드레인 영역 사이에 배치된 게이트 전극으로 구성되고 상기 레이저는 상기 소스와 드레인 영역의 한 측으로 부터 상기 게이트 전극을 향해 조사되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 16

청구항 15에 있어서,

상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 마주하는 상기 결정화된 반도체 필름 부분을 거쳐 상기 소스와 드레인 영역의 다른 측을 향해 조사되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 17

청구항 12에 있어서,

상기 활성소자는 상기 결정화된 반도체 필름의 상기 영역내에 형성되는 소스영역과, 상기 소스영역으로부터 이격되고 상기 결정화된 반도체 필름의 상기 영역 내에 형성되는 드레인 영역과, 절연 기판이 게이트 전극과 상기 소스와 드레인 영역 사이에 삽입되어 상기 소스영역과 상기 드레인 영역 사이에 배치된 게이트 전극으로 구성되고 상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 향해 주사되는 것을 특징으로 하는 액정표시장치 제조방법.

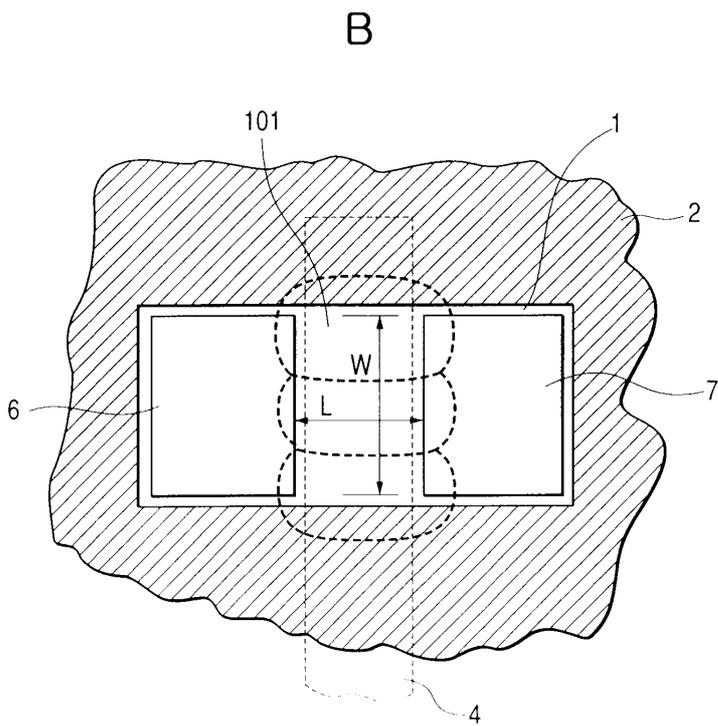
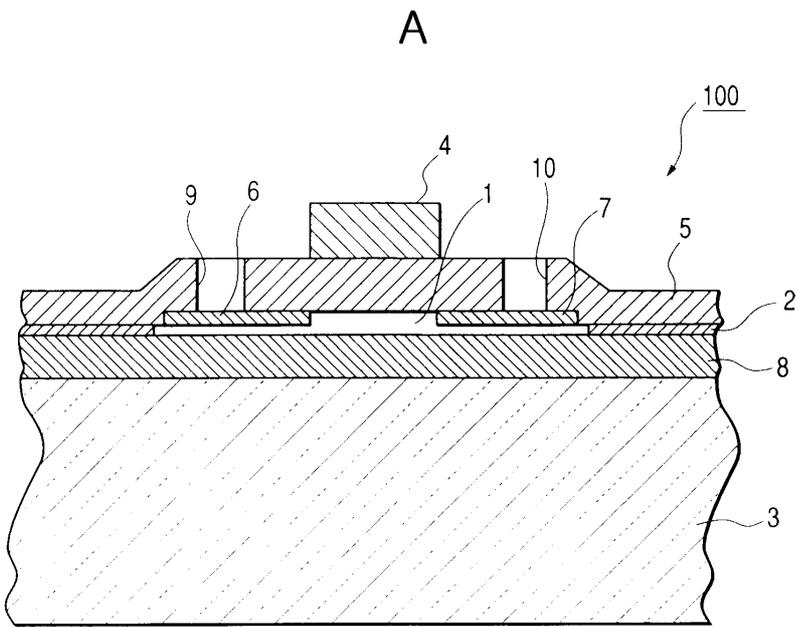
청구항 18

청구항 17에 있어서,

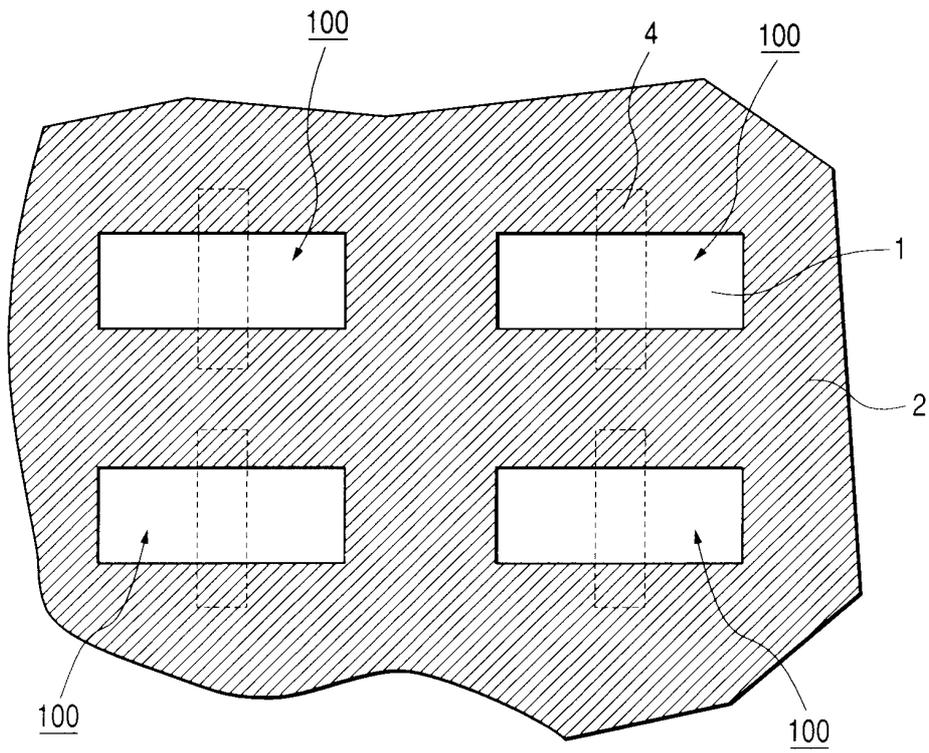
상기 레이저는 상기 소스와 드레인 영역의 한 측으로부터 상기 게이트 전극을 마주하는 상기 결정화된 반도체 필름 부분을 거쳐 상기 소스와 드레인 영역의 다른 측을 향해 주사되는 것을 특징으로 하는 액정표시장치 제조방법.

도면

도면1

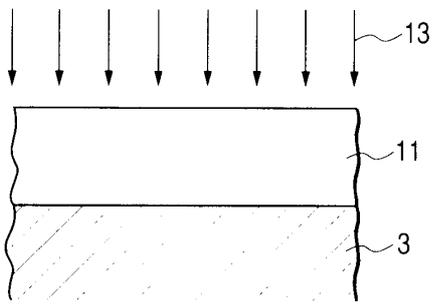


도면2

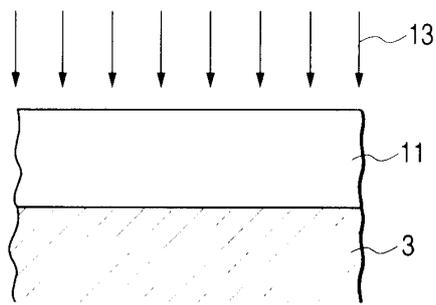


도면3

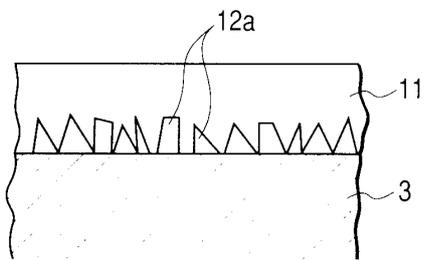
A-1



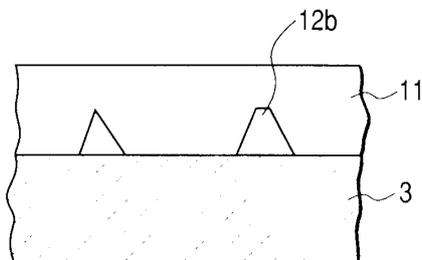
B-1



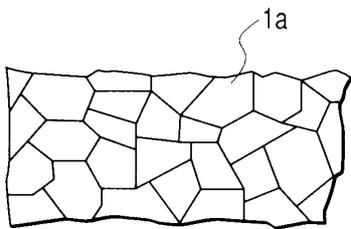
A-2



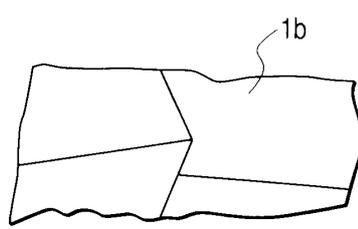
B-2



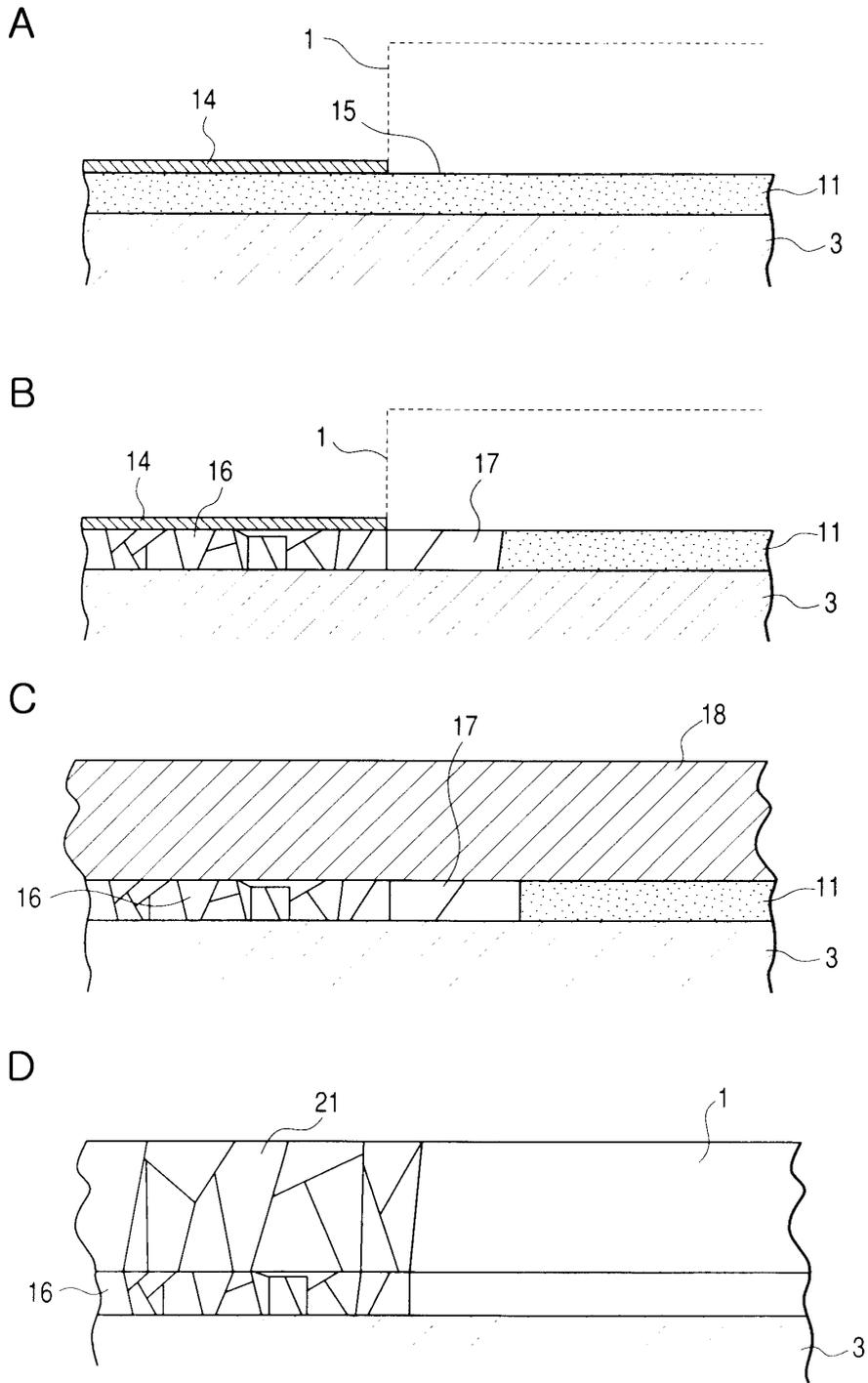
A-3



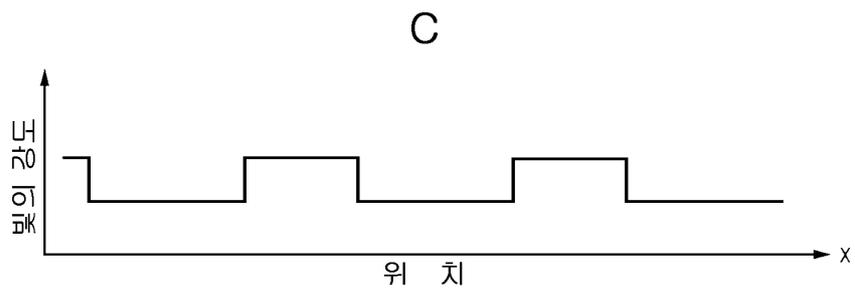
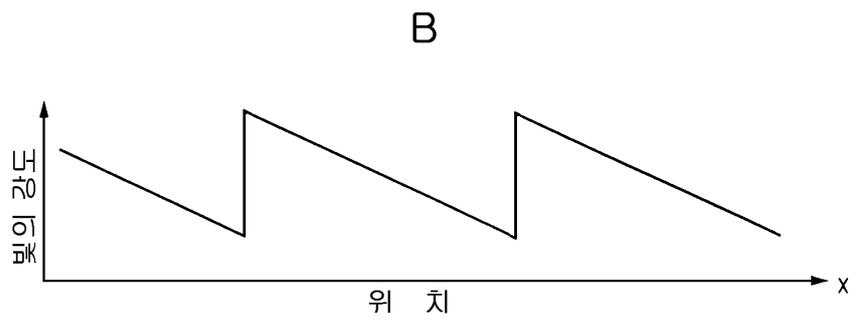
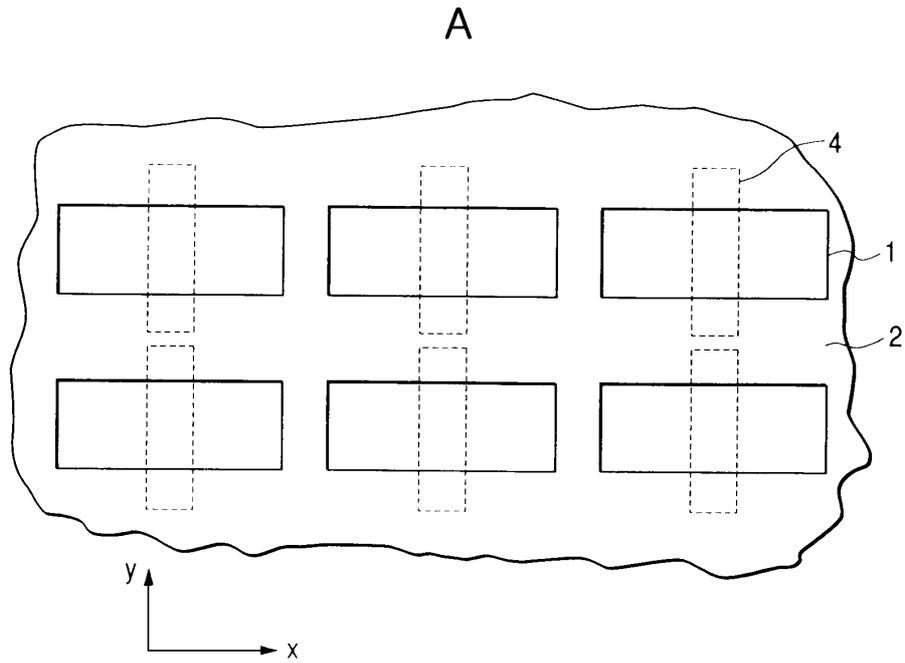
B-3



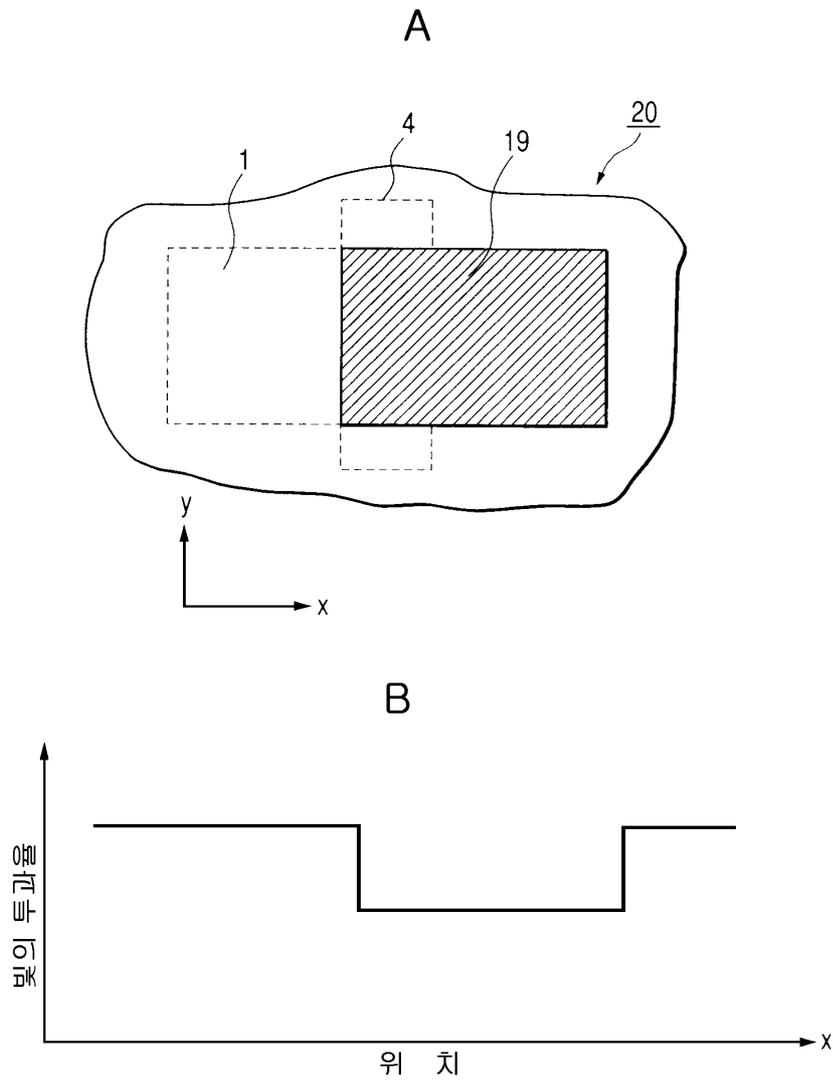
도면4



도면5

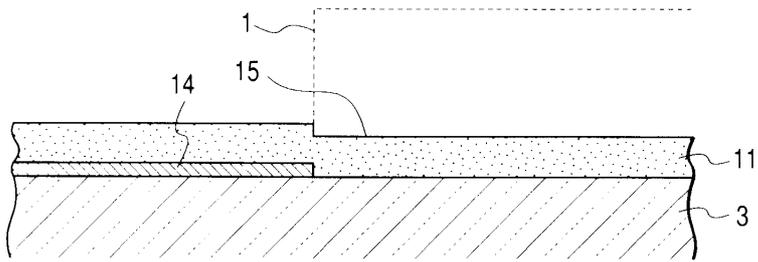


도면6

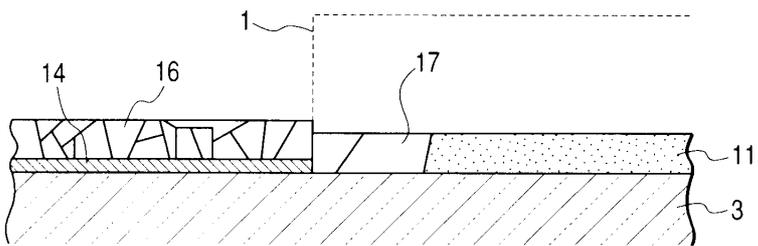


도면7

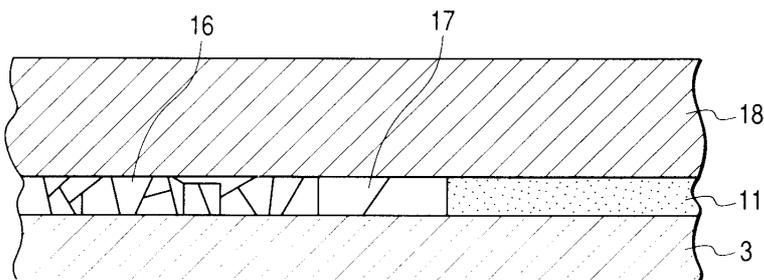
A



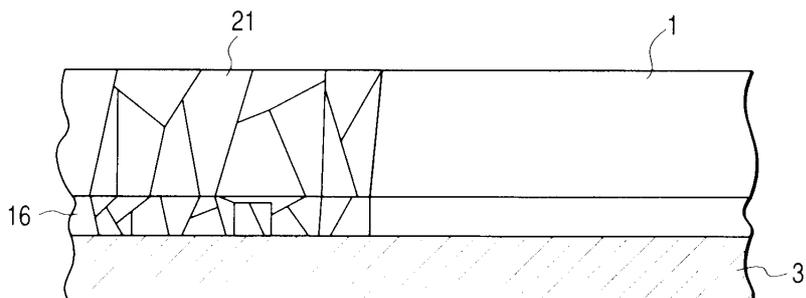
B



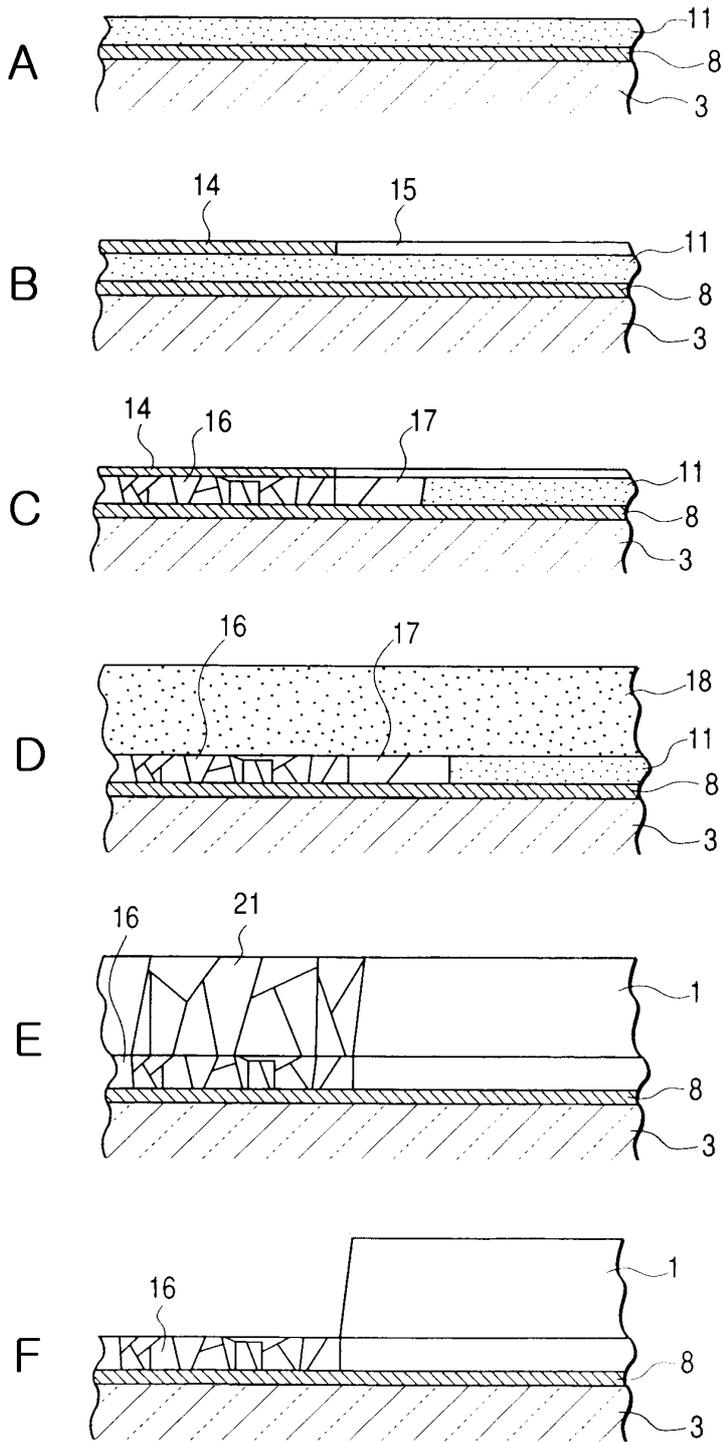
C



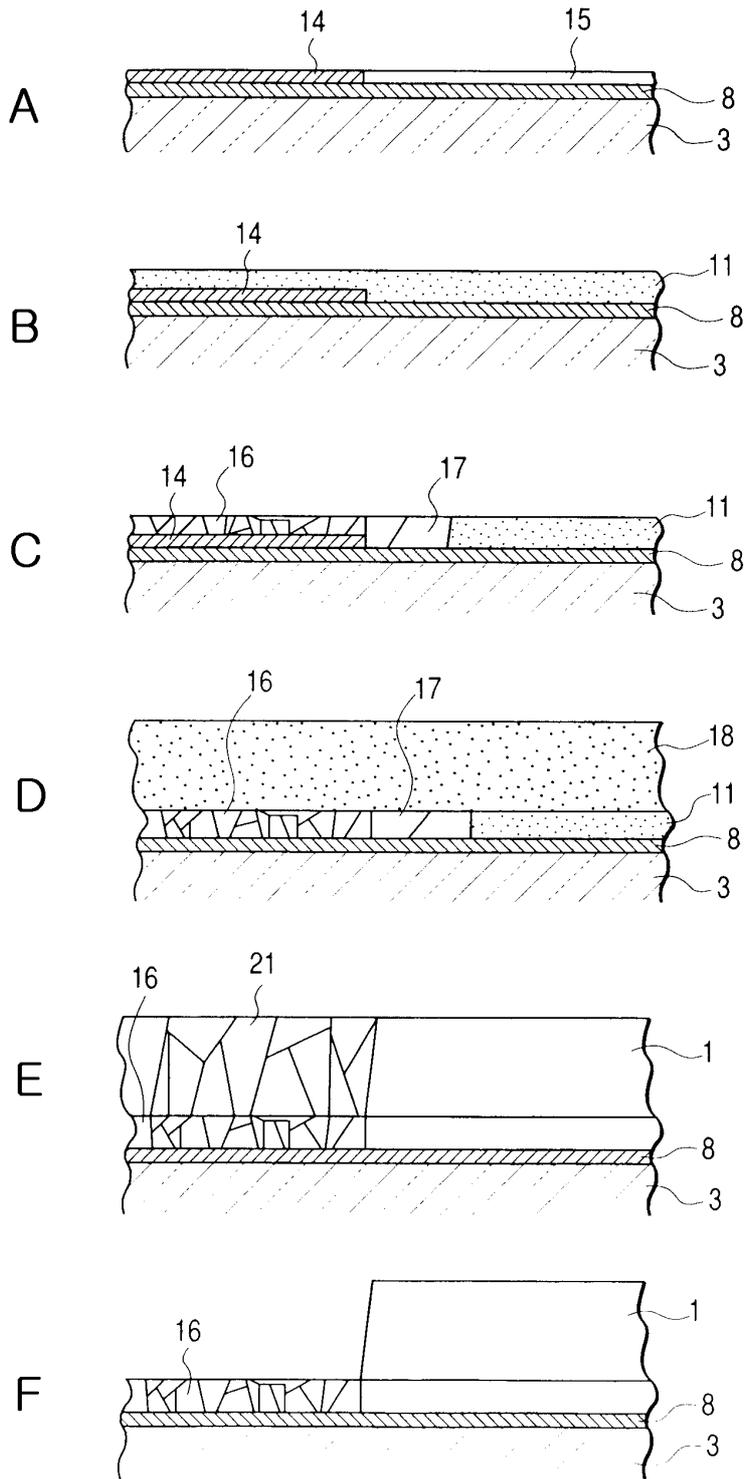
D



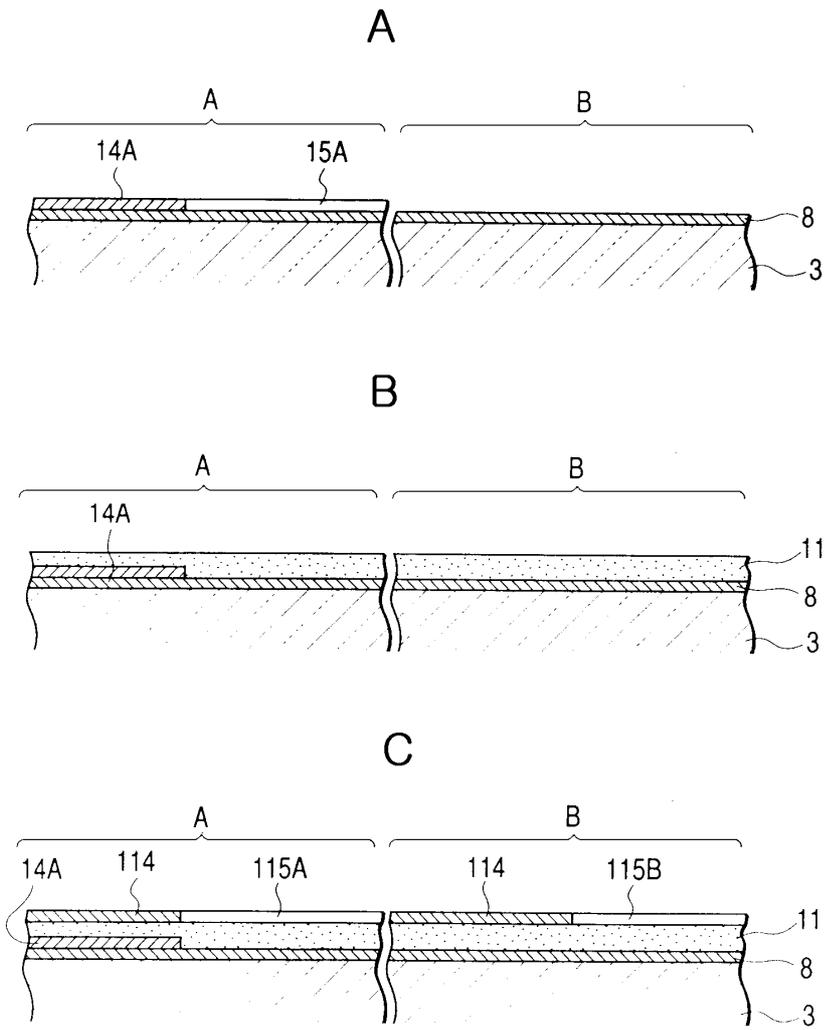
도면8



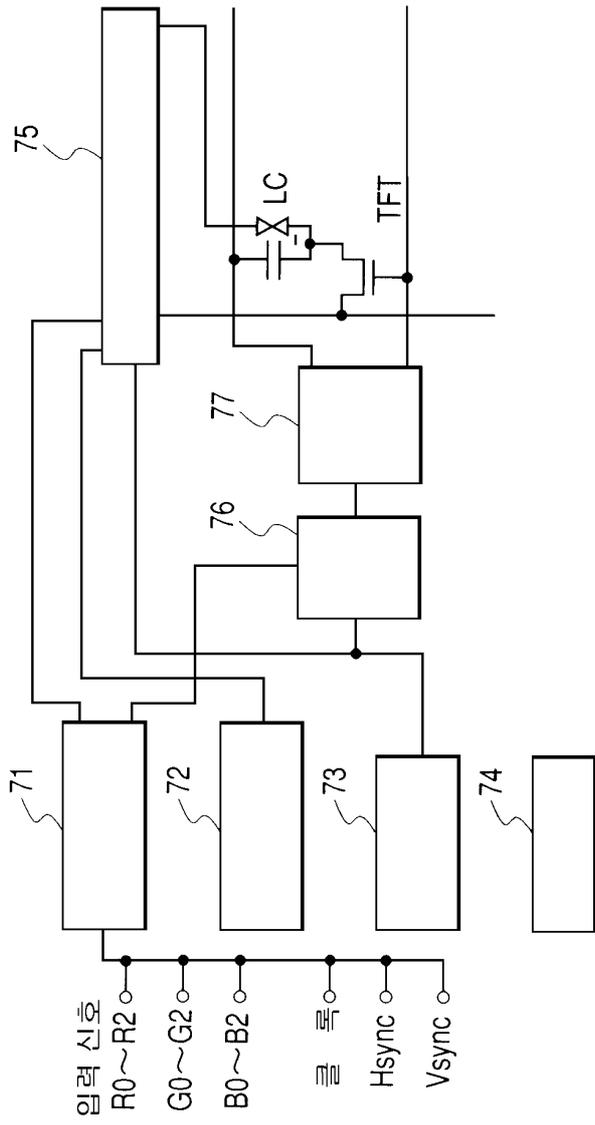
도면9



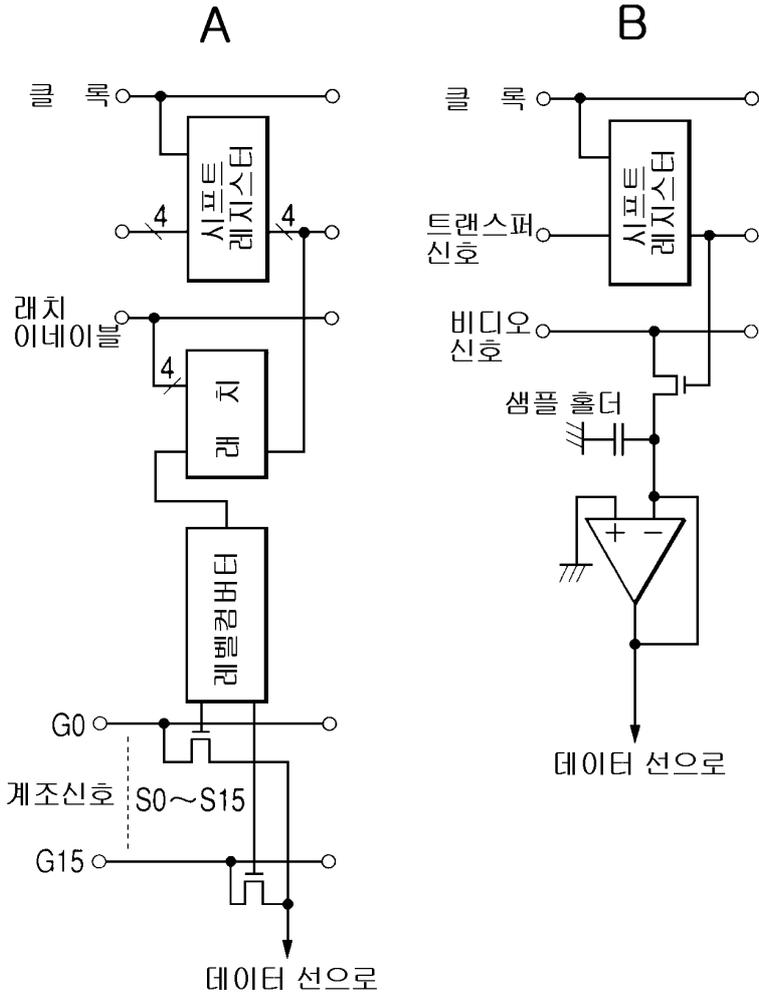
도면 10



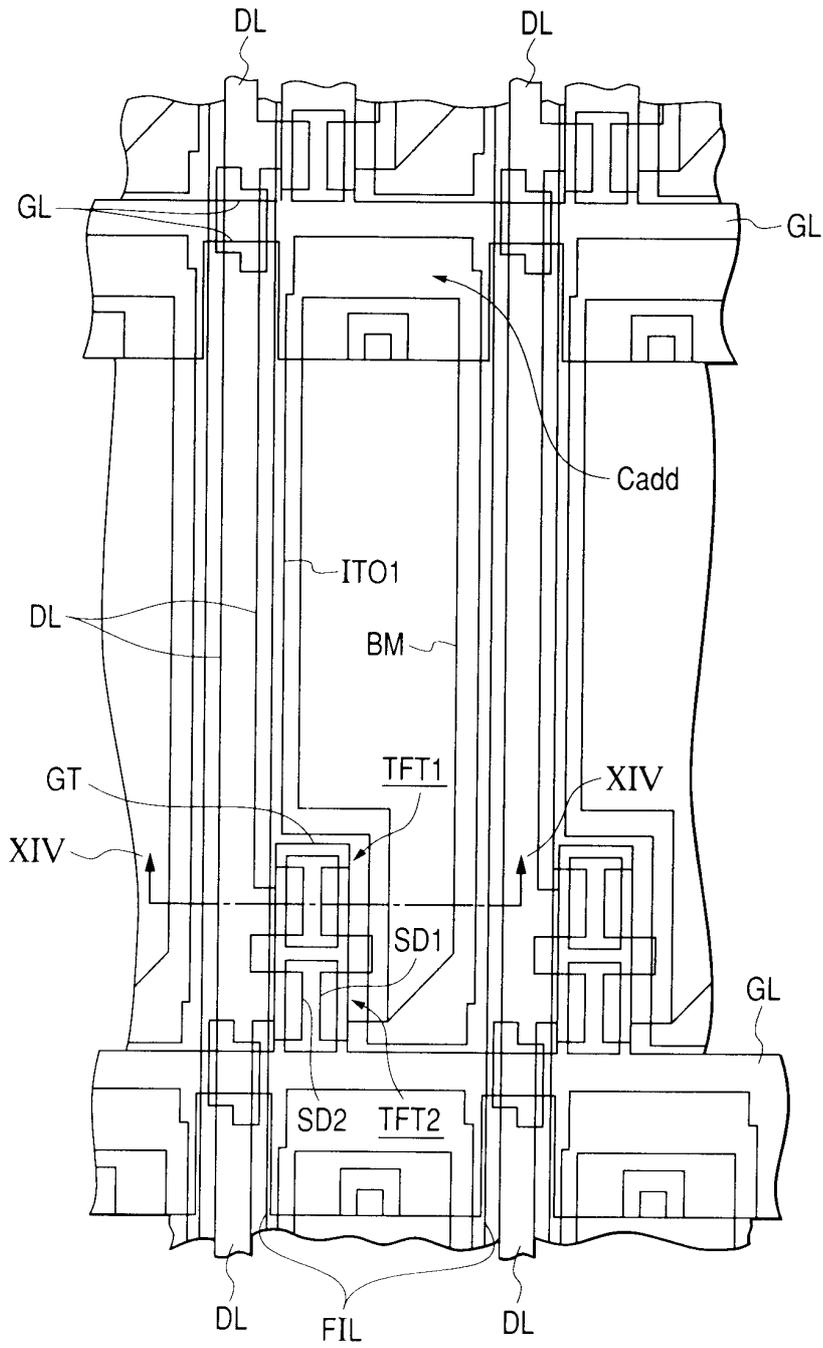
도면11



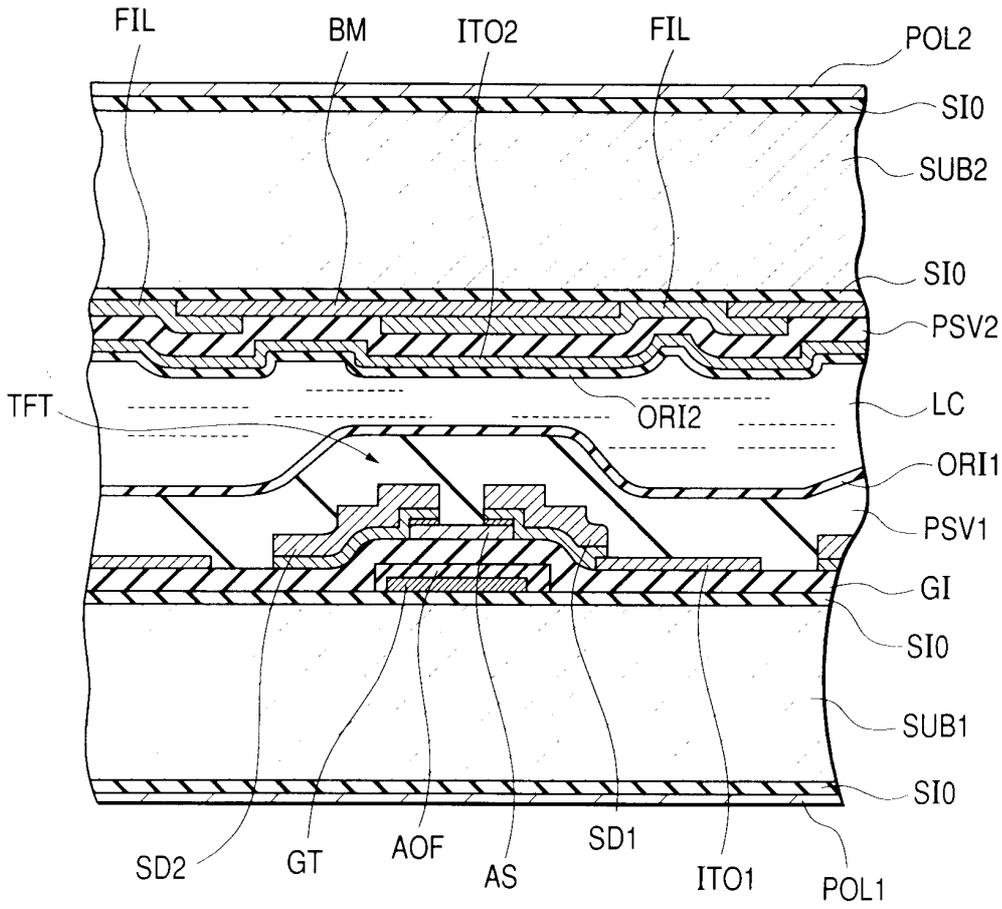
도면 12



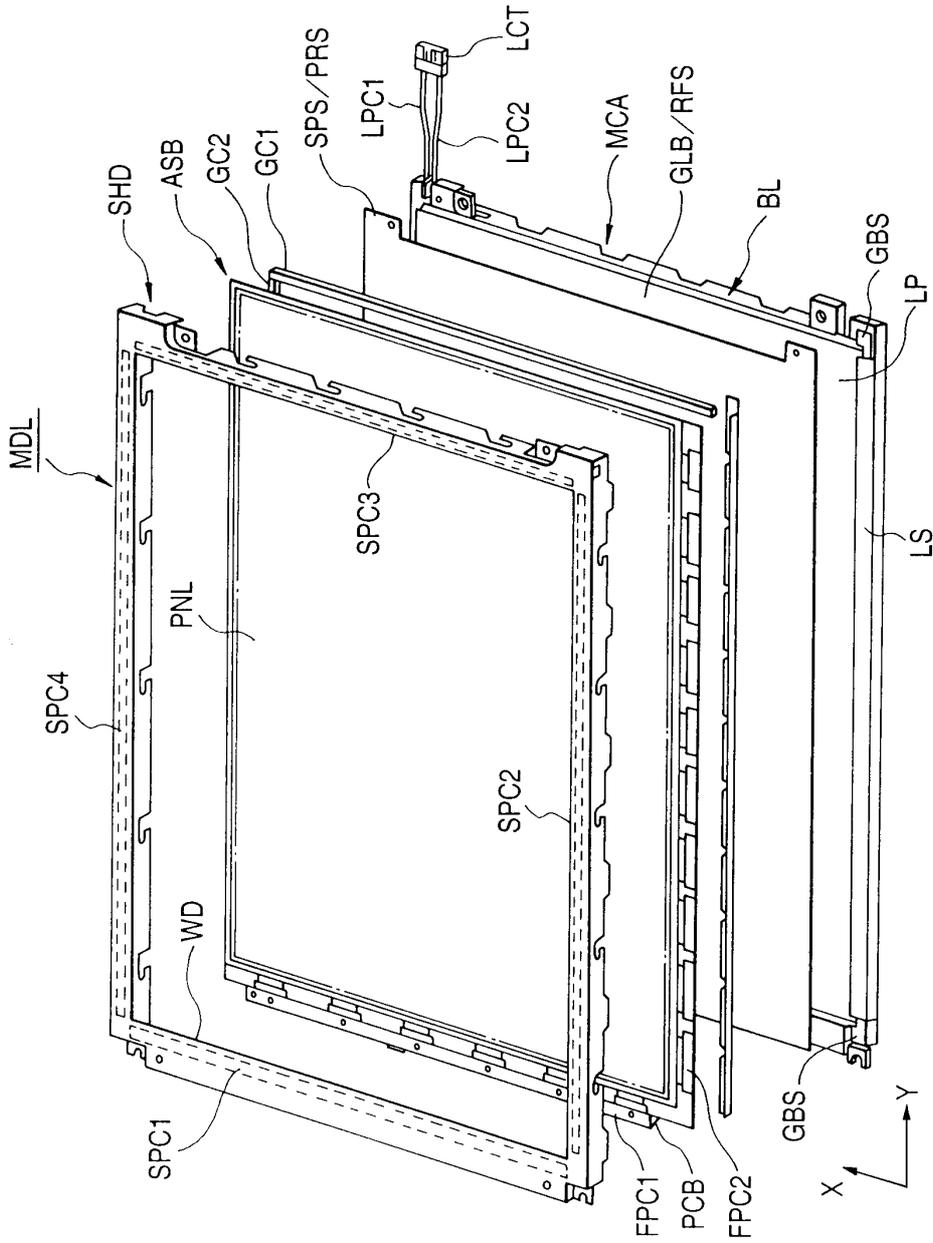
도면13



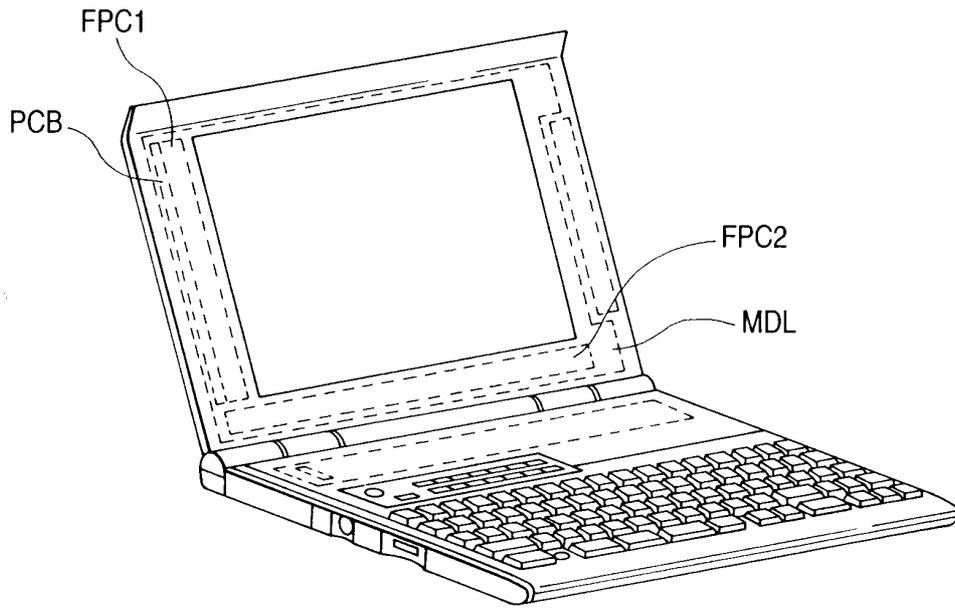
도면 14



도면15



도면 16



专利名称(译)	半导体装置，使用其的液晶显示装置及其制造方法		
公开(公告)号	KR1020000057731A	公开(公告)日	2000-09-25
申请号	KR1020000000832	申请日	2000-01-10
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	SUZUKI KENKICHI 스즈키켄키치 NAGATA TETSUYA 나가타테쯔야 OGINO TOSHIO 오기노토시오 SAITOU MASAHAZU 사이토우마사카즈 TAKAHASHI MITSUKO 타카하시미쯔코 MIYANO MASANOBU 미야오마사노부		
发明人	스즈키켄키치 나가타테쯔야 오기노토시오 사이토우마사카즈 타카하시미쯔코 미야오마사노부		
IPC分类号	G02F1/1368 H01L21/84 G02F1/1362 H01L29/786 H01L21/77 H01L21/20 H01L21/336 H01L29/04 G02F1/136		
CPC分类号	H01L29/78675 H01L27/1277 H01L27/1285 H01L29/04 H01L21/2022 G02F1/13454 H01L29/66757 H01L21/2026 H01L27/1296 H01L21/02672 H01L21/02675 H01L21/02691		
代理人(译)	李钟IL		
优先权	1999003812 1999-01-11 JP		
其他公开文献	KR100376018B1		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置及其制造方法。本发明涉及绝缘基板和多晶半导体材料。并且它具有薄膜晶体管，其包括布置在绝缘基板上的岛，多晶半导体材料，至少一个金属和围绕岛的导电层，其被制成金属硅化物，以及区域 - 源极和漏极从区域源和栅电极分离的区域。对于与区域 - 源极和栅极电极分离的区域 - 源极和漏极区域，绝缘膜插入岛状和栅极电极之间并且布置在岛状物上并且在相反方向上的空间位于漏极之间区域和区域来源。第一非晶半导体材料设置在绝缘基板上，其中形成岛的多晶半导体材料和导电层具有至少一个金属和对应于晶体引导层的开口和作为金属硅化物的岛，并且在初始时加热冷却。晶体引导层设置在基板的另一侧，并且至少一个基板侧设置在非晶半导体材料的表面上。并且将第二非晶半导体置于第一非晶半导体上。通过加热和冷却第二非晶半导体来制造表面。

