



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0060449
(43) 공개일자 2008년07월02일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01) H03K 19/0175 (2006.01)

(21) 출원번호 10-2006-0134528

(22) 출원일자 2006년12월27일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박준하

부산광역시 부산진구 개금동 92-1 번지 현대아파트 102동 807호

박태형

경기 용인시 수지구 상현2동 만현마을 쌍용1차아파트 705동 902호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 7 항

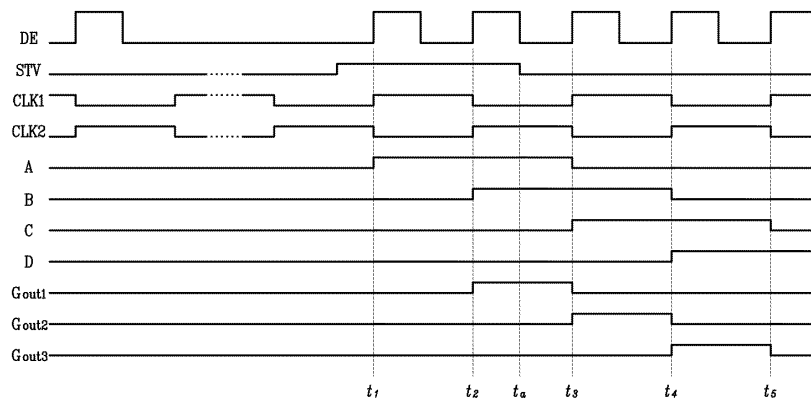
(54) 액정 표시 장치의 구동 장치

(57) 요약

본 액정 표시 장치의 구동 장치는 서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지 및 스테이지 중 적어도 2개의 출력에 연결되어 있는 논리부를 포함하며 게이트 신호를 생성하는 게이트 구동부, 그리고 영상 데이터 및 입력 제어 신호를 기초로 게이트 제어 신호를 생성하여 게이트 구동부에 인가하는 신호 제어부를 포함하며, 각 스테이지는 제1 삼상태 버퍼, 제1 삼상태 버퍼에 연결되어 있는 인버터 및 인버터의 출력과 입력에 입력과 출력이 각각 연결되어 있는 제2 삼상태 버퍼를 포함하며, 제2 삼상태 버퍼는 인버터의 출력에 각각의 제어 단자가 연결되어 있는 적어도 두 개의 제1 P형 트랜지스터와 적어도 두 개의 제1 N형 트랜지스터를 포함한다.

이에 의해 각 게이트선 별로 균일한 게이트 신호 출력을 용이하게 인가할 수 있다.

대표도



(72) 발명자

김철민

서울특별시 강남구 대치동 은마아파트 27동 607호

김일곤

서울특별시 동작구 상도동 431번지 래미안 상도3차
아파트 327동803호

이소현

경기 용인시 기흥구 농서동 산24번지

특허청구의 범위

청구항 1

서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지 및 상기 스테이지 중 적어도 2개의 출력에 연결되어 있는 논리부를 포함하며 게이트 신호를 생성하는 게이트 구동부, 그리고

영상 데이터 및 입력 제어 신호를 기초로 게이트 제어 신호를 생성하여 상기 게이트 구동부에 인가하는 신호 제어부를 포함하며,

상기 각 스테이지는,

제1 삼상태 버퍼, 상기 제1 삼상태 버퍼에 연결되어 있는 인버터 및 상기 인버터의 출력과 입력에 입력과 출력이 각각 연결되어 있는 제2 삼상태 버퍼를 포함하며,

상기 제2 삼상태 버퍼는,

상기 인버터의 출력에 각각의 제어 단자가 연결되어 있는 적어도 두개의 제1 P형 트랜지스터와 적어도 두 개의 제1 N형 트랜지스터를 포함하는

액정 표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 각 스테이지에는 위상이 서로 다른 제1 및 제2 클록 신호가 입력되며,

상기 제1 삼상태 버퍼는 상기 제1 클록 신호의 하이 구간에서 턴온되며,

상기 제2 삼상태 버퍼는 상기 제2 클록 신호의 하이 구간에서 턴온되는 액정 표시 장치의 구동 장치.

청구항 3

제2항에서,

적어도 두 개의 상기 제1 P형 트랜지스터는 직렬로 연결되어 있으며, 적어도 두 개의 상기 제1 N형 트랜지스터는 직렬로 연결되어 있는 액정 표시 장치의 구동 장치.

청구항 4

제3항에서,

상기 제2 삼상태 버퍼는,

제1 전압에 입력 단자가 연결되어 있으며, 상기 제1 클록 신호에 제어 단자가 연결되어 있으며, 하나의 상기 제1 P형 트랜지스터의 입력 단자에 출력 단자가 연결되어 있는 제2 P형 트랜지스터, 그리고

제2 전압에 입력 단자가 연결되어 있으며, 상기 제2 클록 신호에 제어 단자가 연결되어 있으며, 하나의 상기 제1 N형 트랜지스터의 입력 단자에 출력 단자가 연결되어 있는 제2 N형 트랜지스터

를 더 포함하는 액정 표시 장치의 구동 장치.

청구항 5

제1항에서,

상기 각 논리부는 실질적으로 논리곱 회로인 액정 표시 장치의 구동 장치.

청구항 6

제1항에서,

상기 게이트 구동부는 상기 액정 표시 장치에 집적되어 있는 액정 표시 장치의 구동 장치.

청구항 7

제1항에서,

상기 게이트 신호에 따라 턴온/턴오프되는 복수의 스위칭 소자를 더 포함하며,

상기 스테이지, 상기 논리부 및 상기 스위칭 소자는 저온 다결정 규소(low temperature polysilicon)를 포함하여 이루어진 액정 표시 장치의 구동 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 액정 표시 장치의 구동 장치에 관한 것이다.
- <8> 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함하고 있다.
- <9> 화소 전극이 구비된 표시판은 스위칭 소자를 포함하는 화소와 표시 신호선이 구비되어 있으며, 액정 표시 장치는 표시 신호선 중 게이트선에 게이트 온 전압과 게이트 오프 전압을 내보내어 화소의 스위칭 소자를 턴 온/오프시키는 게이트 구동부와 표시 신호선 중 데이터선에 데이터 전압을 내보내어 턴 온된 스위칭 소자를 통하여 화소에 인가하는 데이터 구동부 및 신호 제어부는 게이트 구동부와 데이터 구동부를 제어하기 위한 각종 제어 신호 및 구동 신호를 생성하는 신호 제어부를 더 포함하고 있다.
- <10> 게이트 구동부는 일렬로 배열되어 있는 복수의 스테이지와 게이트선에 각각 연결되는 논리부를 포함하는 시프트 레지스터를 포함하도록 구성될 수 있다.
- <11> 복수의 스테이지는 각 스테이지의 입력 단자에 전단 스테이지 출력이 입력되도록 서로 연결되어 있다. 한편 논리부는 복수의 스테이지 중 적어도 2개의 출력에 연결되어 있다.
- <12> 각 스테이지는 제1 삼상버퍼, 제1 삼상버퍼에 연결되어 있는 인버터 및 인버터의 출력과 입력에 입력과 출력이 각각 연결되어 있는 제2 삼상버퍼를 포함하고 있다. 한편, 제2 삼상버퍼는 인버터의 출력에 각각의 제어 단자가 연결되어 있는 하나의 P형 트랜지스터와 하나의 N형 트랜지스터를 포함하고 있다.
- <13> 제2 삼상버퍼를 구성하는 P형 트랜지스터 또는 N형 트랜지스터는 제조 불량 또는 전기적 특성에 의하여 오프 상태에서도 누설 전류가 흐르는 경우가 발생한다. 특히 P형 트랜지스터 및 N형 트랜지스터가 저온 다결정 규소(low temperature polysilicon)를 포함하여 이루어지도록 제조된 경우 누설 전류 현상은 더욱 빈번히 발생한다. P형 트랜지스터 및 N형 트랜지스터에 누설 전류가 발생하면 전단 스테이지의 출력이 원하는 하이나 로우 값이 되지 못하며 이로 인해 전단 스테이지의 출력을 입력 신호로 사용하는 후단 스테이지의 출력 또한 원하는 하이나 로우 값이 되지 않는다.
- <14> 따라서 논리부를 통해 각 게이트 신호선 별로 인가되는 게이트 신호출력이 균일하지 못하여 액정 표시 장치의 표시 성능이 저하하는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <15> 따라서, 본 발명이 이루고자 하는 기술적 과제는 각 게이트선 별로 균일한 게이트 신호 출력을 용이하게 인가할 수 있는 액정 표시 장치의 구동 장치를 제공하는 것이다.

발명의 구성 및 작용

- <16> 본 발명에 따른 액정 표시 장치의 구동 장치는 서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지 및 상기 스테이지 중 적어도 2개의 출력에 연결되어 있는 논리부를 포함하며 게이트 신호를 생성하는 게이트 구동부, 그리고 영상 데이터 및 입력 제어 신호를 기초로 게이트 제어 신호를 생성하여 상기 게이트 구동부에 인가

하는 신호 제어부를 포함하며, 상기 각 스테이지는 제1 삼상태 버퍼, 상기 제1 삼상태 버퍼에 연결되어 있는 인버터 및 상기 인버터의 출력과 입력에 입력과 출력이 각각 연결되어 있는 제2 삼상태 버퍼를 포함하며, 상기 제2 삼상태 버퍼는 상기 인버터의 출력에 각각의 제어 단자가 연결되어 있는 적어도 두개의 제1 P형 트랜지스터와 적어도 두 개의 제1 N형 트랜지스터를 포함한다.

- <17> 상기 각 스테이지에는 위상이 서로 다른 제1 및 제2 클럭 신호가 입력되며, 상기 제1 삼상태 버퍼는 상기 제1 클럭 신호의 하이 구간에서 턴온되며, 상기 제2 삼상태 버퍼는 상기 제2 클럭 신호의 하이 구간에서 턴온될 수 있다.
- <18> 적어도 두 개의 상기 제1 P형 트랜지스터는 직렬로 연결되어 있으며, 적어도 두 개의 상기 제1 N형 트랜지스터는 직렬로 연결될 수 있다.
- <19> 상기 제2 삼상태 버퍼는 제1 전압에 입력 단자가 연결되어 있으며, 상기 제1 클럭 신호에 제어 단자가 연결되어 있으며, 하나의 상기 제1 P형 트랜지스터의 입력 단자에 출력 단자가 연결되어 있는 제2 P형 트랜지스터, 그리고 제2 전압에 입력 단자가 연결되어 있으며, 상기 제2 클럭 신호에 제어 단자가 연결되어 있으며, 하나의 상기 제1 N형 트랜지스터의 입력 단자에 출력 단자가 연결되어 있는 제2 N형 트랜지스터를 더 포함할 수 있다.
- <20> 상기 각 논리부는 실질적으로 논리곱 회로일 수 있다.
- <21> 상기 게이트 구동부는 상기 액정 표시 장치에 집적되어 있을 수 있다.
- <22> 상기 게이트 신호에 따라 턴온/턴오프되는 복수의 스위칭 소자를 더 포함하며, 상기 스테이지, 상기 논리부 및 상기 스위칭 소자는 저온 다결정 규소(low temperature polysilicon)를 포함하여 이루어질 수 있다.
- <23> 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <24> 이제 본 발명의 실시예에 따른 액정 표시 장치의 구동 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <25> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <26> 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 계조 전압 생성부(800) 및 신호 제어부(600)를 포함한다.
- <27> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G1-Gn, D1-Dm)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <28> 신호선(G1-Gn, D1-Dm)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G1-Gn)과 데이터를 전달하는 복수의 데이터선(D1-Dm)을 포함한다. 게이트선(G1-Gn)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D1-Dm)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <29> 각 화소(PX), 예를 들면 i번째(i=1, 2, ..., n) 게이트선(Gi)과 j번째(j=1, 2, ..., m) 데이터선(Dj)에 연결된 화소(PX)는 신호선(Gi Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <30> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(Gi)과 연결되어 있고, 입력 단자는 데이터선(Dj)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <31> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <32> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시

하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선(Gi-1)과 중첩되어 이루어질 수 있다.

- <33> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 둘 수도 있다.
- <34> 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있다.
- <35> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- <36> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G1-Gn)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G1-Gn)에 인가한다.
- <37> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D1-Dm)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(D1-Dm)에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 선택한다.
- <38> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <39> 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(G1-Gn, D1-Dm) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <40> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <41> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 1024(=2¹⁰), 256(=2⁸) 또는 64(=2⁶) 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <42> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <43> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <44> 데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 디지털 영상 신호의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D1-Dm)에 아날로그 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

- <45> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(D1-Dm)에 인가한다.
- <46> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G1-Gn)에 인가하여 이 게이트선(G1-Gn)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D1-Dm)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- <47> 화소(PX)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.
- <48> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G1-Gn)에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압을 인가하여 한 프레임(frame)의 영상을 표시한다.
- <49> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <50> 그러면 게이트 구동부의 구조와 동작에 대하여 도 3 내지 도 6을 참고로 하여 좀더 상세하게 설명한다.
- <51> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 4는 도 3에 도시한 시프트 레지스터의 상세 회로도이고, 도 5는 도 4의 'X' 영역의 상세 회로도이고, 도 6은 도 4에 도시한 시프트 레지스터의 타이밍도이다.
- <52> 도 3에 도시한 게이트 구동부(400)는 일렬로 배열되어 있는 복수의 스테이지(410)와 게이트선(G₁-G_n)에 각각 연결되는 논리부(420)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV) 및 복수의 클록 신호(CLK1, CLK2)가 입력된다.
- <53> 이때, 스테이지(410)와 논리부(420)는 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 동일한 기판 위에 집적되어 있다. 이때, 스테이지(410), 논리부(420) 및 스위칭 소자(Q)는 저온 다결정 규소(low temperature polysilicon)를 포함하여 이루어질 수 있다.
- <54> 각 스테이지(410)는 입력 단자(IN), 출력 단자(OUT) 및 클록 단자(CK1, CK2)를 가지고, 논리부(420)는 입력 단자(ENT1, ENT2) 및 출력 단자(EXT)를 가진다.
- <55> 각 스테이지(410)의 입력 단자(IN)에는 전단 스테이지 출력이 입력되고 클록 단자(CK1, CK2)에는 클록 신호(CLK1, CLK2)가 각각 입력되며, 각 논리부(420)의 입력 단자(ENT1, ENT2)에는 인접한 스테이지의 출력이 각각 입력된다.
- <56> 단, 시프트 레지스터의 첫 번째 스테이지에는 전단 스테이지의 출력 대신 주사 시작 신호(STV)가 입력된다. 또한, 어느 스테이지의 클록 단자(CK1)에 클록 신호(CLK1)가, 클록 단자(CK2)에 클록 신호(CLK2)가 입력되는 경우, 이에 아래 위로 인접한 스테이지의 클록 단자(CK1)에는 클록 신호(CLK2)가, 클록 단자(CK2)에는 클록 신호(CLK1)가 입력된다.
- <57> 각 클록 신호(CLK1, CLK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 전압 레벨이 하이인 경우는 게이트 온 전압(V_{on})과 같고 로우인 경우는 게이트 오프 전압(V_{off})과 같은 것이 바람직하다. 도 6에 도시한 바와 같이 각 클록 신호(CLK1, CLK2)는 듀티비가 50%이고 두 클록 신호(CLK1, CLK2)의 위상차는 180°일 수 있다. 또한, 여기서, 클록 신호(CLK1)는 게이트 클록 신호(CPV)와 동기하는 신호이며, 클록 신호(CLK2)는 이를 반전시킨 형태이다.
- <58> 도 4에 도시한 바와 같이, 각 스테이지(410)는 복수의 3상태 버퍼(tri-state buffer) 및 인버터를 포함하고, 논리부(420)는 부정 논리곱 회로(NAND)와 인버터를 포함하는데, 도 4에는 첫 번째부터 네 번째 스테이지(410)와

첫 번째부터 세 번째 논리부(420)를 나타내었다.

- <59> 각 스테이지, 예를 들어 첫 번째 스테이지는 복수의 3상태 버퍼(TSB1, TSB2)와 인버터(INV1)를 포함한다.
- <60> 인버터(INV1)는 입력 단자와 출력 단자를 포함하며, 3상태 버퍼(TSB1, TSB2)는 입력 단자와 출력 단자 이외에 클록 신호(CLK1, CLK2)를 수신하는 단자를 더 포함한다.
- <61> 3상태 버퍼(TSB1)와 인버터(INV1)는 직렬로 연결되며, 나머지 3상태 버퍼(TSB2)는 인버터(INV1)에 병렬로 연결되어 있다. 알려진 바와 같이, 인버터(INV1)와 병렬로 연결되어 있는 3상태 버퍼(TSB2)는 래치(latch)의 역할을 하며 일정 시간 동안 이전 신호를 유지한다.
- <62> 3상태 버퍼(TSB1)는 클록 신호(CLK1)가 하이가 될 때 턴온되어 입력 신호를 반전시켜 내보내며, 클록 신호(CLK1)가 로우가 될 때 턴오프된다. 또한, 3상태 버퍼(TSB4, TSB5, TSB8)도 3상태 버퍼(TSB1)와 동일한 구성으로 동일한 동작을 한다.
- <63> 이와는 달리, 3상태 버퍼(TSB2)는 클록 신호(CLK2)가 하이가 될 때 턴온되어 입력 신호를 반전시켜 내보내며, 클록 신호(CLK2)가 로우가 될 때 턴오프된다. 또한, 3상태 버퍼(TSB3, TSB6, TSB7)도 3상태 버퍼(TSB2)와 동일한 구성으로 동일한 동작을 한다.
- <64> 여기서 턴오프는 고임피던스(high impedance)가 상태가 되어 출력이 생성되지 않음을 의미한다.
- <65> 도 5는 인버터(INV1)와 3상태 버퍼(TSB2)에 대한 상세 회로도이다.
- <66> 인버터(INV1)는 P형 트랜지스터(T1)와 N형 트랜지스터(T2)를 포함하고 있다.
- <67> P형 트랜지스터(T1)의 제어 단자는 3상태 버퍼(TSB1)의 출력에 연결되어 있으며, 입력 단자는 고레벨의 전압(VDD)에 연결되어 있으며, 출력 단자는 3상태 버퍼(TSB2)의 입력에 각각 연결되어 있다.
- <68> N형 트랜지스터(T2)의 제어 단자도 3상태 버퍼(TSB1)의 출력에 연결되어 있으며, 입력 단자는 저레벨의 전압(VSS)에 연결되어 있으며, 출력 단자는 3상태 버퍼(TSB2)의 입력에 각각 연결되어 있다.
- <69> 한편, 3 상태 버퍼(TSB2)는 제1 P형 트랜지스터(T3), 제1 N형 트랜지스터(T4), 제2 P형 트랜지스터(T5), 제3 N형 트랜지스터(T6)를 포함한다.
- <70> 제1 P형 트랜지스터(T3)는 적어도 2개가 직렬 연결되어 있으며, 각 제1 P형 트랜지스터(T3)의 제어 단자는 인버터(INV1)의 출력에 연결되어 있다. 또한 하나의 제1 P형 트랜지스터(T3)의 출력 단자는 인버터(INV1)의 입력과 연결되며, 입력 단자는 다른 제1 P형 트랜지스터(T3)의 출력 단자에 연결된다. 한편, 다른 제1 P형 트랜지스터(T3)의 입력 단자는 제2 P형 트랜지스터(T5)의 출력 단자에 연결된다.
- <71> 제2 P형 트랜지스터(T5)는 고레벨 전압(VDD)에 입력 단자가 연결되어 있으며, 제1 클록 신호(CLK1)에 제어 단자가 연결되어 있다.
- <72> 제1 N형 트랜지스터(T4)도 적어도 2개가 직렬 연결되어 있으며, 각 제1 N형 트랜지스터(T4)의 제어 단자는 인버터(INV1)의 출력에 연결되어 있다. 또한 하나의 제1 N형 트랜지스터(T4)의 출력 단자는 인버터의 입력(INV1)과 연결되며, 입력 단자는 다른 제1 N형 트랜지스터(T4)의 출력 단자에 연결된다. 한편 다른 제1 N형 트랜지스터(T4)의 입력 단자는 제2 N형 트랜지스터(T6)의 출력 단자에 연결된다.
- <73> 제2 N형 트랜지스터(T6)는 저레벨 전압(VSS)에 입력 단자가 연결되어 있으며, 제2 클록 신호(CLK2)에 제어 단자가 연결되어 있다.
- <74> 논리부(420), 예를 들어 첫 번째 논리부는 부정 논리곱 회로(NAND1)와 이에 연결되어 있는 인버터(INV5)를 포함하며, 부정 논리곱 회로(NAND1)에는 첫 번째 및 두 번째 스테이지의 출력이 입력된다. 이때, 부정 논리곱 회로(NAND1)와 인버터(INV5)는 실질적으로 논리곱 회로(AND)를 이룬다.
- <75> 그러면, 이러한 시프트 레지스터의 동작에 대하여 설명한다.
- <76> 먼저, 데이터 인에이블 신호(DE)가 일정 시간 이상 블랭크 구간이 지속되면 수직 동기 시작 신호(STV)가 로우에서 하이로 바뀐다.
- <77> 이어 시간(t_1)에 클록 신호(CLK1)가 하이가 된다.
- <78> 이 때, 3상태 버퍼(TSB1)는 턴온 상태이고, 3상태 버퍼(TSB2, TSB3)는 턴오프 상태이므로, 수직 동기 시작 신호

(STV)는 3상태 버퍼(TSB1)와 인버터(INV1)를 통해 두 번 반전되어 도 6에 도시한 바와 같은 노드(A)의 신호를 생성한다.

- <79> 이어, 시간(t_2)에 클럭 신호(CLK1)가 로우가 되고 클럭 신호(CLK2)가 하이이 되면, 3상태 버퍼(TSB1)는 턴오프 되고, 3상태 버퍼(TSB2, TSB3)는 턴온된다. 이 때, 노드(A)의 신호는 여전히 하이이고 노드(A) 신호는 각각 3 상태 버퍼(TSB2)와 3상태 버퍼(TSB3)로 입력된다. 그러면 인버터(INV1)와 3상태 버퍼(TSB2)는 폐회로를 형성하면서 계속 순환하게 되고 노드(A) 신호는 클럭 신호(CLK1, CLK2)의 반주기 동안 계속되면서 하이로 유지하므로 이러한 특성이 전술한 래치의 기능을 한다. 또한, 노드(A) 신호는 노드(B)로 전달되어 도시한 바와 같은 노드(B) 신호를 생성한다.
- <80> 이와 동시에 논리부(420)는 앞에서 설명한 것처럼 실질적으로 논리곱 회로를 이루므로 두 노드(A, B)의 출력이 하이이 될 때 도시한 것처럼 하이값을 출력하여 첫 번째 게이트 출력(Gout1)을 생성한다.
- <81> 다음으로, 시간(t_a)에 데이터 인에이블 신호(DE)의 하강 에지에서 수직 동기 시작 신호(STV)는 하이에서 로우로 바뀐다.
- <82> 이어, 시간(t_3)에 클럭 신호(CLK1)가 하이이 되고 클럭 신호(CLK2)가 로우가 되면, 3상태 버퍼(TSB3)는 턴오프 되고 3상태 버퍼(TSB4, TSB5)는 턴온된다. 이때, 수직 동기 시작 신호(STV)는 로우 상태이므로 노드(A)의 출력은 로우로 바뀐다.
- <83> 노드(B)의 출력은 여전히 하이로 유지하며 전술한 노드(A)에서와 같이 폐회로를 형성하여 순환하면서 클럭 신호(CLK1, CLK2)의 반주기동안 하이로 유지하여 전체적으로 1H동안 하이로 출력한다.
- <84> 이러한 방식으로 세 번째 및 네 번째 스테이지도 동일한 동작을 반복하여 도시한 바와 같이 1H가 시프트된 균일한 게이트 신호 출력(Gout2, Gout3)을 각각 생성한다.
- <85> 그런데 스테이지(410)의 3상태 버퍼(TSB2)에 포함된 제1 P형 트랜지스터(T3) 및 제1 N형 트랜지스터(T4)는 제조 공정이나 물리적 특성으로 인하여 오프 상태에서도 누설 전류가 흐르는 경우가 있다. 특히 제1 P형 트랜지스터(T3) 및 제1 N형 트랜지스터(T4)가 저온 다결정 규소(low temperature polysilicon)를 포함하여 이루어지도록 제조된 경우 누설 전류 현상의 발생 확률은 더욱 높아진다.
- <86> 누설 전류가 발생하는 경우 3상태 버퍼(TSB1)가 턴오프되고, 3상태 버퍼(TSB2, TSB3)는 턴온된 경우 인버터(INV1)로부터 출력되어 노드(A)를 통해 3상태 버퍼(TSB2)로 입력된 신호인 하이나 로우가 3상태 버퍼(TSB2)에 의해 정확하게 로우나 하이로 반전되지 못할 수 있다. 이로 인해 3상태 버퍼(TSB2)를 거쳐 인버터(INV1)로 피드백 되어 입력되는 신호도 정확히 반전된 입력이 아닐 수 있어 인버터(INV1)를 거쳐 반전되어 다시 노드(A)로 출력되는 신호가 이전 신호와 달라질 수 있다. 즉 3상태 버퍼(TSB2)가 일정 시간 동안 이전 신호를 유지하는 래치(latch)의 역할을 제대로 수행하지 못할 수 있다.
- <87> 이런 경우 누설 전류가 발생하는 스테이지(410)의 출력을 입력으로 사용하는 후단 스테이지(410)의 출력 또한 달라질 수 있다.
- <88> 따라서 논리부(420)를 통해 각 게이트선(G1-Gn) 별로 인가되는 게이트 신호 출력이 균일하지 못하여 액정 표시 장치의 표시 성능이 저하하는 문제점이 발생한다.
- <89> 그러나 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 장치는 도 5에 도시한 바와 같이 래치 역할을 수행하는 각 3상태 버퍼(TSB2, TSB4, TSB6, TSB8)의 각 제1 P형 트랜지스터(T3) 및 제1 N형 트랜지스터(T4)를 각각 복수개로 마련하여 직렬로 연결하고 있다.
- <90> 따라서 하나의 제1 P형 트랜지스터(T3) 또는 제1 N형 트랜지스터(T4)가 오프 상태에서 작동 이상으로 누설 전류가 발생하여 흐르더라도 직렬로 연결된 다른 제1 P형 트랜지스터(T3) 또는 제1 N형 트랜지스터(T4)가 오프 상태를 유지할 수 있어 전체적으로는 누설 전류가 흐르지 않게 된다.
- <91> 즉 제1 P형 트랜지스터(T3) 및 제1 N형 트랜지스터(T4)를 각각 복수개로 마련하여 직렬로 연결하면 그 만큼 누설 전류의 차단 확률이 더욱 높아지게 된다.
- <92> 따라서 논리부(420)를 통해 각 게이트선(G1-Gn) 별로 인가되는 게이트 신호 출력을 균일하게 할 수 있어 액정 표시 장치의 표시 성능을 향상 할 수 있다.
- <93> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것

은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

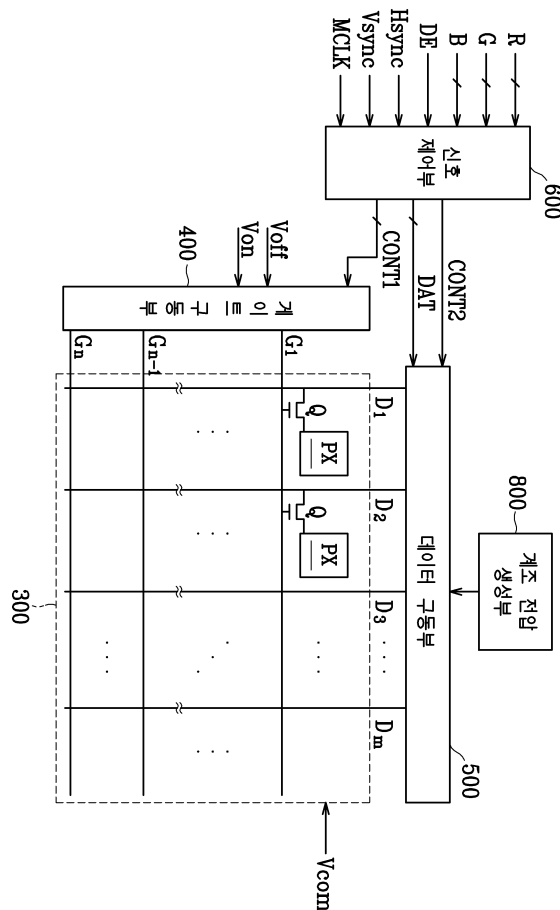
<94> 이와 같이, 본 발명에 의하면 각 게이트선 별로 균일한 게이트 신호 출력을 용이하게 인가할 수 있다.

도면의 간단한 설명

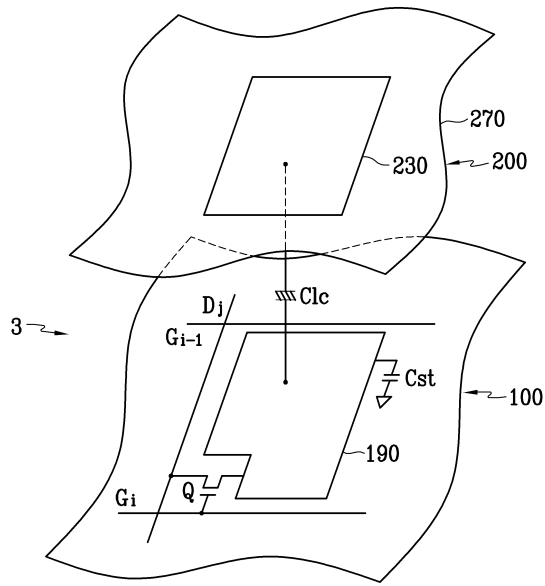
- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고,
- <2> 도 2은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이며,
- <3> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며,
- <4> 도 4는 도 3에 도시한 시프트 레지스터의 상세 회로도이고,
- <5> 도 5는 도 4의 'X' 영역의 상세 회로도이고,
- <6> 도 6은 도 4에 도시한 시프트 레지스터의 타이밍도이다.

도면

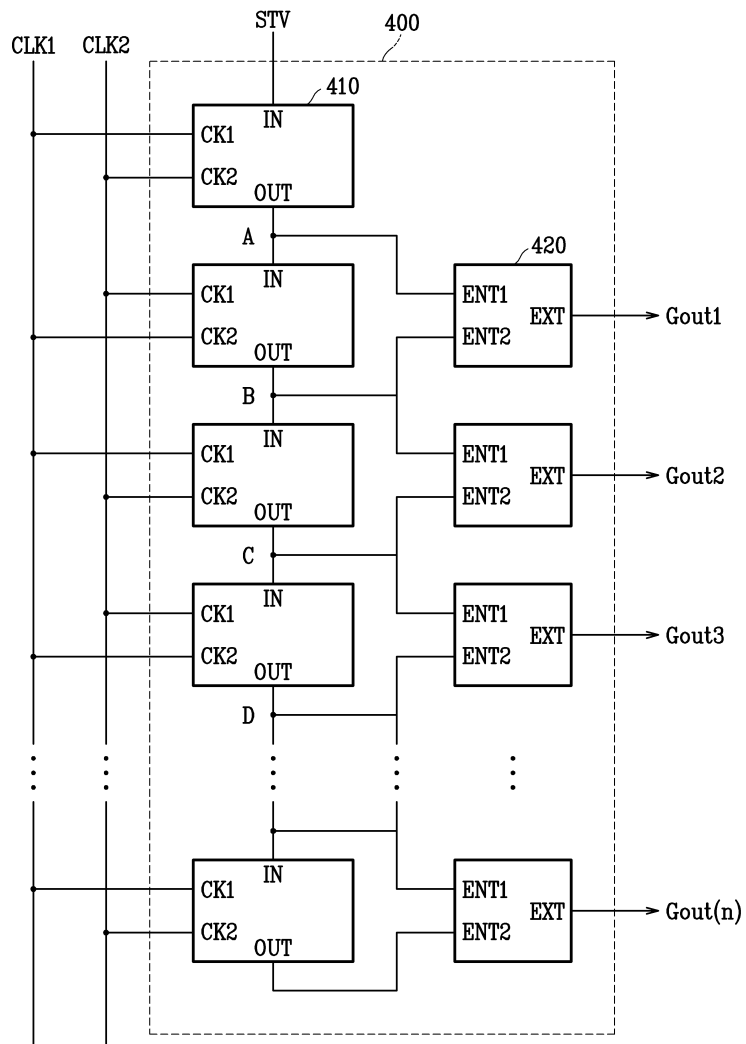
도면1



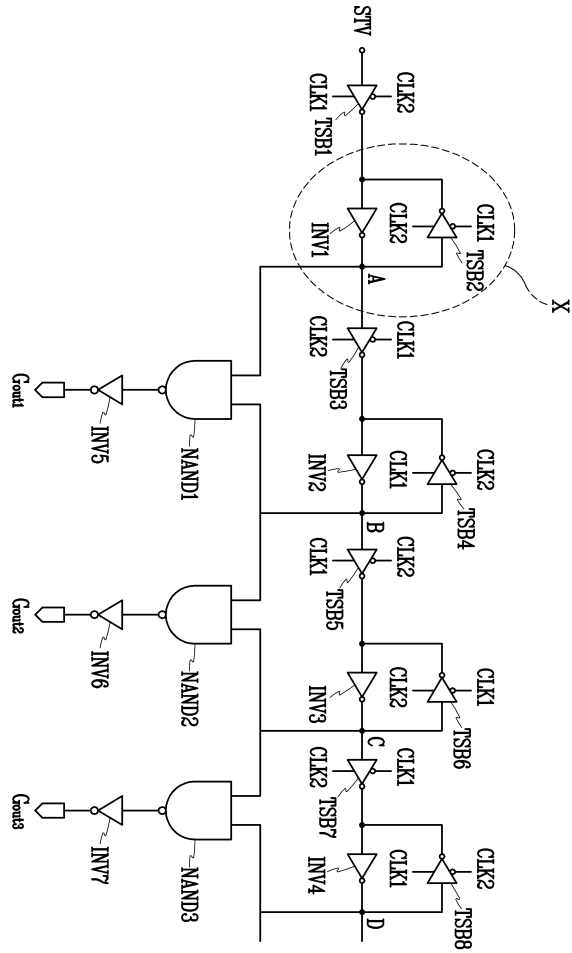
도면2



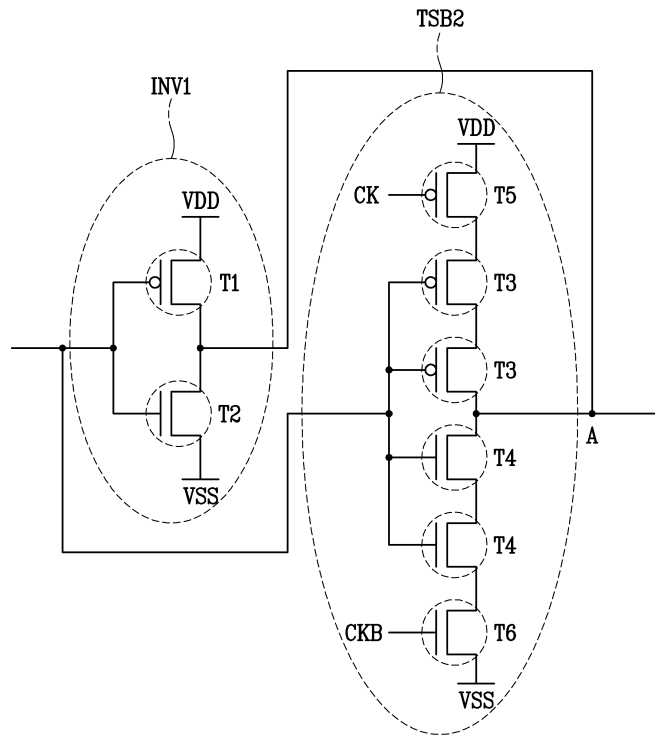
도면3



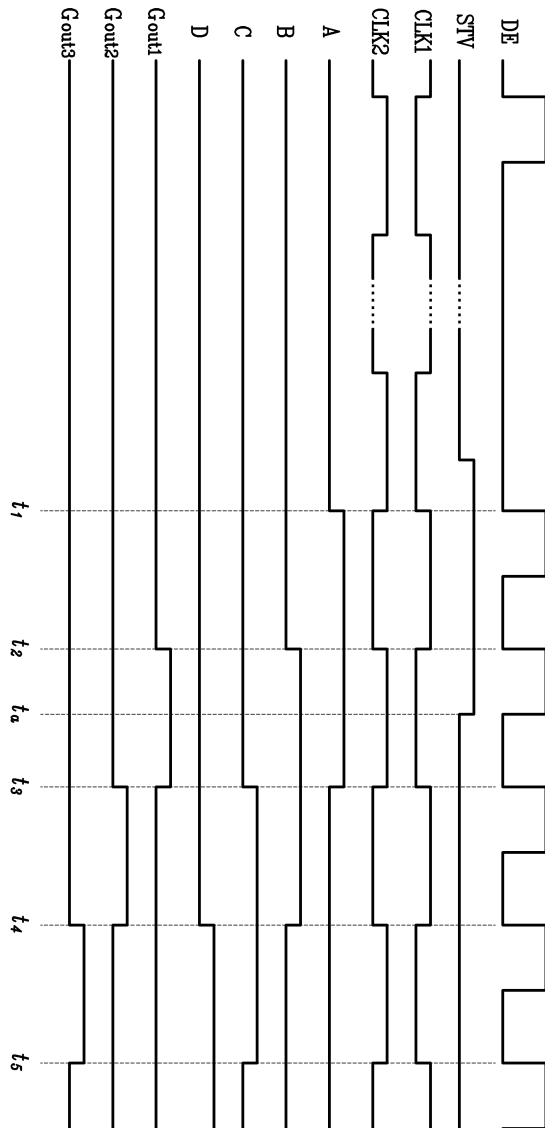
도면4



도면5



도면6



专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR1020080060449A	公开(公告)日	2008-07-02
申请号	KR1020060134528	申请日	2006-12-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JOON HA 박준하 PARK TAE HYEONG 박태형 KIM CHEOL MIN 김철민 KIM IL GON 김일곤 LEE SO HYUN 이소현		
发明人	박준하 박태형 김철민 김일곤 이소현		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K19/0175		
CPC分类号	G09G3/3677 G09G2300/0814 G09G2300/0823 G09G2310/0286 G09G2310/0291 G09G2310/08 H03K19/096 H03K19/20		
外部链接	Espacenet		

摘要(译)

该液晶显示器的驱动装置包括多级，它们连接成一排，逻辑单元连接到级之间的至少2个输出。并且每个级基于栅极驱动单元产生栅极控制信号，产生栅极信号视频数据和输入控制信号包括连接到第一个三态缓冲器的反相器输出中的输入，以及第一个三态缓冲器和反相器以及输入和输出是相应的连接的第二三态缓冲器。并且第二三态缓冲器包括作为第一p型晶体管的反相器的输出中的每个控制端子和连接至少两个的两个或更多个第一N型晶体管。利用每条栅极线，可以特别容易地授权偶数栅极信号输出。液晶显示器，栅极驱动单元，移位寄存器，级，逻辑单元，三态缓冲器，逆变器。

