



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0042442  
(43) 공개일자 2008년05월15일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-0110896

(22) 출원일자 2006년11월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김용범

경기 용인시 기흥구 신갈동 한신이매진아파트 10  
2동 1603호

(74) 대리인

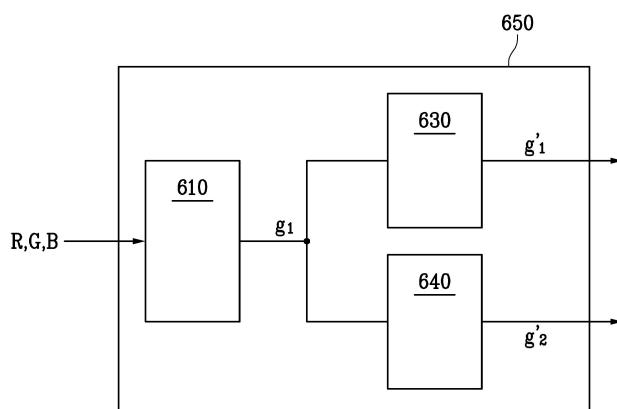
팬코리아특허법인

전체 청구항 수 : 총 8 항

(54) 액정 표시 장치

**(57) 요 약**

본 발명은 표시 장치에 관한 것으로서, 이 장치는 복수의 화소, 상기 화소에 게이트 신호를 공급하는 게이트 구동부, 제1 비트 수의 영상 신호를 정해진 감마 특성에 따라 제2 비트 수의 제1 보정 영상 신호 또는 제3 비트 수의 제2 보정 영상 신호를 생성하여 선택적으로 출력하는 신호 처리부, 그리고 상기 제1 또는 제2 보정 영상 신호를 데이터 전압으로 변환하여 상기 화소에 공급하는 데이터 구동부를 포함한다. 따라서 데이터 구동부의 사양에 따라 서로 다른 비트 수의 출력 영상 신호를 생성하면서 하나의 루프 테이블을 이용하여 ACC 함으로써 감마 왜곡 및 화질 열화를 방지할 수 있으며, 메모리를 줄일 수 있다.

**대표도** - 도3

## 특허청구의 범위

### 청구항 1

복수의 화소,

상기 화소에 게이트 신호를 공급하는 게이트 구동부,

제1 비트 수의 영상 신호를 정해진 감마 특성에 따라 제2 비트 수의 제1 보정 영상 신호 또는 제3 비트 수의 제2 보정 영상 신호를 생성하여 선택적으로 출력하는 신호 처리부, 그리고

상기 제1 또는 제2 보정 영상 신호를 데이터 전압으로 변환하여 상기 화소에 공급하는 데이터 구동부  
를 포함하는 액정 표시 장치.

### 청구항 2

제1항에서,

상기 신호 처리부는 상기 제1 및 제2 보정 영상 신호 중 상기 데이터 구동부의 처리 비트 수와 동일한 비트 수  
를 가지는 상기 제1 또는 제2 보정 영상 신호를 선택적으로 출력하는 액정 표시 장치.

### 청구항 3

제2항에서,

상기 신호 처리부는 상기 영상 신호에 대응하여 제4 비트 수의 색 보정 영상 신호를 기억하는 루프 테이블을 포  
함하는 액정 표시 장치.

### 청구항 4

제3항에서,

상기 신호 처리부는 상기 제4 비트 수의 색 보정 영상 신호를 상기 제2 비트 수의 제1 보정 영상 신호로 변환하  
는 제1 디더링부, 그리고

상기 제4 비트 수의 색 보정 영상 신호를 상기 제3 비트 수의 제2 보정 영상 신호로 변환하는 제2 디더링부  
를 포함하는  
액정 표시 장치.

### 청구항 5

제4항에서,

상기 제1 및 제2 디더링부가 디더링하는 비트 수는 서로 다른 액정 표시 장치.

### 청구항 6

제5항에서,

상기 제2 디더링부는 상기 제2 디더링부의 디더링하는 비트 수와 상기 보정 영상 신호의 비트 수의 합이 상기  
색 보정 영상 신호의 비트 수와 같도록 상기 색 보정 영상 신호의 하위 비트 데이터를 버려 입력받는 액정 표시  
장치.

### 청구항 7

제3항에서,

상기 신호 처리부는

상기 색 보정 영상 신호를 공급받아 제5 비트 수의 제1 보정 영상 신호용 비트 조절 신호 및 상기 제5 비트 수  
의 제2 보정 영상 신호용 비트 조절 신호를 각각 생성하는 비트 수 조절부, 그리고

상기 제1 및 제2 보정 영상 신호용 비트 조절 신호를 상기 제1 및 제2 보정 영상 신호로 각각 변환하는 디더링부

를 포함하는

액정 표시 장치.

## 청구항 8

제7항에서,

상기 비트 수 조절부는

제4 비트 수와 제5 비트 수의 차만큼 상기 색 보정 영상 신호의 하위 비트에 0을 부가하여 상기 제1 보정 영상 신호용 비트 조절 신호를 생성하고,

제4 비트 수와 제4 비트 수의 차에 대응하여 상기 색 보정 영상 신호의 상위 비트에 0을 부가하여 상기 제2 보정 영상 신호용 비트 조절 신호를 생성하는

액정 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<6>

본 발명은 액정 표시 장치에 관한 것이다.

<7>

일반적으로 능동형 평판 표시 장치에서는 행렬 형태로 배열된 복수의 화소가 행렬 형태로 배열되며, 주어진 영상 정보에 따라 각 화소의 휘도를 제어함으로써 영상을 표시한다.

<8>

이중 액정 표시 장치는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성 (dielectric anisotropy)을 갖는 액정층을 포함하며, 액정층에 전기장을 인가하고 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

<9>

현재의 액정 표시 장치는 R, G, B 각각의 화소의 전기 광학적 특성이 분명히 다름에도 불구하고, 전기 광학적 특성이 동일하다는 가정 하에 전기적인 신호를 동일하게 사용한다. 따라서 실제로 R, G, B의 감마 특성을 독립적으로 측정해 보면 하나의 곡선으로 일치하지 않는다. 이러한 결과로 인하여 계조 별 색감이 일정하지 않거나 한 쪽으로 심하게 쏠리는 경우가 있게 된다.

<10>

예를 들어 PVA 모드의 액정 표시 장치에서는 일반적으로 밝은 계조에서는 R 성분이 많으며 어두운 계조에서는 B 성분이 많다. 이로 인해 임의의 색상을 표시할 때 어두운 계조로 갈수록 푸르게 보이는 문제가 발생하며, 만일 사람의 얼굴을 표시하는 경우에는 푸른색 계통의 색감이 가미되므로 차가운 색감을 나타내는 문제점이 있다.

<11>

이는 계조 표현 시 계조 레벨의 중감과는 무관하게 색온도 특성을 가져야 하지만 어두운 레벨 쪽으로 갈수록 색온도가 급격히 상승하여, B 성분이 강하게 나타나기 때문이다.

#### 발명이 이루고자 하는 기술적 과제

<12>

이러한 문제점을 해결하기 위하여 R, G, B 각각의 감마 곡선을 독립적으로 변형시켜서 적응형 색 보정 (adaptive color correction, 이하 ACC라 함)를 실시한 영상 신호를 데이터 구동부로 출력하는 액정 표시 장치가 제공되었다.

<13>

한편, 고객의 요구 사항이 다양해지고 고사양화됨에 따라 서로 다른 비트 수의 영상 신호를 처리하는 다양한 데이터 구동부가 등장하고 있다.

<14>

따라서 본 발명이 이루고자 하는 기술적 과제는 ACC를 수행한 영상 신호를 데이터 구동부의 사양에 따라 비트 수를 조절하여 출력할 수 있는 액정 표시 장치를 제공하는 것이다.

## 발명의 구성 및 작용

&lt;15&gt;

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 표시 장치는 복수의 화소, 상기 화소에 게이트 신호를 공급하는 게이트 구동부, 제1 비트 수의 영상 신호를 정해진 감마 특성에 따라 제2 비트 수의 제1 보정 영상 신호 또는 제3 비트 수의 제2 보정 영상 신호를 생성하여 선택적으로 출력하는 신호 처리부, 그리고 상기 제1 또는 제2 보정 영상 신호를 데이터 전압으로 변환하여 상기 화소에 공급하는 데이터 구동부를 포함한다.

&lt;16&gt;

상기 신호 처리부는 상기 제1 및 제2 보정 영상 신호 중 상기 데이터 구동부의 처리 비트 수와 동일한 비트 수를 가지는 상기 제1 또는 제2 보정 영상 신호를 선택적으로 출력할 수 있다.

&lt;17&gt;

상기 신호 처리부는 상기 영상 신호에 대응하여 제4 비트 수의 색 보정 영상 신호를 기억하는 룩업 테이블을 포함할 수 있다.

&lt;18&gt;

상기 신호 처리부는 상기 제4 비트 수의 색 보정 영상 신호를 상기 제2 비트 수의 제1 보정 영상 신호로 변환하는 제1 디더링부, 그리고 상기 제4 비트 수의 색 보정 영상 신호를 상기 제3 비트 수의 제2 보정 영상 신호로 변환하는 제2 디더링부를 포함할 수 있다.

&lt;19&gt;

상기 제1 및 제2 디더링부가 디더링하는 비트 수는 서로 다를 수 있다.

&lt;20&gt;

상기 제2 디더링부는 상기 제2 디더링부의 디더링하는 비트 수와 상기 보정 영상 신호의 비트 수의 합이 상기 색 보정 영상 신호의 비트 수와 같도록 상기 색 보정 영상 신호의 하위 비트 데이터를 버려 입력 받을 수 있다.

&lt;21&gt;

상기 신호 처리부는 상기 색 보정 영상 신호를 공급받아 제5 비트 수의 제1 보정 영상 신호용 비트 조절 신호 및 상기 제5 비트 수의 제2 보정 영상 신호용 비트 조절 신호를 각각 생성하는 비트 수 조절부, 그리고 상기 제1 및 제2 보정 영상 신호용 비트 조절 신호를 상기 제1 및 제2 보정 영상 신호로 각각 변환하는 디더링부를 포함할 수 있다

&lt;22&gt;

상기 비트 수 조절부는 제4 비트 수와 제5 비트 수의 차만큼 상기 색 보정 영상 신호의 하위 비트에 0을 부가하여 상기 제1 보정 영상 신호용 비트 조절 신호를 생성하고, 제4 비트 수와 제4 비트 수의 차에 대응하여 상기 색 보정 영상 신호의 상위 비트에 0을 부가하여 상기 제2 보정 영상 신호용 비트 조절 신호를 생성할 수 있다.

&lt;23&gt;

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

&lt;24&gt;

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

&lt;25&gt;

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.

&lt;26&gt;

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

&lt;27&gt;

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선( $G_1-G_n$ ,  $D_1-D_m$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

&lt;28&gt;

신호선( $G_1-G_n$ ,  $D_1-D_m$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_1-G_n$ )과 데이터 전압을 전달하는 복수의 데이터선( $D_1-D_m$ )을 포함한다. 게이트선( $G_1-G_n$ )은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선( $D_1-D_m$ )은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

&lt;29&gt;

각 화소(PX), 예를 들면 i번째( $i=1, 2, \dots, n$ ) 게이트선( $G_i$ )과 j번째( $j=1, 2, \dots, m$ ) 데이터선( $D_j$ )에 연결된 화

소(PX)는 신호선( $G_i$ ,  $D_j$ )에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

<30> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선( $G_i$ )과 연결되어 있고, 입력 단자는 데이터선( $D_j$ )과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다. 박막 트랜지스터는 다결정 규소나 비정질 규소를 포함할 수 있다.

<31> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

<32> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

<33> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이를 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 둘 수도 있다.

<34> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

<35> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별의 계조 전압 집합을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다. 계조 전압 생성부(800)가 생성하는 한 별의 계조 전압 집합 내에 들어 있는 계조 전압의 수효는 액정 표시 장치가 표시 할 수 있는 계조의 수효와 동일할 수 있다.

<36> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1$ - $D_m$ )과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선( $D_1$ - $D_m$ )에 인가한다.

<37> 게이트 구동부(400)는 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트 선( $G_1$ - $G_n$ )에 인가한다.

<38> 신호 제어부(600)는 게이트 구동부(400), 데이터 구동부(500) 및 조명부(900) 등을 제어하며, 입력 영상 신호( $R$ ,  $G$ ,  $B$ )( $R$ ,  $G$ ,  $B$ )를 처리하는 신호 처리부(650)를 포함한다. 이러한 신호 처리부(650)는 뒤에서 상세히 설명 한다.

<39> 이러한 구동 장치(400, 500, 600, 800) 각각은 신호선( $G_1$ - $G_n$ ,  $D_1$ - $D_m$ ) 및 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 접적될 수도 있다. 이와는 달리 이들 구동 장치(400, 500, 600, 800)가 적어도 하나의 접적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 접적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

<40> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

<41> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호( $R$ ,  $G$ ,  $B$ )( $R$ ,  $G$ ,  $B$ ) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호( $R$ ,  $G$ ,  $B$ )( $R$ ,  $G$ ,  $B$ )는 각 화소(PX)의 회로

(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면  $1024(=2^{10})$ ,  $256(=2^8)$  또는  $64(=2^6)$  개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

<42> 신호 제어부(600)는 입력 영상 신호(R, G, B)(R, G, B)와 입력 제어 신호를 기초로 출력 영상 신호(DAT)를 생성하여 적절히 처리하고, 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2) 및 조명 제어 신호(CONT3) 등을 생성한다. 그런 다음, 신호 제어부(600)는 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 출력 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

<43> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

<44> 데이터 제어 신호(CONT2)는 한 블록의 화소(PX)에 대한 출력 영상 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 액정 표시판 조립체(300)에 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

<45> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 블록의 화소(PX)에 대한 디지털 출력 영상 신호(DAT)를 수신하고, 각 디지털 출력 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 출력 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선( $D_1-D_m$ )에 인가한다.

<46> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선( $G_1-G_n$ )에 인가하여 이 게이트선( $G_1-G_n$ )에 연결된 스위칭 소자(Q)를 턴 온시킨다. 그러면 데이터선( $D_1-D_m$ )에 인가된 데이터 전압이 턴 온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.

<47> 화소(PX)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 액정 축전기(Cl<sub>c</sub>)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.

<48> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선( $G_1-G_n$ )에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압을 인가하여 한 프레임(frame)의 영상을 표시한다.

<49> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이 때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

<50> 이하에서는 도 3 및 도 4를 참조하여 본 발명의 한 실시예에 따른 신호 처리부(650)에 대해 상세히 설명한다.

<51> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 신호 처리부의 블록도이고, 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 ACC를 나타내는 그래프이다.

<52> 도 3을 참조하면, 본 발명의 한 실시예에 따른 신호 처리부는 색 보정부(610), 제1 디더링부(630) 및 제2 디더링부(640)를 포함한다.

<53> 신호 처리부(650)는 입력 영상 신호(R, G, B)를 ACC(accurate color capture)의 처리를 통하여 보정하여 서로 다른 비트 수의 제1 및 제2 보정 영상 신호(g<sub>1'</sub>, g<sub>2'</sub>)를 만들어내어 출력 영상 신호(DAT)로서 데이터 구동부(500)로 출력한다.

<54> 색 보정부(500)는 초기 기동 시 외부의 그래픽 제어기(도시하지 않음)로부터 제공되는 입력 영상 신호(R, G, B)에 대응하여 ACC 데이터를 생성하여 저장하고, 초기 기동 후 외부로부터 입력 영상 신호(R, G, B)가 입력됨에 따라 입력 영상 신호(R, G, B)에 대응하는 ACC 데이터(g<sub>1</sub>)를 출력한다.

- <55> 자세하게 설명하면, 색 보정부(610)는 액정 표시 장치의 초기 기동 시에, 외부로부터 각 색에 대한 입력 영상 신호(R, G, B)를 제공받아 ACC 데이터(g1)로 변환하여 루업 테이블(도시하지 않음)에 저장한다.
- <56> 또한 색 보정부(610)는 액정 표시 장치의 초기 기동 이후에 외부로부터 각 색의 입력 영상 신호(R, G, B)가 입력됨에 따라 각 입력 영상 신호(R, G, B)에 대응하는 ACC 데이터(g1)를 출력한다. 이때 디더링 전의 ACC 데이터(g1)의 비트 수는 입력 영상 신호(R, G, B)의 비트 수와 동일할 수도 있고, 입력 영상 신호(R, G, B)의 비트 수보다 클 수도 있다.
- <57> 도 4는 본 발명의 한 실시예에 따라 청색 감마 곡선(Blue gamma curve)을 임의의 목표 감마 곡선(Target gamma curve)으로 변화시키는 방법의 개념을 설명한다.
- <58> 도 4에서와 같이, 청색 감마 곡선을 목표 감마 곡선으로 바꾸고자 할 때, 예를 들어 130 계조에 상응하는 휘도를 목표 감마 곡선으로 맞추기 위해서는 다음의 순서를 따른다.
- <59> 먼저, 입력 영상 신호(R, G, B), 예를 들어, 130 계조 정보를 갖는 청색 입력 영상 신호(B)가 입력됨에 따라 130 계조에 해당하는 목표 감마 곡선의 휘도를 찾는다.
- <60> 이어, 목표 감마 곡선 상에서 찾아진 해당 휘도에 대응하는 원래의 청색 감마 곡선의 대응점을 찾는다. 만일 청색 감마 곡선상에서 대응점(즉, 휘도)이 존재하지 않은 경우에는 소정의 내삽(interpolation) 과정을 통해 청색 감마 곡선의 휘도 값을 찾는다. 이어, 해당 대응점의 계조 값을 찾는다.
- <61> 도 4에서 보면 상기한 순서대로 찾은 값은 128.5가 된다.
- <62> 색 보정부(610)의 루업 테이블(도시하지 않음)은 입력 영상 신호(R, G, B)의 각 계조에 상응하는 ACC 데이터(g1)를 기억하고 있으며, 이러한 ACC 데이터(g1)는 입력 영상 신호(R, G, B)보다 더 높은 비트 수의 디지털 신호일 수 있다. 즉, 입력 영상 신호(R, G, B)가 8비트의 디지털 신호인 경우 그에 상응하는 ACC 데이터(g1)는 128.5로서 8비트 이상의 비트 수를 가진다. 물론 입력되는 8비트보다 더 많은 비트로 변환하면 색 보정 효과가 월등해짐은 당연히 자명하다. 루업 테이블(도시하지 않음)이 기억하고 있는 ACC 데이터(g1)가 9비트인 경우 516 계조를 표현할 수 있으며, 10비트인 경우 1024 계조를 표현할 수 있다.
- <63> 도 4에서는 소정의 목표 감마 곡선을 설정하여 청색 감마 곡선을 변화시키는 것을 설명하였으나, 녹색 감마 곡선을 목표 감마 곡선으로 설정하고, 설정된 녹색 감마 곡선을 기준으로 청색 감마 곡선을 일치(또는 수렴)시킬 수도 있을 것이다.
- <64> 또한, 이와 같은 방법을 이용하여 8비트를 갖는 적색 감마 곡선도 목표 감마 곡선 또는 설정된 녹색 감마 곡선에 연동하여 8비트보다 높은 비트 수의 대응 값을 찾아낼 수 있음을 자명하다.
- <65> 한편, 제1 디더링부(630) 및 제2 디더링부(640)는 해당 입력 영상 신호(R, G, B)에 대응하는 ACC 데이터(g1)를 공급받아 비트 수를 조절하여 데이터 구동부(500)가 처리할 수 있는 보정 영상 신호(g1', g2')로 변환한다.
- <66> 이때, 제1 디더링부(630)와 제2 디더링부(640)는 디더링하는 비트 수가 다르며 따라서 출력하는 각 보정 영상 신호(g1', g2')의 비트 수가 서로 다르다.
- <67> 예를 들어, 입력 영상 신호(R, G, B)가 8비트의 디지털 신호이고, ACC 데이터(g1)가 10비트의 디지털 신호인 경우, 제1 디더링부(630)는 ACC 데이터(g1)의 하위 2비트를 디더링하여 입력 영상 신호(R, G, B)와 같은 비트 수인 8비트의 제1 보정 영상 신호(g1')를 생성한다.
- <68> 한편, 제2 디더링부(640)는 ACC 데이터(g1)의 하위 1비트를 버린 디지털 신호를 입력받아 하위 3비트를 디더링하여 입력 영상 신호(R, G, B)보다 작은 6비트의 제2 보정 영상 신호(g2')를 생성할 수 있다.
- <69> 이하에서는 제1 및 제2 디더링부(630, 640)의 하위 3비트 디더링 처리를 예를 들어 설명한다.
- <70> 제1 및 제2 디더링부(630, 640)는 각 FRC 데이터 패턴 집합을 기억하는 루업 테이블(도시하지 않음)을 포함하며, 각 FRC 데이터 패턴 집합에 속하는 FRC 데이터 패턴 각각은 ACC 데이터(g1)의 하위 3비트 값과 프레임 번호에 따라 정해지는데, 연속하는 여덟 개의 프레임에 대해서, 하위 3비트 값이 (001, 010, 011, 100, 101, 110, 111)에 대해서 한 개씩 총 56개의 FRC 데이터 패턴이 존재한다. 하위 3비트가 (000)일 때의 데이터 패턴은 따로 정해져 있지 않다.
- <71> 각 FRC 데이터 패턴에서 공간적 배열의 기본 단위는 2x2 데이터 행렬이고 이에 대응하는 2x2 화소 행렬을 기본 단위로 하여 FRC 데이터 패턴을 반복적으로 적용함을 뜻한다. 각 FRC 데이터 패턴의 데이터 원소는 "1" 또

는 "0"의 값을 갖는다.

<72> 제1 및 제2 디더링부(630, 640)는 어떤 화소의 ACC 데이터(g1)에 대해서, ACC 데이터(g1)의 하위 3 비트의 값 및 프레임 번호에 따라 복수의 FRC 데이터 패턴 중 하나를 선택하고 FRC 데이터 패턴의 4개의 데이터 원소 중에서 그 화소의 위치에 해당하는 데이터 원소의 값을 읽어 이에 기초하여 보정 영상 신호(g1', g2')를 결정한다.

<73> 구체적으로, 선택된 위치의 데이터 원소의 값이 "0"일 경우, 제1 및 제2 디더링부(630, 640)는 ACC 데이터(g1)의 상위 8 또는 6 비트에 의해 정해진 계조의 값을 최종 계조로 정한다. 하지만, 해당 위치에 기억된 데이터 원소의 값이 "1"일 경우, 제1 및 제2 디더링부는 상위 8 또는 6 비트의 정해진 계조의 값에 "1"을 더한 값을 최종 계조로 정한다.

<74> 단, ACC 데이터(g1)의 하위 3비트가 (000)일 경우에 제1 및 제2 디더링부(630, 640)는 기억된 FRC 데이터 패턴 쌍을 읽지 않고 바로 ACC 데이터의 상위 8 또는 6 비트에 의해 정해진 계조의 값을 최종 계조로 정한다.

<75> 이와 같이, 여덟 개의 프레임 중 네 개의 프레임에서, FRC 데이터 패턴의 4개의 데이터 원소 중 "0"과 "1"의 값을 갖는 개수가 하위 3 비트의 값에 따라 달라지는 규칙은 바로 디더링(dithering)이라고도 하는 공간적 프레임 레이트 제어의 원칙에 따른 것이다.

<76> 또한 여덟 개의 프레임 중 네 개의 프레임에서, 각각의 하위 3비트 값에 대하여 여덟 개의 프레임 중 네 개의 프레임에서 어느 주어진 위치에 있는 하나의 데이터 원소를 보면, 하위 3 비트 값에 따라 "0" 또는 "1"의 값을 가지는 회수가 정해지는데, 이와 같은 규칙은 바로 시각적 프레임 레이트 제어의 규칙에 다른 것이다.

<77> 이러한 제1 및 제2 디더링부(630, 640)는 데이터 구동부(500)가 처리 가능한 비트 수에 따라 선택적으로 동작하여 해당하는 비트 수의 보정 영상 신호(g1', g2')를 생성한다.

<78> 신호 제어부(600)는 이 최종 계조에 해당하는 8비트의 제1 보정 영상 신호(g1') 또는 6비트의 제2 보정 영상 신호(g2')를 출력 영상 신호(DAT)로서 데이터 구동부(500)에 출력한다.

<79> 따라서 하나의 루프 테이블을 이용하여 ACC를 실시하면서 데이터 구동부(500)의 처리 비트 수에 맞는 출력 영상 신호(DAT)를 생성할 수 있다. 따라서 감마 왜곡 및 화질 열화를 해소하면서 다양한 데이터 구동부(500)에 적용 가능하다.

<80> 이하에서는 도 5를 참조하여 본 발명의 다른 실시예에 따른 신호 처리부를 설명한다.

<81> 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치에서 신호 처리부의 블록도이다.

<82> 도 5를 참조하면, 신호 처리부(650)는 색 보정부(610), 비트 수 조절부(620) 및 디더링부(640)를 포함한다.

<83> 색 보정부(610)의 설명은 도 3과 동일하므로 생략한다.

<84> 비트 수 조절부(620)는 색 보정부(610)로부터 10비트의 ACC 데이터(g3)를 공급받아 데이터 구동부(500)의 처리 비트 수에 따라 서로 다른 보정 ACC 데이터(g3')를 출력한다.

<85> 이러한 비트 수 조절부(620)는 후행하는 디더링부(640)에서 처리된 보정 영상 신호(g4', g4'')가 ACC 데이터(g3)의 상위 비트 데이터로 이루어지도록 비트 수를 조절하여 보정 ACC 데이터(g3')를 생성한다.

<86> 예를 들어, 데이터 구동부(500)의 처리 비트 수가 8비트이고, ACC 데이터(g3)가 10비트이고, 디더링부(640)가 3비트를 디더링하는 경우, 비트 수 조절부(620)는 ACC 데이터(g3)의 하위 비트에 0을 더하여 비트 수를 1만큼 상위로 시프트시킨다. 따라서 출력되는 보정 ACC 데이터(g3')는 11비트를 가지며 디더링부(640)는 이를 공급받아 하위 3비트를 디더링하여 상위 8비트만의 제1 보정 영상 신호(g4')를 출력한다.

<87> 다음으로, 데이터 구동부(500)의 처리 비트 수가 6비트인 경우, 비트 수 조절부(620)는 10 비트의 ACC 데이터(g3)의 하위 1 비트를 버림하고, 상위 2비트에 0을 더하여 비트 수를 2만큼 하위로 시프트시킨다. 따라서 출력되는 보정 ACC 데이터(g3')는 11비트를 가지며 디더링부(640)는 이를 공급받아 하위 3비트를 디더링하여 상위 8비트만의 제2 보정 영상 신호(g4'')를 출력한다. 이때 8비트의 제2 보정 영상 신호(g4'')는 그 상위 2비트가 0을 가지므로 실질적으로 6비트의 디지털 신호를 가진다.

<88> 따라서 하나의 디더링부(640)만으로도 서로 다른 비트 수를 가지는 출력 영상 신호(DAT)의 생성이 가능하다.

## 발명의 효과

<89> 이와 같이, 본 발명에 따르면 테이터 구동부의 사양에 따라 서로 다른 비트 수의 출력 영상 신호를 생성하면서 하나의 루프 테이블을 이용하여 ACC 함으로써 감마 채곡 및 화질 열화를 방지할 수 있으며, 메모리를 줄일 수 있다.

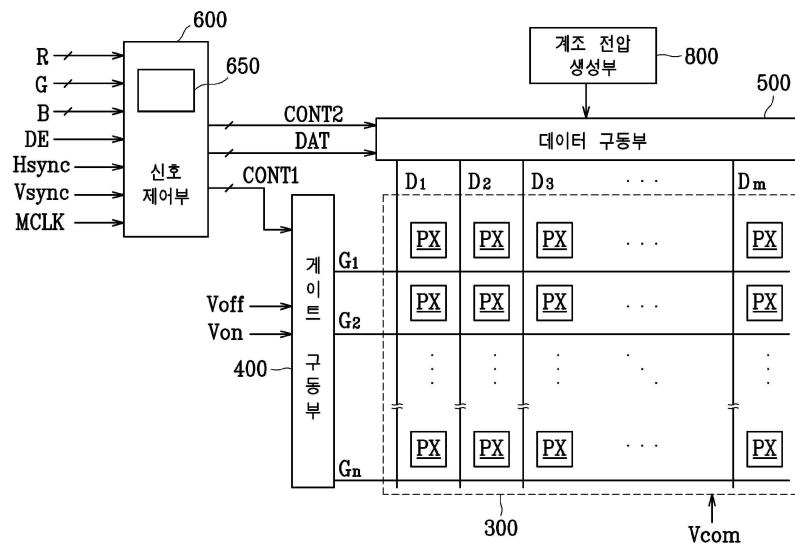
<90> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 도면의 간단한 설명

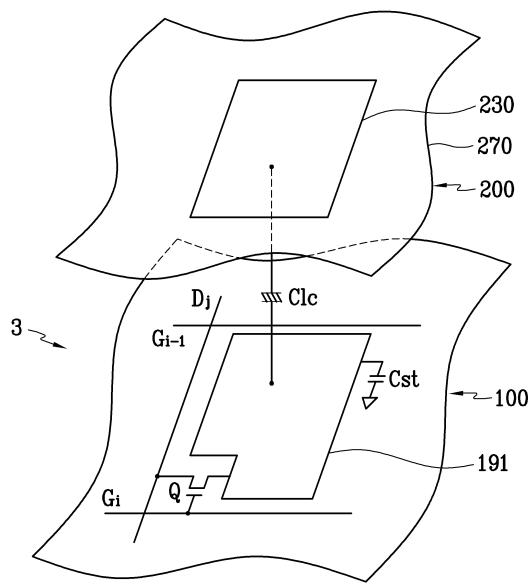
- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- <2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 회로도이다.
- <3> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 신호 처리부의 블록도이다.
- <4> 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 ACC를 나타내는 그래프이다.
- <5> 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치에서 신호 처리부의 블록도이다.

### 도면

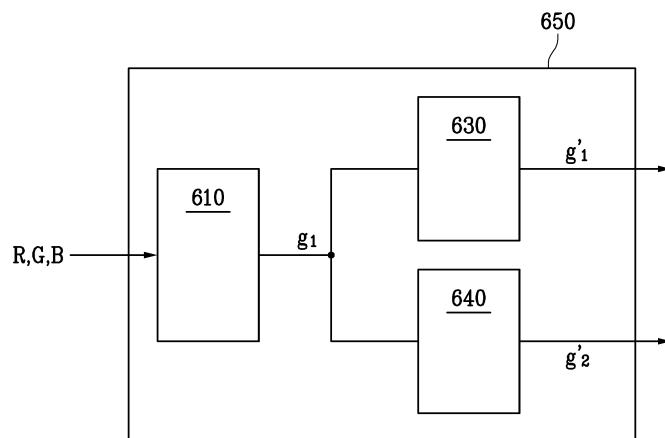
#### 도면1



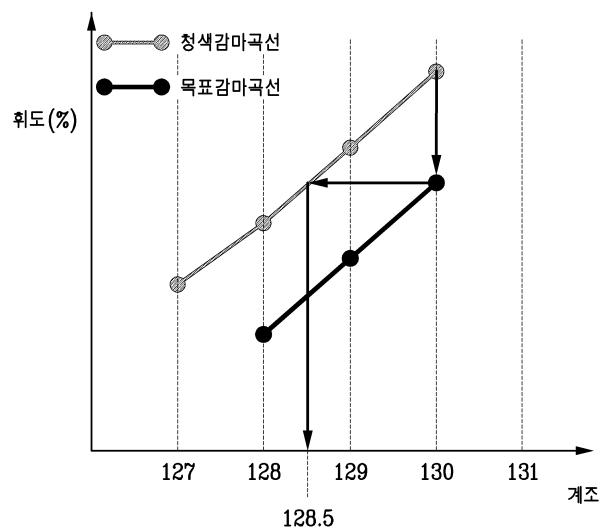
도면2



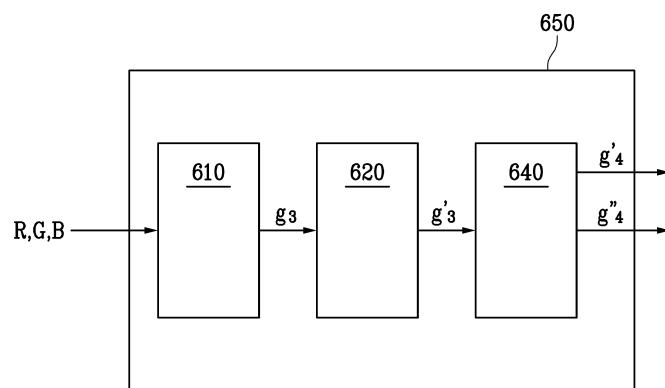
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020080042442A</a>	公开(公告)日	2008-05-15
申请号	KR1020060110896	申请日	2006-11-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM YONG BUM		
发明人	KIM, YONG BUM		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/133 G09G3/2003 G09G3/3648 G09G3/3685		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明涉及显示装置，其包括该装置为多个像素，用于向像素提供栅极信号的栅极驱动单元，信号处理器产生第二位数的第一校正图像信号的第二校正图像信号或者根据确定的伽马特性的第三位数并选择性地输出第一位数的图像信号，以及将第一或第二校正图像信号转换为数据电压并提供像素的数据驱动器。因此，根据数据驱动器的规范，通过在创建不同比特数的输出视频信号的同时使用具有ACC的一个查找表，可以防止伽马失真和图像劣化。并且可以减少记忆。液晶显示器，ACC和抖动。

