

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/1368

(11) 공개번호 10-2005-0069096
(43) 공개일자 2005년07월05일

(21) 출원번호 10-2003-0100977
(22) 출원일자 2003년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황용한
대구광역시서구내당4동256-27번지

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정표시장치의 액티브 패턴 구조

요약

본 발명은 액정표시장치의 액티브 패턴에 관한 것으로, 제 1 소스/드레인 메탈 라인, 제 2 소스/드레인 메탈 라인 및 그 사이에 위치한 제 1 게이트 영역 메탈 라인 하부에 일체형으로 형성되는 제 1 액티브 패턴; 제 2 소스/드레인 메탈 라인, 제 3 소스/드레인 메탈 라인 및 그 사이에 위치한 제 2 게이트 영역 메탈 라인 하부에 분리되어 형성되는 제 2 액티브 패턴으로 이루어지는 것을 특징으로 한다. 상기 제 1 액티브 패턴은 P형 TFT 영역에 형성되고, 상기 제 2 액티브 패턴은 N형 TFT 영역에 형성되는 것을 특징으로 한다. 그리고, 상기 제 2 액티브 패턴은 제 2 게이트 메탈 라인이 통과하는 채널 부분만 분리되는 것을 특징으로 한다.

대표도

도 3

색인어

IPS, 3마스크, 리프트-오프

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 평면도.

도 2a 내지 도 2c는 종래의 액정표시장치의 액티브 영역의 패턴을 나타내는 도면.

도 3은 본 발명의 제 1 실시예에 따른 액티브 영역의 패턴을 나타내는 도면.

도 4는 본 발명의 제 2 실시예에 따른 액티브 영역의 패턴을 나타내는 도면.

도면의 주요부분에 대한 부호의 간단한 설명

200, 210, 220: 소스/드레인 메탈 라인

230,240: 게이트영역 메탈 라인

245,250,260,270: 액티브 영역

280: 채널부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 액티브 영역 패턴 구조에 관한 것으로 특히, 회로 소자의 타입별로 다른 구조를 가지는 액티브 영역 패턴 구조에 관한 것이다.

최근, 계속해서 주목받고 있는 평판표시장자 중 하나인 액정표시장자는 액체의 유동성과 결정의 광학적 성질을 겸비하는 액정에 전계를 가하여 광학적 이방성을 변화시키는 소자로서, 종래 음극선관(Cathode Ray Tube)에 비해 소비전력이 낮고 부피가 작으며 대형화 및 고정세가 가능하여 널리 사용하고 있다. 이러한 액정표시장자는 상부기판인 컬러필터(color filter) 기판과 하부기판인 박막트랜지스터(TFT:Thin Film Transistor) 기판이 서로 대향되도록 배치되고, 그 사이에 유전 이방성을 갖는 액정이 형성되는 구조를 가져, 화소 선택용 어드레스(address) 배선을 통해 수십 만개의 화소에 부가된 TFT를 스위칭 동작시켜 해당 화소에 전압을 인가하고, 커패시터에 의해 다음 어드레스까지 해당 화소에 충전된 전압을 유지시켜 주는 방식으로 구동된다.

액정표시장자는 전술한 바와 같이, TFT 기판과 컬러필터 기판이 액정층을 사이에 두고 대향 합착되는 바, 상기 TFT기판에는 도 1에 도시된 바와 같이, 주사신호를 전달하는 복수개의 게이트 배선(12)과, 상기 게이트 배선(12)에 수직 교차하여 서브 화소를 정의하면서 영상신호를 전달하는 데이터 배선(15)과, 상기 게이트 배선(12) 및 데이터 배선(15)의 교차 지점에 형성되는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)에 전기적으로 연결되는 화소전극(17)이 형성되어 있다. 이 때, 상기 박막트랜지스터는 상기 게이트 배선(12)에서 분기된 게이트 전극(12a)과, 상기 게이트 전극(12a) 상에 형성된 반도체층(14)과, 상기 반도체층(14) 상에서 상기 데이터 배선(15)에서 분기된 소스전극(15a)과, 상기 반도체층(14) 상에서 상기 소스 전극(15a)과 일정 간격 떨어진 드레인 전극(15b)을 포함하여 구성된다. 상기 각종 패턴은 사진식각기술, 프린팅 기술 등 다양한 기술로 형성할 수 있다.

이하에서 종래기술에 따른 액티브 영역의 패턴 구조를 첨부된 도면을 참조하여 설명하면 다음과 같다. 도 2a 내지 도 2c는 종래의 액정표시장치의 액티브 영역의 패턴을 나타내는 도면이다.

먼저 도 2a는 일체형 액티브 패턴을 나타내는 도면이다.

도시한 바와 같이, 액티브 영역(103)의 가장자리에는 소스/드레인 메탈 라인(100)이 길게 늘어서 있다. 상기 소스/드레인 메탈라인(100) 사이에는 게이트 영역 메탈 라인(120)이 위치한다. 그리고, 상기 소스/드레인 메탈라인(100)과 게이트 영역 메탈 라인(120)의 폭이 일치하는 영역을 표시한 부분이 액티브 영역(130)이 된다.

또한, 동일한 액정표시장치의 패널 상에서 회로를 구성할 때, 상기 일체형 액티브 패턴에서는 액티브 영역의 패턴이 상기 소스/드레인 메탈라인(100)과 그 사이에 위치한 게이트 영역 메탈라인이 구분되지 않고 연결된다.

한편, 상기 일체형 액티브 패턴의 너비 대 길이 비율은 일반적으로 200/10 정도이다.

도 2b는 분리형 액티브 패턴을 나타내는 도면이다.

도시한 바와 같이, 액티브 영역(140)의 가장자리에는 소스/드레인 메탈 라인이 길게 늘어서 있다. 상기 소스/드레인 메탈 라인(100) 사이에는 게이트 영역 메탈 라인(120)이 위치한다. 그리고, 상기 소스/드레인 메탈라인(100)과 게이트 영역 메탈 라인(120)의 폭이 일치하는 영역을 표시한 부분이 액티브 영역(140)이 된다.

상기 분리형 액티브 패턴에서는 너비 대 길이 비율이 50/10인 박막트랜지스터가 병렬로 4개가 연결된 형태를 띤다.

즉, 상기 일체형 액티브 패턴과 달리 액정표시장치의 액티브 패턴이 4개로 구분되어 형성된다.

도 2c는 반분리형 액티브 패턴을 나타내는 도면이다.

도시한 바와 같이, 액티브 영역(150)의 가장자리에는 소스/드레인 메탈 라인(100)이 길게 늘어서 있다. 상기 소스/드레인 메탈라인(100) 사이에는 게이트 영역 메탈 라인(120)이 위치한다. 그리고, 상기 소스/드레인 메탈라인(100)과 게이트 영역 메탈 라인(120)의 폭이 일치하는 영역을 표시한 부분이 액티브 영역이 된다.

상기 반분리형 액티브 패턴은 상기 분리형 액티브 패턴과 마찬가지로 너비 대 길이 비율이 50/10인 박막트랜지스터가 병렬로 4개가 연결되어 액티브 패턴이 4개로 구분되어 형성된다. 이때, 게이트 영역 메탈이 통과하는 반도체층의 채널 영역(170)은 액티브 패턴이 분리되지만, 소스/드레인 메탈 영역의 액티브 패턴은 분리되지 않고 일체형으로 연결된다.

이와 같이, 종래의 액정표시장치의 동일한 패널 상에 액티브 패턴을 구현할 때에는 소자의 타입에 관계없이 상기 일체형, 분리형 또는 반분리형 액티브 패턴 중 하나의 패턴으로만 형성한다. 그러나, 종래 기술과 같이 하나의 액티브 패턴으로만 구현하게 되면 각 소자의 타입에 따른 신뢰성을 확보하기 어려운 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 액정표시장치의 패널 상에서 소자의 타입별로 신뢰성을 유지하는 데 유리한 액티브 패턴을 적용함으로써 P 타입 및 N 타입 소자에 대하여 모두 신뢰성을 확보할 수 있는 액티브 패턴 구조를 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

상술한 바와 같은 목적을 달성하기 위한 본 발명의 액티브 패턴 구조는 제 1 소스/드레인 메탈 라인, 제 2 소스/드레인 메탈 라인 및 그 사이에 위치한 제 1 게이트 영역 메탈 라인 하부에 일체형으로 형성되는 제 1 액티브 패턴; 제 2 소스/드레인 메탈 라인, 제 3 소스/드레인 메탈 라인 및 그 사이에 위치한 제 2 게이트 영역 메탈 라인 하부에 분리되어 형성되는 제 2 액티브 패턴으로 이루어지는 것을 특징으로 한다.

상기 제 1 액티브 패턴은 P형 TFT 영역에 형성되는 것을 특징으로 한다.

상기 제 2 액티브 패턴은 N형 TFT 영역에 형성되는 것을 특징으로 한다.

상기 제 2 액티브 패턴은 제 2 게이트 메탈 라인이 통과하는 채널 부분만 분리되는 것을 특징으로 할 수도 있다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하에서, 본 발명의 바람직한 실시 예들을 도면을 참조하여 상세히 설명하기로 한다.

도 3은 본 발명에 따른 제 1 실시예를 나타내는 도면이다.

도시한 바와 같이, 제 1 소스/드레인 메탈 라인(200)과 제 2 소스/드레인 메탈 라인(210) 사이에 제 1 게이트 영역 메탈 라인(230)이 위치한다. 그리고, 상기 제 2 소스/드레인 메탈 라인(210)과 제 3 소스/드레인 메탈 라인(220) 사이에 제 2 게이트 영역 메탈 라인(245)이 형성된다. 도 3에서 상기 소스/드레인 메탈 라인과 게이트 영역 메탈 라인이 겹쳐지는 직사각형 영역으로 표시한 부분이 액티브 영역(245,250)이 된다. 상기 제 1, 2 소스/드레인 메탈 라인(200,210) 사이 구간에서는 일체형으로 액티브 패턴(245)이 형성된다.

상기 일체형 액티브 패턴 영역(240)에서는 액티브 영역의 패턴이 상기 소스/드레인 메탈라인(200,210)과 그 사이에 위치한 게이트 영역 메탈라인(230)이 구분되지 않고 연결되어 있다.

P 타입으로 액티브 영역을 구성할 때에는 상기와 같이 일체형으로 액티브 영역을 구현한다. 왜냐하면, P 타입에서는 소자의 신뢰성이 일체형으로 액티브 영역의 패턴을 구성해야 높아지기 때문이다.

예를 들어 P형 박막트랜지스터에 HDCS(High Drain Current Stress)를 주는 경우, 상기와 같이 일체형으로 액티브 패턴을 구성할 때, 상기 HDCS 전후의 P형 박막트랜지스터의 특성, 즉 플랫폼 전압(Flat band voltage), 쓰레스홀드 전압(Threshold voltage), s 팩터(Factor) 등의 변화가 적다.

한편, 상기 제 2, 3 소스/드레인 메탈 라인(210,220) 사이 구간에서는 분리형으로 액티브 패턴(250)이 형성된다. 이때, 상기 일체형 액티브 패턴 구간과 달리 액정표시장치의 액티브 패턴(250)이 2개로 구분되어 형성된다.

N 타입으로 액티브 영역을 구성할 때에는 상기와 같이 분리형으로 액티브 영역(250)을 구현한다. 왜냐하면, N 타입에서는 소자의 신뢰성이 분리형으로 액티브 영역의 패턴을 구성해야 높아지기 때문이다.

예를 들어 N형 박막트랜지스터에 HDCS(High Drain Current Stress)를 주는 경우, 상기와 같이 분리형으로 액티브 패턴을 구성할 때, 상기 HDCS 전후의 N형 박막트랜지스터의 특성, 즉 플랫폼 전압(Flat band voltage), 쓰레스홀드 전압(Threshold voltage), s 팩터(Factor) 등의 변화가 적다.

이와 같이, 액정표시장치의 동일한 패널 상에서 CMOS(Complementary Metal Oxide Semiconductor) 회로를 구성할 때, 소자의 타입별로 일체형과 분리형의 액티브 영역(240, 250) 패턴을 혼합하여 형성함으로써, 각 소자의 신뢰성을 향상시킨다.

도 4는 본 발명에 따른 제 2 실시예를 나타내는 도면이다.

도시한 바와 같이, 각 소스/드레인 메탈 라인(200,210,220) 사이에는 분기된 게이트 영역 메탈 라인(230,240)이 각각 위치한다. 도면에서 상기 소스/드레인 메탈 라인과 게이트 영역 메탈 라인이 겹쳐지는 직사각형 영역으로 표시한 부분이 액티브 영역(260,270)이 된다. 상기 제 1, 2 소스/드레인 메탈 라인(200,210) 사이 구간에서는 일체형으로 액티브 패턴(260)이 형성된다.

따라서, 상기 일체형 액티브 패턴 영역(260)에서는 액티브 영역의 패턴이 상기 소스/드레인 메탈라인(200,210)과 그 사이에 위치한 게이트 영역 메탈라인(230)이 구분되지 않고 연결된다.

P 타입 소자로 액티브 영역을 구성할 때에는 상기와 같이 일체형으로 액티브 영역을 구현한다. 왜냐하면, P 타입에서는 일체형으로 액티브 영역의 패턴을 구성해야 소자의 신뢰성을 높일 수 있기 때문이다.

한편, 상기 제 2, 3 소스/드레인 메탈 라인(210,220) 사이 구간에서는 반분리형으로 액티브 패턴(270)이 형성된다. 상기 일체형 액티브 패턴 구간과 달리 액티브 패턴(270)이 2개로 구분되어 형성된다. 따라서, 게이트 영역 메탈(240)이 통과하는 반도체층의 채널(280) 영역은 액티브 패턴이 분리되지만, 소스/드레인 메탈 영역(210,220)의 액티브 패턴은 분리되지 않고 일체형으로 연결된다.

분리형 액티브 패턴과 마찬가지로, N 타입으로 액티브 영역을 구성할 때에는 상기와 같이 반분리형으로 액티브 영역(270)을 구현한다. 왜냐하면, N 타입에서는 반분리형으로 액티브 영역의 패턴을 구성하면 소자의 신뢰성이 높아질 수 있기 때문이다.

이와 같이, 액정표시장치의 동일한 패널 상에서 CMOS로 회로를 구성할 때, 소자의 타입별로 일체형과 반분리형의 액티브 영역 패턴을 혼합하여 형성함으로써, 각 소자의 신뢰성을 향상시킬 수 있다. 특히, 폴리-실리콘 TFT에서 글래스내에 내장된 CMOS회로 구성시에 소자의 타입별로 액티브 패턴형태를 구분하여 형성하는 편이 더욱 더 바람직하다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 액티브 영역의 패턴 구조는 패널 상에서 각 회로 소자의 타입에 적합한 액티브 패턴을 혼합하여 구성함으로써 각 회로 소자의 신뢰성을 확보할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

제 1 소스/드레인 메탈 라인, 제 2 소스/드레인 메탈 라인 및 그 사이에 위치한 제 1 게이트 영역 메탈 라인 하부에 일체형으로 형성되는 제 1 액티브 패턴;

제 2 소스/드레인 메탈 라인, 제 3 소스/드레인 메탈 라인 및 그 사이에 위치한 제 2 게이트 영역 메탈 라인 하부에 분리되어 형성되는 제 2 액티브 패턴으로 이루어지는 것을 특징으로 하는 액정표시장치의 액티브 패턴 구조.

청구항 2.

제 1항에 있어서,

상기 제 1 액티브 패턴은 P형 TFT 영역에 형성되는 것을 특징으로 하는 액정표시장치의 액티브 패턴 구조.

청구항 3.

제 1 항에 있어서,

상기 제 2 액티브 패턴은 N형 TFT 영역에 형성되는 것을 특징으로 하는 액정표시장치의 액티브 패턴 구조.

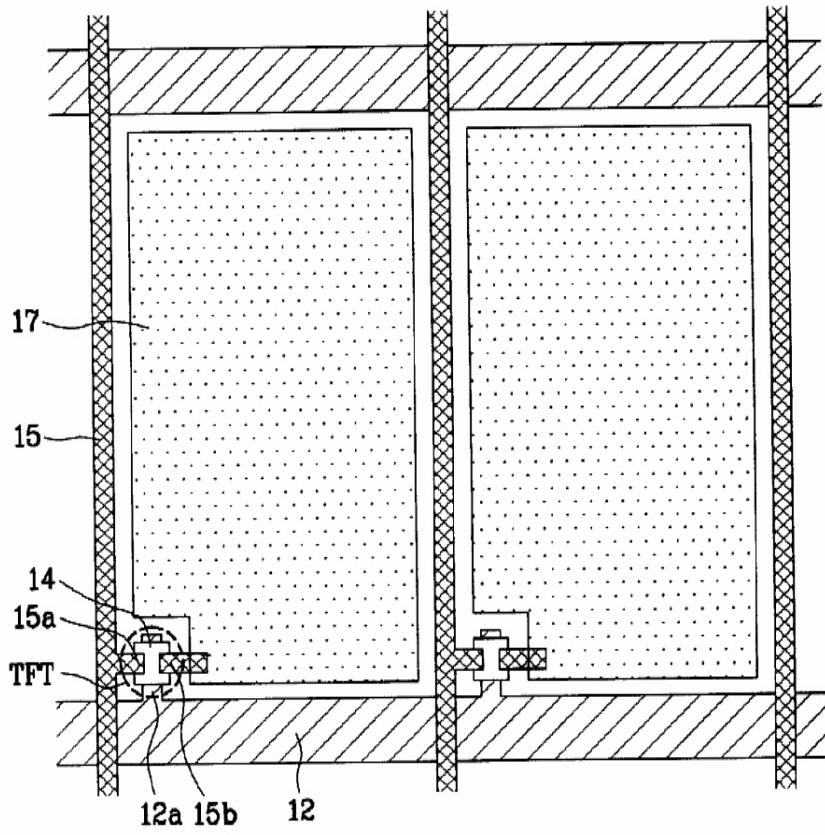
청구항 4.

제 1 항에 있어서,

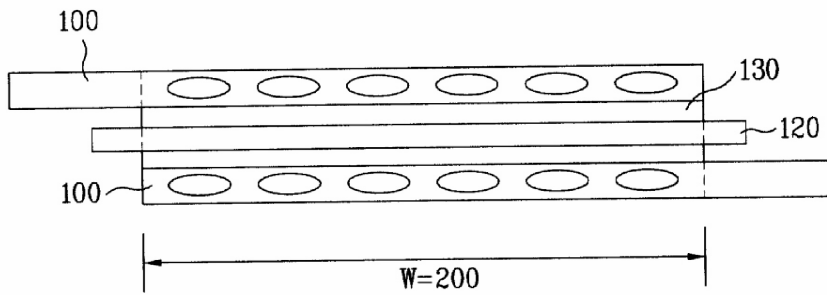
상기 제 2 액티브 패턴은 제 2 게이트 메탈 라인이 통과하는 채널 부분만 분리되는 것을 특징으로 하는 액정표시장치의 액티브 패턴 구조.

도면

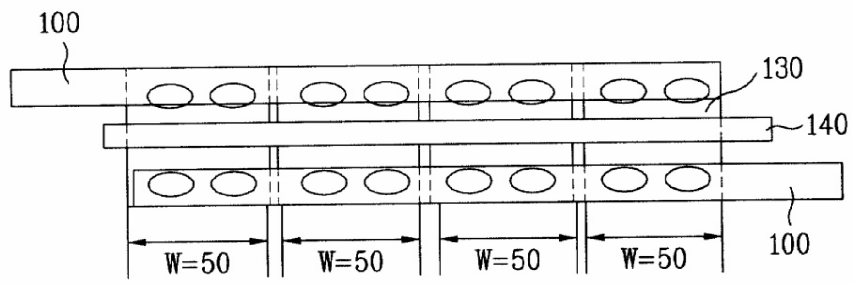
도면1



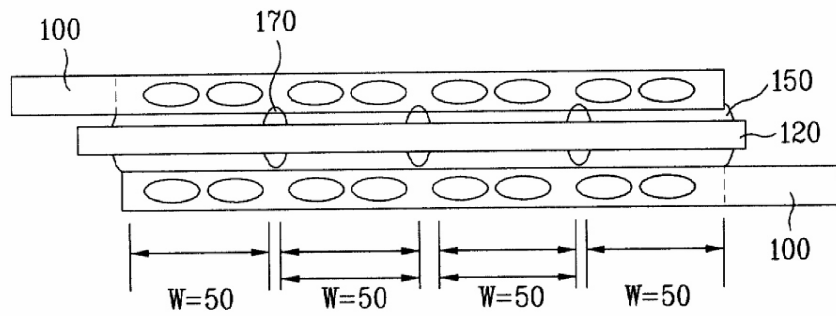
도면2a



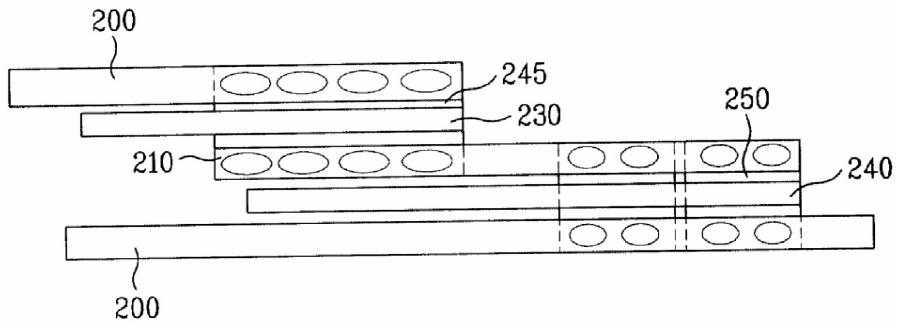
도면2b



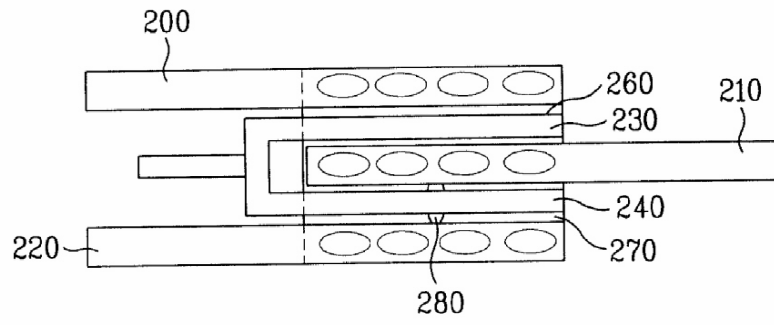
도면2c



도면3



도면4



专利名称(译)	液晶显示器的有源图案结构		
公开(公告)号	KR1020050069096A	公开(公告)日	2005-07-05
申请号	KR1020030100977	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG YONGHAN		
发明人	HWANG, YONGHAN		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/1368 H01L27/1214 H01L29/78696		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器的有源图案。并且它包括第一源/漏金属线，第一有源图案整体地形成在位于第二源/漏金属线中的第一栅区金属线的下部，并且第二有源图案和第二有源图案。第二有源图案在位于第二源/漏金属线中的第二栅极区域金属线的下部与第三源极/漏极金属线分开并且同时形成。第一有源图案可以形成在第二有源图案上，n型薄膜晶体管区域形成在p型薄膜晶体管区域中。并且，第二栅极金属线通过的沟道部分的第二有源图案被分离。IPS，3面罩和升空。

