

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/36

(11) 공개번호 10-2005-0020234  
(43) 공개일자 2005년03월04일

(21) 출원번호 10-2003-0058001  
(22) 출원일자 2003년08월21일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 구용근  
경기도수원시권선구곡반정동578현대아이파크104-401  
이형석  
경기도수원시장안구율전동현대아파트305-1104

(74) 대리인 이영필

심사청구 : 없음

(54) 액정 표시 장치 드라이버의 인터페이스 회로

요약

액정 표시 장치 드라이버의 인터페이스 회로가 개시된다. 본 발명의 실시예에 따른 인터페이스 회로는 제 1 내지 제 4 래치를 구비한다. 제 1 래치는 제 1 클럭 신호에 응답하여 n비트 데이터를 래치 한다. 제 2 래치는 제 2 클럭 신호에 응답하여 n 비트 데이터를 래치 한다. 제 3 래치는 상기 제 1 클럭 신호에 응답하여 상기 제 1 래치에서 출력되는 상기 n 비트 데이터를 래치 한다. 제 4 래치는 상기 제 2 클럭 신호에 응답하여 상기 제 2 래치에서 출력되는 상기 n 비트 데이터를 래치 한다. 상기 제 3 래치 및 상기 제 4 래치는 기입 활성화 신호에 응답하여 래치된 상기 데이터를 동시에 출력하고, 상기 데이터는 상기 제 1 래치 및 상기 제 2 래치에서 상기 제 3 래치 및 상기 제 4 래치로 전송되는 동안 데이터 변환이 수행된다. 본 발명에 따른 인터페이스 회로는 둘 또는 네 개의 레지스터를 이용하여 클럭 신호의 생성 또는 데이터 변환의 처리 시간을 확보함으로써 데이터 전송 속도를 증가시킬 수 있는 장점이 있다. 또한 그래픽 메모리 자체의 기입 속도에 근접한 속도로 데이터를 그래픽 메모리에 기입함으로써 종래의 그래픽 메모리의 동작 속도가 제한되는 문제를 해결하는 장점이 있다.

대표도

도 8

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 그래픽 메모리에 데이터를 기입하기 위한 일반적인 인터페이스 회로를 나타내는 도면이다.

도 2는 도 1의 인터페이스 회로로 9비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 3은 도 1의 인터페이스 회로로 18비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 4는 본 발명의 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

도 5는 도 4의 인터페이스 회로로 9 비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 6은 본 발명의 다른 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

도 7은 도 5의 인터페이스 회로로 18 비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 8은 본 발명의 다른 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 구동 드라이버에 관한 것으로서, 특히 그래픽 메모리(graphic memory)에 데이터를 기입하기 위하여 프로세서와 그래픽 메모리를 연결하는 인터페이스 회로에 관한 것이다.

이동 통신용 액정 표시 장치 구동 드라이버에서 마이크로프로세서와 그래픽 메모리를 연결하는 인터페이스 회로는 마이크로프로세서에서 전송된 데이터를 시스템 클럭을 이용하지 아니하고 제어 신호를 이용하여 그래픽 메모리로 전송한다.

즉, 인터페이스 회로는 제어 신호를 이용하여 마이크로프로세서에서 전송된 데이터를 래치(latch)하기 위한 클럭 신호를 만들고, 데이터는 발생된 클럭 신호에 동기 되어 그래픽 메모리로 전송된다.

도 1은 그래픽 메모리에 데이터를 기입하기 위한 일반적인 인터페이스 회로를 나타내는 도면이다.

도 2는 도 1의 인터페이스 회로로 9비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

클럭 발생부(130)는 제어 신호(WRB)에 응답하여 제 1 클럭 신호(CLK\_H)와 제 2 클럭 신호(CLK\_L)를 발생한다. 제 1 클럭 신호(CLK\_H)는 제어 신호(WRB)의 홀수 번째 상승 에지에 응답하여 활성화되고 제 2 클럭 신호(CLK\_L)는 제어 신호(WRB)의 짝수 번째 상승 에지에 응답하여 활성화된다.

입력되는 데이터(D0)는 제 1 클럭 신호(CLK\_H)의 상승 에지에 응답하여 레지스터(110)에 래치 된다. 다음 데이터(D1)는 제 2 클럭 신호(CLK\_L)의 상승 에지에 응답하여 레지스터(120)에 래치 된다. 그리고 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(140)로 18비트의 데이터(D0, D1)가 동시에 전송된다.

인터페이스 회로(100)는 입력되는 9 비트 데이터(DATA)를 제어 신호(WRB)의 2 사이클동안 18 비트의 데이터(DATA)로 패킹(packaging) 한 후, 그래픽 메모리(140)에 18 비트 데이터(DATA)를 기입한다. 따라서 9 비트의 데이터를 수신하는 인터페이스 회로(100)의 메모리 사이클 시간(memory cycle time)은  $(2 \cdot T1) / 2 = T1$  이다. 여기서 T1은 제어 신호(WRB)의 한 주기를 의미한다.

그런데, 래치 된 데이터(D0, D1)는 데이터 변환 과정을 거친 후 기입 활성화 신호에 응답하여 그래픽 메모리(140)로 전송된다. 따라서, 데이터(D0, D1)가 래치 된 후 기입 활성화 신호(WEN)가 활성화 될 때까지 긴 시간이 소비된다.

도 3은 도 1의 인터페이스 회로로 18비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

18 비트의 데이터(DATA)가 수신되는 경우, 클럭 발생부(130)는 제어 신호(WRB)에 응답하여 하나의 클럭 신호(CLK)만을 발생한다. 클럭 신호(CLK)는 제어 신호(WRB)의 상승 에지에 응답하여 활성화된다.

입력되는 데이터(D0)는 클럭 신호(CLK)의 상승 에지에 응답하여 레지스터들(110, 120)에 래치 된다. 그리고, 다음 데이터(D1)가 래치되기 전에 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(140)로 18비트의 데이터(D0)가 전송된다.

인터페이스 회로(100)는 입력되는 18 비트 데이터(DATA)를 제어 신호(WRB)의 1 사이클동안 래치 한 후 그래픽 메모리(140)에 기입한다. 따라서 18 비트의 데이터를 수신하는 인터페이스 회로(100)의 메모리 사이클 시간(memory cycle time)도 T1 이다. 여기서 T1은 제어 신호(WRB)의 한 주기를 의미한다.

도 3에서 18 비트 데이터(DATA)가 입력되는 경우, 기입 활성화 신호(WEN)가 한 번 활성화되어 그래픽 메모리(140)에 데이터(DATA) 기입이 한 번 수행되는 동안 외부의 마이크로프로세서(미도시)는 데이터를 인터페이스 회로(100)로 한 번 입력한다.

도 2에서 9 비트 데이터(DATA)가 입력되는 경우, 기입 활성화 신호(WEN)가 한 번 활성화되어 그래픽 메모리(140)에 데이터(DATA) 기입이 한 번 수행되는 동안 외부의 마이크로프로세서(미도시)는 데이터를 인터페이스 회로(100)로 두 번 입력한다.

따라서, 9비트 데이터를 인터페이스 회로(100)로 입력하는 속도가 18 비트 데이터를 인터페이스 회로(100)로 입력하는 속도보다 2배 빠르다고 할 수 있다.

그러나, 도 1의 인터페이스 회로(100)는 데이터(DATA)를 그래픽 메모리(140)로 기입하기 위한 클럭 신호의 생성이나 래치 된 데이터의 변환을 처리하는 등의 기입 시간(write time)이 긴 문제가 있다.

즉, 그래픽 메모리(140) 자체의 최소 기입 사이클 시간(write cycle time)보다 인터페이스 회로(100)의 데이터 처리 시간이 길므로 그래픽 메모리(140)에 데이터를 기입하는 속도가 저하되는 문제가 있다. 또한 그래픽 메모리의 기입 속도보다 데이터를 그래픽 메모리로 기입하는 인터페이스 회로의 속도가 느리므로 그래픽 메모리를 잘 활용하지 못하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자하는 기술적 과제는 그래픽 메모리의 기입 속도에 근접한 속도로 데이터를 그래픽 메모리로 전송하는 인터페이스 회로를 제공하는데 있다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 인터페이스 회로는 제 1 내지 제 4 래치를 구비한다.

제 1 래치는 제 1 클럭 신호에 응답하여 n 비트 데이터를 래치 한다. 제 2 래치는 제 2 클럭 신호에 응답하여 n 비트 데이터를 래치 한다. 제 3 래치는 상기 제 1 클럭 신호에 응답하여 상기 제 1 래치에서 출력되는 상기 n 비트 데이터를 래치 한다. 제 4 래치는 상기 제 2 클럭 신호에 응답하여 상기 제 2 래치에서 출력되는 상기 n 비트 데이터를 래치 한다.

상기 제 3 래치 및 상기 제 4 래치는 기입 활성화 신호에 응답하여 래치된 상기 데이터를 동시에 출력하고, 상기 데이터는 상기 제 1 래치 및 상기 제 2 래치에서 상기 제 3 래치 및 상기 제 4 래치로 전송되는 동안 데이터 변환이 수행된다.

상기 제 1 래치는 상기 제 1 클럭 신호의 제 2 에지에 응답하여 n 비트의 상기 데이터를 래치하고, 상기 제 2 래치는 상기 제 2 클럭 신호의 제 2 에지에 응답하여 n 비트의 상기 데이터를 래치 한다.

상기 제 3 래치는 상기 제 1 클럭 신호의 제 1 에지에 응답하여 상기 제 1 래치에서 출력되는 데이터를 래치하고, 상기 제 4 래치는 상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 2 래치에서 출력되는 데이터를 래치 한다.

상기 인터페이스 회로는 기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비한다. 상기 제 1 클럭 신호는 상기 기입 제어 신호의 홀수 번째 상승 에지에 응답하여 발생되고, 상기 제 2 클럭 신호는 상기 기입 제어 신호의 짝수 번째 상승 에지에 응답하여 발생된다.

상기 기입 활성화 신호는 상기 제 2 클럭 신호가 발생된 후 상기 제 1 클럭 신호가 발생되기 전에 활성화되어 상기 제 3 래치 및 상기 제 4 래치에 래치 된 상기 데이터를 출력한다.

상기 n은 9일 수 있다. 그리고, 상기 제 1 내지 제 4 래치는 플립플롭 이다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 인터페이스 회로는 제 1 래치부 및 제 2 래치부를 구비한다.

제 1 래치부는 제 1 클럭 신호에 응답하여 m 비트 데이터를 래치 한다. 제 2 래치부는 제 2 클럭 신호에 응답하여 상기 제 1 래치부에서 출력되는 상기 m 비트 데이터를 래치하며 기입 활성화 신호에 응답하여 래치 된 상기 데이터를 출력한다.

상기 데이터는 상기 제 1 래치부에서 상기 제 2 래치부로 전송되는 동안 데이터 변환이 수행된다.

상기 제 1 래치부는 상기 제 1 클럭 신호의 제 2 에지에 응답하여 m/2 비트의 상기 데이터를 래치 하는 제 1 플립플롭 및 상기 제 1 클럭 신호의 제 2 에지에 응답하여 나머지 m/2 비트의 상기 데이터를 래치 하는 제 2 플립플롭을 구비한다.

상기 제 2 래치부는 상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 1 플립플롭에서 출력되는 상기 m/2 비트의 데이터를 래치 하는 제 3 플립플롭 및 상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 2 플립플롭에서 출력되는 상기 나머지 m/2 비트의 데이터를 래치 하는 제 4 플립플롭을 구비한다.

상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는 동일한 클럭 신호이다.

상기 인터페이스 회로는 기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비하고, 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는 상기 기입 제어 신호의 상승 에지에 응답하여 발생된다.

상기 기입 활성화 신호는 상기 제 1 클럭 신호의 한 주기마다 한 번씩 활성화되어 상기 제 2 래치부에 래치 된 상기 데이터를 출력한다. 상기 m은 18일 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 인터페이스 회로는 제 1 선택부, 제 1 래치부, 제 2 선택부 및 제 2 래치부를 구비한다.

제 1 선택부는 선택 신호에 응답하여 제 1 클럭 신호 또는 제 2 클럭 신호를 선택하여 출력한다. 제 1 래치부는 상기 제 1 클럭 신호에 응답하여 m 비트 데이터를 래치 한다.

제 2 선택부는 상기 선택 신호에 응답하여 상기 제 1 클럭 신호 또는 상기 제 2 클럭 신호를 선택하여 출력한다. 제 2 래치부는 제 2 클럭 신호에 응답하여 상기 제 1 래치부에서 출력되는 상기 m 비트 데이터를 래치하며 기입 활성화 신호에 응답하여 래치 된 상기 데이터를 출력한다.

상기 데이터는 상기 제 1 래치부에서 상기 제 2 래치부로 전송되는 동안 데이터 변환이 수행된다.

상기 제 1 선택부는 상기 인터페이스 회로가 제 1 동작 모드일 경우 상기 제 1 클럭 신호를 출력하고 제 2 동작 모드일 경우 상기 제 2 클럭 신호를 출력한다. 상기 제 2 선택부는 상기 인터페이스 회로가 상기 제 1 동작 모드일 경우 상기 제 2 클럭 신호를 출력하고 상기 제 2 동작 모드일 경우 상기 제 1 클럭 신호를 출력한다.

상기 제 1 동작 모드는 상기 데이터가 m 비트로 상기 제 1 래치부로 입력되는 경우이고, 상기 제 2 동작 모드는 상기 데이터가 m/2 비트로 상기 제 1 래치부로 입력되는 경우이다.

상기 인터페이스 회로는 기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비하고, 제 1 동작 모드일 경우, 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는 상기 기입 제어 신호의 상승 에지에 응답하여 발생된다.

상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는 상기 제 1 동작 모드일 경우 동일한 클럭 신호이다. 상기 기입 활성화 신호는 상기 인터페이스 회로의 동작 모드가 제 1 동작 모드일 경우, 상기 제 1 클럭 신호의 한 주기마다 한 번씩 활성화되어 상기 제 2 래치부에 래치 된 상기 데이터를 출력한다.

상기 인터페이스 회로가 제 2 동작 모드일 경우, 상기 제 1 클럭 신호는 상기 기입 제어 신호의 홀수 번째 상승 에지에 응답하여 발생되고, 상기 제 2 클럭 신호는 상기 기입 제어 신호의 짝수 번째 상승 에지에 응답하여 발생된다.

상기 기입 활성화 신호는 상기 인터페이스 회로의 동작 모드가 제 2 동작 모드일 경우, 상기 제 2 클럭 신호가 발생된 후 상기 제 1 클럭 신호가 발생되기 전에 활성화되어 상기 제 3 플립플롭 및 상기 제 4 플립플롭에 래치 된 상기 데이터를 출력한다.

상기 클럭 발생부는 상기 선택 신호를 발생하며, 상기 선택 신호는 상기 인터페이스 회로의 동작 모드가 제 1 동작 모드일 경우 제 2 레벨로 발생되고 제 2 동작 모드일 경우 제 1 레벨로 발생된다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 4는 본 발명의 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

도 5는 도 4의 인터페이스 회로로 9 비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 4를 참조하면, 본 발명의 실시예에 따른 인터페이스 회로(400)는 제 1 내지 제 4 래치(FF1, FF2, FF3, FF4)를 구비한다.

제 1 래치(FF1)는 제 1 클럭 신호(CLK\_H)에 응답하여 n 비트 데이터(DATA)를 래치 한다. 제 2 래치(FF2)는 제 2 클럭 신호(CLK\_L)에 응답하여 n 비트 데이터를 래치 한다. 제 3 래치(FF3)는 제 1 클럭 신호(CLK\_H)에 응답하여 제 1 래치(FF1)에서 출력되는 상기 n 비트 데이터를 래치 한다. 제 4 래치(FF4)는 제 2 클럭 신호(CLK\_L)에 응답하여 제 2 래치(FF2)에서 출력되는 상기 n 비트 데이터를 래치 한다.

제 3 래치(FF3) 및 제 4 래치(FF4)는 기입 활성화 신호(WEN)에 응답하여 래치 된 데이터(DATA)를 동시에 출력하고, 데이터(DATA)는 제 1 래치(FF1) 및 제 2 래치(FF2)에서 제 3 래치(FF3) 및 제 4 래치(FF4)로 전송되는 동안 데이터 변환이 수행된다.

도 4의 인터페이스 회로(400)는 종래의 인터페이스 회로(100)와 달리 데이터(DATA)를 래치 하는 래치들(FF1, FF2, FF3, FF4)이 네 단계(step)로 되어 있다. 래치들(FF1, FF2, FF3, FF4)은 플립플롭일 수 있다.

인터페이스 회로(400)는 제 1 래치(FF1)와 제 2 래치(FF2)에 입력되는 데이터(DATA)를 각각 래치하고 다음 데이터가 입력되기 전에 제 1 래치(FF1)의 데이터를 제 3 래치(FF3)로 전송하고 제 2 래치(FF2)의 데이터를 제 4 래치(FF4)로 전송한다.

그리고 인터페이스 회로(400)는 제 3 래치(FF3)와 제 4 래치(FF4)의 데이터를 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(420)로 전송한다. 데이터(DATA) 변환은 제 1 래치(FF1) 및 제 2 래치(FF2)에서 제 3 래치(FF3) 및 제 4 래치(FF4)로 전송되는 동안 수행되므로 제 3 래치(FF3) 및 제 4 래치(FF4)에 저장된 데이터는 기입 활성화 신호

(WEN)에 응답하여 바로바로 그래픽 메모리(420)로 입력될 수 있다. 따라서 그래픽 메모리(420)의 동작 속도에 근접한 속도로 데이터(DATA)가 기입될 수 있다.

인터페이스 회로(400)의 동작을 도 5의 타이밍도를 이용하여 좀 더 상세히 설명한다.

인터페이스 회로(400)는 기입 제어 신호(WRB)에 응답하여 제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)를 발생하는 클럭 발생부(410)를 구비한다. 제 1 클럭 신호(CLK\_H)는 기입 제어 신호(WRB)의 홀수 번째 상승 에지에 응답하여 발생되고, 제 2 클럭 신호(CLK\_L)는 기입 제어 신호(WRB)의 짝수 번째 상승 에지에 응답하여 발생된다.

제 1 클럭 신호(CLK\_H)는 제 1 래치(FF1) 및 제 3 래치(FF3)로 입력되고 제 2 클럭 신호(CLK\_L)는 제 2 래치(FF2) 및 제 4 래치(FF4)로 입력된다.

본 발명의 실시예에서 n은 9일 수 있다. 이하에서는 9 비트의 데이터(DATA)가 입력되는 것으로 가정하여 인터페이스 회로(400)의 동작을 설명한다.

먼저, 제 1 클럭 신호(CLK\_H)의 하강 에지에 응답하여 데이터(D0)가 제 1 래치(FF1)에 저장된다. 그리고, 제 2 클럭 신호(CLK\_L)의 하강 에지에 응답하여 데이터(D1)가 제 2 래치(FF2)에 저장된다.

데이터(D0)를 래치 한 제 1 클럭 신호(CLK\_H)의 상승 에지에 응답하여 제 3 래치(FF3)는 제 1 래치(FF1)에 저장된 데이터를 래치 한다. 따라서, 데이터(D0)이전에 제 1 래치(FF1)에 저장되어 있던 데이터(previous data)가 제 3 래치(FF3)에 저장된다.

데이터(D1)를 래치 한 제 2 클럭 신호(CLK\_L)의 상승 에지에 응답하여 제 4 래치(FF4)는 제 2 래치(FF2)에 저장된 데이터를 래치 한다. 따라서, 데이터(D1)이전에 제 2 래치(FF2)에 저장되어 있던 데이터(previous data)가 제 4 래치(FF4)에 저장된다.

데이터(D0)를 래치 한 제 1 클럭 신호(CLK\_H)의 다음 제 1 클럭 신호(CLK\_H)의 상승 에지에 응답하여 제 1 래치(FF1)에 저장되어 있는 데이터(D0)가 제 3 래치(FF3)로 래치 된다.

데이터(D1)를 래치 한 제 2 클럭 신호(CLK\_L)의 다음 제 2 클럭 신호(CLK\_L)의 상승 에지에 응답하여 제 2 래치(FF2)에 저장되어 있는 데이터(D1)가 제 4 래치(FF4)로 래치 된다.

그리고, 데이터(D0)를 래치 한 제 1 클럭 신호(CLK\_H)의 다음 제 1 클럭 신호(CLK\_H)의 하강 에지에 응답하여 데이터(D2)가 제 1 래치(FF1)로 입력되고 데이터(D1)를 래치 한 제 2 클럭 신호(CLK\_L)의 다음 제 2 클럭 신호(CLK\_L)의 하강 에지에 응답하여 데이터(D3)가 제 2 래치(FF2)로 입력된다.

따라서, 제 1 래치(FF1)와 제 2 래치(FF2)에는 각각 데이터(D2)와 데이터(D3)가 저장되고 제 3 래치(FF3)와 제 4 래치(FF4)에는 각각 데이터(D0)와 데이터(D1)가 저장된다.

제 3 래치(FF3) 및 제 4 래치(FF4)에 저장된 데이터(D0, D1)는 새로운 데이터(D4)가 제 1 래치(FF1)로 입력되기 전에 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(420)로 기입된다.

기입 활성화 신호(WEN)는 제 2 클럭 신호(CLK\_L)가 발생된 후 제 1 클럭 신호(CLK\_H)가 발생되기 전에 활성화되어 제 3 래치(FF3) 및 제 4 래치(FF4)에 래치 된 데이터를 출력한다.

종래의 인터페이스 회로(100)와 달리, 인터페이스 회로(400)로 입력되는 데이터(DATA)는 제 1 래치(FF1) 및 제 2 래치(FF2)에 저장된 후 다시 제 3 래치(FF3) 및 제 4 래치(FF4)로 제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)에 응답하여 이동된다.

데이터(DATA)가 제 1 래치(FF1) 및 제 2 래치(FF2)에서 제 3 래치(FF3) 및 제 4 래치(FF4)로 전송되는 동안 데이터 변환 및 처리 등이 수행된다. 그리고 제 3 래치(FF3)와 제 4 래치(FF4)는 기입 활성화 신호(WEN)에 응답하여 저장된 데이터(DATA)를 그래픽 메모리(420)로 기입한다.

종래의 인터페이스 회로(100)는 인터페이스 회로(100)로 입력되는 데이터(DATA)의 변환 과정이 수행되는 데 소비되는 시간으로 인하여 입력된 데이터(DATA)가 그래픽 메모리(140)로 기입되는 속도에 한계가 있었다.

그러나, 본 발명에서는 데이터 변환 과정 등은 제 1 래치(FF1) 및 제 2 래치(FF2)에서 제 3 래치(FF3) 및 제 4 래치(FF4)로 전송되는 동안 수행되고, 일단 제 3 래치(FF3) 및 제 4 래치(FF4)에 저장된 데이터는 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(420)로 빠르게 기입될 수 있다.

즉, 데이터(DATA)를 그래픽 메모리(420)로 기입하는데 있어서 인터페이스 회로(400)로 입력되는 데이터(DATA)가 변환되는 데 소비되는 시간을 고려하지 아니하고 제 3 래치(FF3) 및 제 4 래치(FF4)로 데이터(DATA)가 저장될 때마다 즉시 그래픽 메모리(420)로 데이터를 기입할 수 있으므로 그래픽 메모리(420)의 동작속도에 맞추어 데이터(DATA)를 기입할 수 있다.

도 6은 본 발명의 다른 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

도 7은 도 5의 인터페이스 회로로 18 비트 데이터가 입력되는 경우의 동작을 설명하는 타이밍도이다.

도 6을 참조하면, 본 발명의 다른 실시예에 따른 인터페이스 회로(600)는 제 1 래치부(LAH1) 및 제 2 래치부(LAH2)를 구비한다.

제 1 래치부(LAH1)는 제 1 클럭 신호(CLK\_H)에 응답하여 m 비트 데이터(DATA)를 래치 한다. 제 2 래치부(LAH2)는 제 2 클럭 신호(CLK\_L)에 응답하여 제 1 래치부(LAH1)에서 출력되는 m 비트 데이터(DATA)를 래치하며 기입 활성화 신호(WEN)에 응답하여 래치 된 데이터(DATA)를 출력한다. 그리고, 데이터(DATA)는 제 1 래치부(LAH1)에서 제 2 래치부(LAH2)로 전송되는 동안 데이터 변환이 수행된다.

제 1 래치부(LAH1)는 제 1 클럭 신호(CLK\_H)의 제 2 에지에 응답하여 m/2 비트의 데이터(DATA)를 래치 하는 제 1 플립플롭(FF1) 및 제 1 클럭 신호(CLK\_H)의 제 2 에지에 응답하여 나머지 m/2 비트의 데이터(DATA)를 래치 하는 제 2 플립플롭(FF2)을 구비한다.

제 2 래치부(LAH2)는 제 2 클럭 신호(CLK\_L)의 제 1 에지에 응답하여 제 1 플립플롭(FF1)에서 출력되는 상기 m/2 비트의 데이터(DATA)를 래치 하는 제 3 플립플롭(FF3) 및 제 2 클럭 신호(CLK\_L)의 제 1 에지에 응답하여 제 2 플립플롭(FF2)에서 출력되는 나머지 m/2 비트의 데이터(DATA)를 래치 하는 제 4 플립플롭(FF4)을 구비한다.

이하, 도 6 및 도 7을 참조하여 인터페이스 회로(600)의 동작이 좀 더 상세히 설명된다.

인터페이스 회로(600)로 입력되는 m 비트의 데이터(DATA)는 18비트일 수 있다. 이하에서는 인터페이스 회로(600)로 18 비트의 데이터(DATA)가 입력되는 것을 가정하여 인터페이스 회로(600)의 동작을 설명한다.

인터페이스 회로(600)는 기입 제어 신호(WRB)에 응답하여 제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)를 발생하는 클럭 발생부(610)를 더 구비한다. 제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)는 기입 제어 신호(WRB)의 상승 에지에 응답하여 발생된다.

제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)는 도 7의 타이밍도에서 알 수 있듯이 동일한 클럭 신호이다.

먼저, 제 1 클럭 신호(CLK\_H)의 하강 에지에 응답하여 데이터(D0)가 제 1 래치부(LAH1)에 저장된다. 18비트의 데이터(D0)는 제 1 플립플롭(FF1)과 제 2 플립플롭(FF2)에 9비트씩 나누어 저장된다.

데이터(D0)를 래치하는 제 1 클럭 신호(CLK\_H)와 동일한 순간에 발생하는 제 2 클럭 신호(CLK\_L)의 상승 에지에 응답하여 제 1 래치부(LAH1)에 저장되어 있던 데이터(previous data)가 제 2 래치부(LAH2)로 전송된다.

데이터(D0)를 래치하는 제 1 클럭 신호(CLK\_H)의 다음 제 1 클럭 신호(CLK\_H)와 동시에 발생하는 제 2 클럭 신호(CLK\_L)의 상승 에지에 응답하여 제 1 래치부(LAH1)에 저장된 데이터(D0)가 제 2 래치부(LAH2)로 전송된다.

도 7의 타이밍도에서 알 수 있듯이, 제 1 클럭 신호(CLK\_H)와 제 2 클럭 신호(CLK\_L)는 동일한 신호이다. 따라서, 제 1 클럭 신호(CLK\_H)의 하강 에지에 응답하여 데이터(D0)가 제 1 래치부(LAH1)로 래치 되고 다음 제 1 클럭 신호(CLK\_H)의 상승 에지에 응답하여 제 1 래치부(LAH1)에 저장된 데이터(D0)가 제 2 래치부(LAH2)로 래치 된다.

그리고, 제 2 래치부(LAH2)에 저장된 데이터(D0)는 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(620)로 기입된다. 기입 활성화 신호(WEN)는 제 1 클럭 신호(CLK\_H)의 한 주기마다 한 번씩 활성화되어 제 2 래치부(LAH2)에 래치 된 데이터(DATA)를 출력한다.

종래의 인터페이스 회로(100)와 달리, 인터페이스 회로(600)로 입력되는 데이터(DATA)는 제 1 래치부(LAH1)에 저장된 후 다시 제 2 래치부 제 2 클럭 신호(CLK\_L)의 상승 에지, 즉, 제 1 클럭 신호(CLK\_H)의 상승 에지에 응답하여 이동된다.

데이터(DATA)가 제 1 래치부(LAH1)에서 제 2 래치부(LAH2)로 전송되는 동안 데이터 변환 및 처리 등이 수행된다. 그리고 제 2 래치부(LAH2)는 기입 활성화 신호(WEN)에 응답하여 저장된 데이터(DATA)를 그래픽 메모리(620)로 기입한다.

종래의 인터페이스 회로(100)는 인터페이스 회로(100)로 입력되는 데이터(DATA)의 변환 과정이 수행되는 데 소비되는 시간으로 인하여 입력된 데이터(DATA)가 그래픽 메모리(140)로 기입되는 속도에 한계가 있었다.

그러나, 본 발명의 실시예에 따른 인터페이스 회로(600)에서는 데이터 변환 과정 등은 제 1 래치부(LAH1)에서 제 2 래치부(LAH2)로 전송되는 동안 수행되고, 일단 제 2 래치부(LAH2)에 저장된 데이터는 기입 활성화 신호(WEN)에 응답하여 그래픽 메모리(620)로 빠르게 기입될 수 있다.

즉, 데이터(DATA)를 그래픽 메모리(620)로 기입하는데 있어서 인터페이스 회로(600)로 입력되는 데이터(DATA)가 변환되는 데 소비되는 시간을 고려하지 아니하고 제 2 래치부(LAH2)로 데이터(DATA)가 저장될 때마다 즉시 그래픽 메모리(620)로 데이터를 기입할 수 있으므로 그래픽 메모리(620)의 동작속도에 맞추어 데이터(DATA)를 기입할 수 있다.

도 8은 본 발명의 다른 실시예에 따른 인터페이스 회로를 설명하는 블록도이다.

도 8을 참조하면, 본 발명의 다른 실시예에 따른 인터페이스 회로(800)는 제 1 선택부(820), 제 1 래치부(LAH1), 제 2 선택부(830) 및 제 2 래치부(LAH2)를 구비한다.

제 1 선택부(820)는 선택 신호(SEL)에 응답하여 제 1 클럭 신호(CLK\_H) 또는 제 2 클럭 신호(CLK\_L)를 선택하여 출력한다. 제 1 래치부(LAH1)는 제 1 클럭 신호(CLK\_H)에 응답하여 m 비트 데이터(DATA)를 래치 한다.

제 2 선택부(830)는 선택 신호(SEL)에 응답하여 제 1 클럭 신호(CLK\_H) 또는 제 2 클럭 신호(CLK\_L)를 선택하여 출력한다. 제 2 래치부(LAH2)는 제 2 클럭 신호(CLK\_L)에 응답하여 제 1 래치부(LAH1)에서 출력되는 상기 m 비트 데이터(DATA)를 래치하며 기입 활성화 신호(WEN)에 응답하여 래치 된 데이터(DATA)를 출력한다.

데이터(DATA)는 제 1 래치부(LAH1)에서 제 2 래치부(LAH2)로 전송되는 동안 데이터 변환이 수행된다.

도 8의 인터페이스 회로(800)는 도 4의 인터페이스 회로(400)와 도 6의 인터페이스 회로(600)의 기능을 선택적으로 수행할 수 있는 회로이다. 즉, 도 4의 인터페이스 회로(400)와 같이 9 비트의 데이터(DATA)를 수신하여 그래픽 메모리(420)로 기입할 수도 있고 도 6의 인터페이스 회로(600)와 같이 18 비트의 데이터(DATA)를 수신하여 그래픽 메모리(620)로 기입할 수도 있다.

18비트의 데이터가 인터페이스 회로(800)로 입력되는 경우, 인터페이스 회로(800)는 제 1 동작 모드로 동작된다. 클럭 발생부(810)는 선택 신호(SEL)를 발생하며, 선택 신호(SEL)는 인터페이스 회로(800)의 동작 모드가 제 1 동작 모드일 경우 제 2 레벨로 발생된다.

그러면, 제 1 선택부(820)는 제 1 클럭 신호(CLK\_H)를 제 1 래치부(LAH1)로 출력하고 제 2 선택부(830)는 제 2 클럭 신호(CLK\_L)를 제 2 래치부(LAH2)로 출력한다. 제 1 클럭 신호(CLK\_H) 및 제 2 클럭 신호(CLK\_L)는 인터페이스 회로(800)가 제 1 동작 모드일 경우 동일한 클럭 신호이다.

인터페이스 회로(800)가 제 1 동작 모드로 동작되는 경우의 동작은 도 6의 인터페이스 회로(600)의 동작과 동일하므로 상세한 설명을 생략한다.

9비트의 데이터가 인터페이스 회로(800)로 입력되는 경우, 인터페이스 회로(800)는 제 2 동작 모드로 동작된다. 이 경우, 클럭 발생부(810)는 선택 신호(SEL)를 제 1 레벨로 발생한다.

그러면, 제 1 선택부(820)는 제 2 클럭 신호(CLK\_L)를 제 1 래치부(LAH1)의 제 2 플립플롭(FF2)으로 출력하고 제 2 선택부(830)는 제 1 클럭 신호(CLK\_H)를 제 2 래치부(LAH2)의 제 3 플립플롭(FF3)으로 출력한다.

인터페이스 회로(800)가 제 2 동작모드일 경우, 제 1 클럭 신호(CLK\_H)는 기입 제어 신호(WRB)의 홀수 번째 상승 에지에 응답하여 발생되고, 제 2 클럭 신호(CLK\_L)는 기입 제어 신호(WRB)의 짝수 번째 상승 에지에 응답하여 발생된다.

그리고, 기입 활성화 신호(WEN)는 제 2 클럭 신호(CLK\_L)가 발생된 후 제 1 클럭 신호(CLK\_H)가 발생되기 전에 활성화되어 제 2 래치부(LAH2)의 제 3 플립플롭(FF3) 및 제 4 플립플롭(FF4)에 래치 된 데이터(DATA)를 동시에 그래픽 메모리(840)로 출력한다.

인터페이스 회로(800)가 제 2 동작 모드로 동작되는 경우의 동작은 도 4의 인터페이스 회로(400)의 동작과 동일하므로 상세한 설명을 생략한다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 인터페이스 회로는 둘 또는 네 개의 레지스터를 이용하여 클럭 신호의 생성 또는 데이터 변환의 처리 시간을 확보함으로써 데이터 전송 속도를 증가시킬 수 있는 장점이 있다. 또한 그래픽 메모리 자체의 기입 속도에 근접한 속도로 데이터를 그래픽 메모리에 기입함으로써 종래의 그래픽 메모리의 동작 속도가 제한되는 문제를 해결하는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

제 1 클럭 신호에 응답하여 n 비트 데이터를 래치 하는 제 1 래치 ;

제 2 클럭 신호에 응답하여 n 비트 데이터를 래치 하는 제 2 래치 ;

상기 제 1 클럭 신호에 응답하여 상기 제 1 래치에서 출력되는 상기 n 비트 데이터를 래치 하는 제 3 래치 ; 및

상기 제 2 클럭 신호에 응답하여 상기 제 2 래치에서 출력되는 상기 n 비트 데이터를 래치 하는 제 4 래치를 구비하고,

상기 제 3 래치 및 상기 제 4 래치는,

기입 활성화 신호에 응답하여 래치된 상기 데이터를 동시에 출력하고,

상기 데이터는,

상기 제 1 래치 및 상기 제 2 래치에서 상기 제 3 래치 및 상기 제 4 래치로 전송되는 동안 데이터 변환이 수행되는 것을 특징으로 하는 인터페이스 회로.

## 청구항 2.

제 1항에 있어서, 상기 제 1 래치는,

상기 제 1 클럭 신호의 제 2 에지에 응답하여 n 비트의 상기 데이터를 래치하고,

상기 제 2 래치는,

상기 제 2 클럭 신호의 제 2 에지에 응답하여 n 비트의 상기 데이터를 래치 하는 것을 특징으로 하는 인터페이스 회로.

## 청구항 3.

제 1항에 있어서, 상기 제 3 래치는,

상기 제 1 클럭 신호의 제 1 에지에 응답하여 상기 제 1 래치에서 출력되는 데이터를 래치하고,

상기 제 4 래치는,

상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 2 래치에서 출력되는 데이터를 래치 하는 것을 특징으로 하는 인터페이스 회로.

## 청구항 4.

제 1항에 있어서,

기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비하는 것을 특징으로 하는 인터페이스 회로.

## 청구항 5.

제 4항에 있어서, 상기 제 1 클럭 신호는,

상기 기입 제어 신호의 홀수 번째 상승 에지에 응답하여 발생되고,

상기 제 2 클럭 신호는,

상기 기입 제어 신호의 짝수 번째 상승 에지에 응답하여 발생되는 것을 특징으로 하는 인터페이스 회로.

## 청구항 6.

제 1항에 있어서, 상기 기입 활성화 신호는,

상기 제 2 클럭 신호가 발생된 후 상기 제 1 클럭 신호가 발생되기 전에 활성화되어 상기 제 3 래치 및 상기 제 4 래치에 래치된 상기 데이터를 출력하는 것을 특징으로 하는 인터페이스 회로.

## 청구항 7.

제 1 항에 있어서, 상기 n은,

9인 것을 특징으로 하는 인터페이스 회로.

**청구항 8.**

제 1항에 있어서, 상기 제 1 내지 제 4 래치는,  
플립플롭인 것을 특징으로 하는 인터페이스 회로.

**청구항 9.**

제 1 클럭 신호에 응답하여 m 비트 데이터를 래치 하는 제 1 래치부 ; 및  
제 2 클럭 신호에 응답하여 상기 제 1 래치부에서 출력되는 상기 m 비트 데이터를 래치하며 기입 활성화 신호에 응답하여 래치 된 상기 데이터를 출력하는 제 2 래치부를 구비하고,  
상기 데이터는,  
상기 제 1 래치부에서 상기 제 2 래치부로 전송되는 동안 데이터 변환이 수행되는 것을 특징으로 하는 인터페이스 회로.

**청구항 10.**

제 9항에 있어서, 상기 제 1 래치부는,  
상기 제 1 클럭 신호의 제 2 에지에 응답하여 m/2 비트의 상기 데이터를 래치 하는 제 1 플립플롭 ; 및  
상기 제 1 클럭 신호의 제 2 에지에 응답하여 나머지 m/2 비트의 상기 데이터를 래치 하는 제 2 플립플롭을 구비하는 것을 특징으로 하는 인터페이스 회로.

**청구항 11.**

제 10항에 있어서, 상기 제 2 래치부는,  
상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 1 플립플롭에서 출력되는 상기 m/2 비트의 데이터를 래치 하는 제 3 플립플롭 ; 및  
상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 2 플립플롭에서 출력되는 상기 나머지 m/2 비트의 데이터를 래치 하는 제 4 플립플롭을 구비하는 것을 특징으로 하는 인터페이스 회로.

**청구항 12.**

제 9항에 있어서, 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는,  
동일한 클럭 신호인 것을 특징으로 하는 인터페이스 회로.

**청구항 13.**

제 9항에 있어서,  
기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비하고,  
상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는,  
상기 기입 제어 신호의 상승 에지에 응답하여 발생하는 것을 특징으로 하는 인터페이스 회로.

**청구항 14.**

제 9항에 있어서, 상기 기입 활성화 신호는,  
상기 제 1 클럭 신호의 한 주기마다 한 번씩 활성화되어 상기 제 2 래치부에 래치 된 상기 데이터를 출력하는 것을 특징으로 하는 인터페이스 회로.

**청구항 15.**

제 9 항에 있어서, 상기 m은,  
18인 것을 특징으로 하는 인터페이스 회로.

**청구항 16.**

선택 신호에 응답하여 제 1 클럭 신호 또는 제 2 클럭 신호를 선택하여 출력하는 제 1 선택부 ;  
상기 제 1 클럭 신호에 응답하여 m 비트 데이터를 래치 하는 제 1 래치부 ;  
상기 선택 신호에 응답하여 상기 제 1 클럭 신호 또는 상기 제 2 클럭 신호를 선택하여 출력하는 제 2 선택부 ; 및  
제 2 클럭 신호에 응답하여 상기 제 1 래치부에서 출력되는 상기 m 비트 데이터를 래치하며 기입 활성화 신호에 응답하여 래치 된 상기 데이터를 출력하는 제 2 래치부를 구비하고,  
상기 데이터는,  
상기 제 1 래치부에서 상기 제 2 래치부로 전송되는 동안 데이터 변환이 수행되는 것을 특징으로 하는 인터페이스 회로.

**청구항 17.**

제 16항에 있어서, 상기 제 1 선택부는,  
상기 인터페이스 회로가 제 1 동작 모드일 경우 상기 제 1 클럭 신호를 출력하고 제 2 동작 모드일 경우 상기 제 2 클럭 신호를 출력하며,  
상기 제 2 선택부는,  
상기 인터페이스 회로가 상기 제 1 동작 모드일 경우 상기 제 2 클럭 신호를 출력하고 상기 제 2 동작 모드일 경우 상기 제 1 클럭 신호를 출력하는 인터페이스 회로.

**청구항 18.**

제 17항에 있어서, 상기 제 1 동작 모드는,  
상기 데이터가 m 비트로 상기 제 1 래치부로 입력되는 경우이고,  
상기 제 2 동작 모드는 상기 데이터가 m/2 비트로 상기 제 1 래치부로 입력되는 경우인 것을 특징으로 하는 인터페이스 회로.

**청구항 19.**

제 18항에 있어서, 상기 제 1 래치부는,  
상기 제 1 클럭 신호의 제 2 에지에 응답하여 m/2 비트의 상기 데이터를 래치 하는 제 1 플립플롭 ; 및  
상기 제 1 클럭 신호의 제 2 에지에 응답하여 m/2 비트의 상기 데이터를 래치 하는 제 2 플립플롭을 구비하는 것을 특징으로 하는 인터페이스 회로.

**청구항 20.**

제 19항에 있어서, 상기 제 2 래치부는,  
상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 1 플립플롭에서 출력되는 상기 m/2 비트의 데이터를 래치 하는 제 3 플립플롭 ; 및  
상기 제 2 클럭 신호의 제 1 에지에 응답하여 상기 제 2 플립플롭에서 출력되는 상기 m/2 비트의 데이터를 래치 하는 제 4 플립플롭을 구비하는 것을 특징으로 하는 인터페이스 회로.

**청구항 21.**

제 20항에 있어서,

기입 제어 신호에 응답하여 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 발생하는 클럭 발생부를 더 구비하고,  
제 1 동작 모드일 경우, 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는,  
상기 기입 제어 신호의 상승 에지에 응답하여 발생하는 것을 특징으로 하는 인터페이스 회로.

**청구항 22.**

제 21항에 있어서, 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호는,  
상기 제 1 동작 모드일 경우 동일한 클럭 신호인 것을 특징으로 하는 인터페이스 회로.

**청구항 23.**

제 22항에 있어서, 상기 기입 활성화 신호는,  
상기 인터페이스 회로의 동작 모드가 제 1 동작 모드일 경우, 상기 제 1 클럭 신호의 한 주기마다 한 번씩 활성화되어 상기 제 2 래치부에 래치된 상기 데이터를 출력하는 것을 특징으로 하는 인터페이스 회로.

**청구항 24.**

제 21항에 있어서, 상기 인터페이스 회로의 동작 모드가 제 2 동작 모드일 경우,  
상기 제 1 클럭 신호는,  
상기 기입 제어 신호의 홀수 번째 상승 에지에 응답하여 발생되고,  
상기 제 2 클럭 신호는,  
상기 기입 제어 신호의 짝수 번째 상승 에지에 응답하여 발생하는 것을 특징으로 하는 인터페이스 회로.

**청구항 25.**

제 24항에 있어서, 상기 기입 활성화 신호는,  
상기 제 2 클럭 신호가 발생된 후 상기 제 1 클럭 신호가 발생되기 전에 활성화되어 상기 제 3 플립플롭 및 상기 제 4 플립플롭에 래치된 상기 데이터를 출력하는 것을 특징으로 하는 인터페이스 회로.

**청구항 26.**

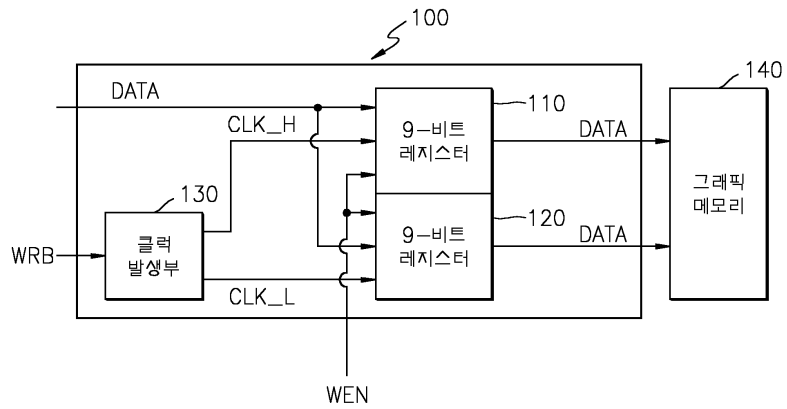
제 21항에 있어서, 상기 클럭 발생부는,  
상기 선택 신호를 발생하며, 상기 선택 신호는,  
상기 인터페이스 회로의 동작 모드가 제 1 동작 모드일 경우 제 2 레벨로 발생되고 제 2 동작 모드일 경우 제 1 레벨로 발생하는 것을 특징으로 하는 인터페이스 회로.

**청구항 27.**

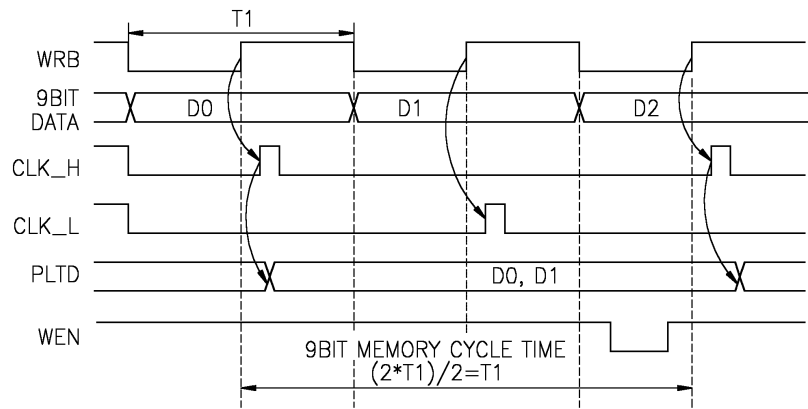
제 16 항에 있어서, 상기 m은,  
18인 것을 특징으로 하는 인터페이스 회로.

도면

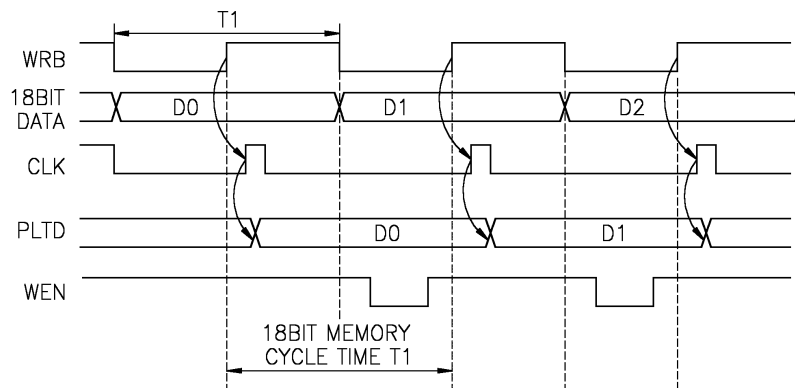
도면1



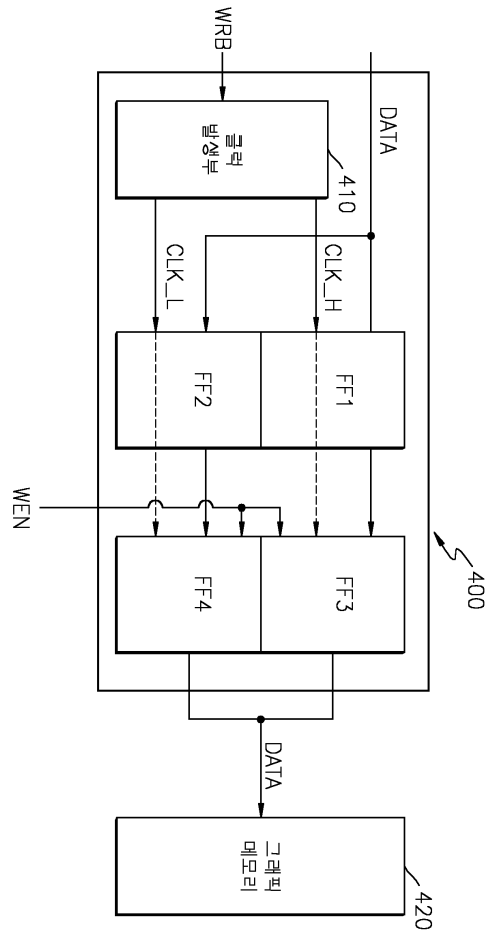
도면2



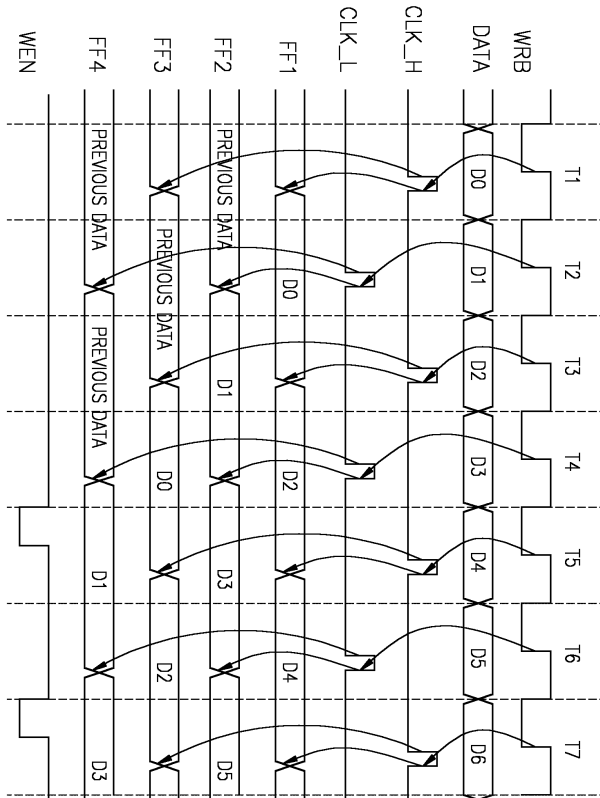
도면3



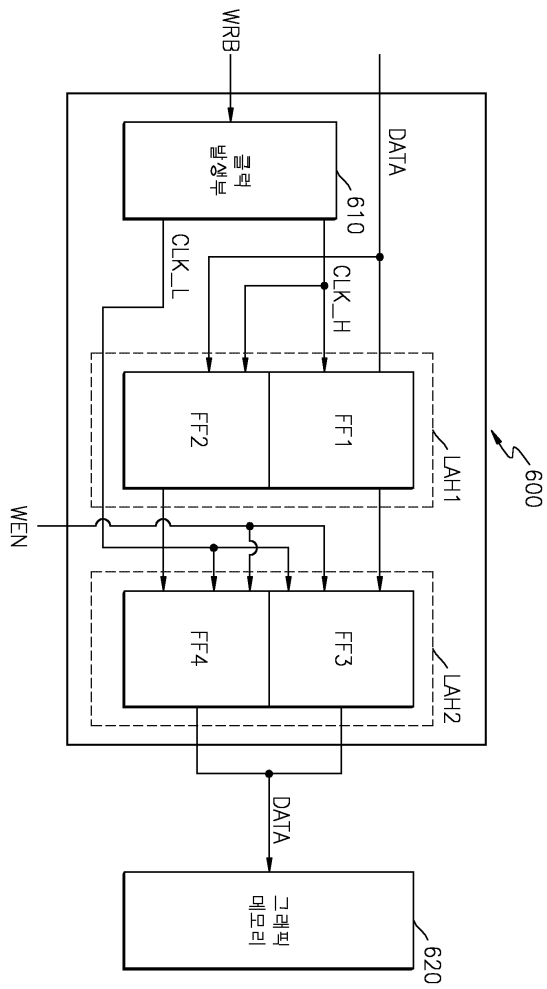
도면4



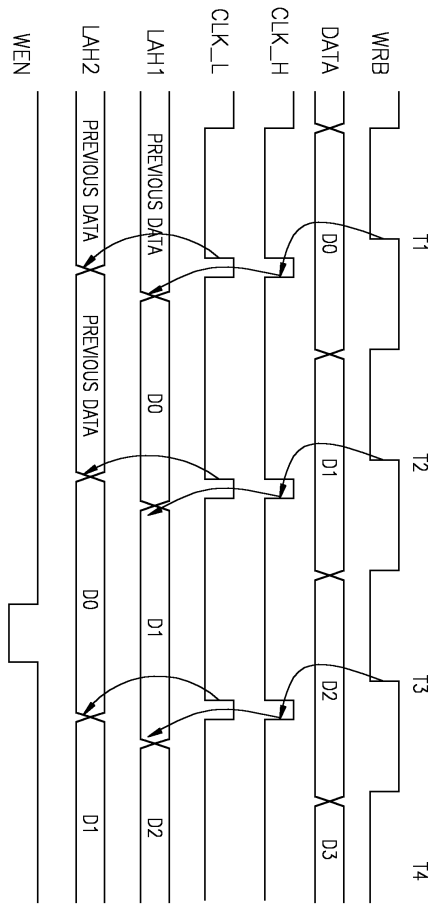
도면5



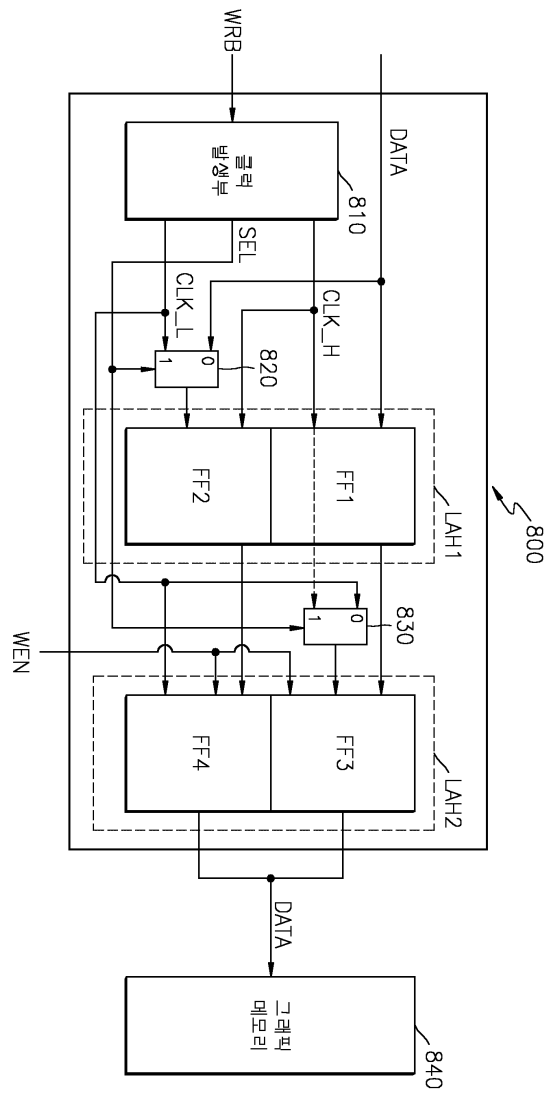
도면6



도면7



도면8



专利名称(译)	液晶显示驱动器的接口电路		
公开(公告)号	<a href="#">KR1020050020234A</a>	公开(公告)日	2005-03-04
申请号	KR1020030058001	申请日	2003-08-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KU YONGGUEN 구용근 LEE HYOUNGSEOK 이형석		
发明人	구용근 이형석		
IPC分类号	G09G3/36		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种液晶显示驱动器的接口电路。根据本发明实施例的接口电路配备有第一至第四锁存器。第一锁存器响应于第一时钟信号锁存n位数据。第二锁存器响应于第二时钟信号锁存n位数据。从第三锁存器输出的N位数据是响应于第一时钟信号被锁存的第一锁存器。响应于第二时钟信号被锁存，从第四锁存器输出的N位数据是第二锁存器。同时，输出响应于写使能信号而锁存第三锁存器和第四锁存器的数据。在从第一锁存器和第二锁存器向第三锁存器发送数据的同时，执行第四锁存器数据转换。根据本发明的接口电路具有的优点是，通过使用两个或四个寄存器确保时钟信号的产生的处理时间或数据转换，可以提高数据传输速率。而且，它具有解决传统图形存储器的速度接近图形存储器本身的写入速度的原始数据的工作速度被写入图形存储器的问题的优点。

