(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2005-0005907
(43) 공개일자 2005년01월15일

(21) 출원번호 10-2003-0045811
(22) 출원일자 2003년07월07일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김명철
경기도용인시수지읍성원2차아파트112-1601

(74) 대리인 김동진

심사청구 : 없음

(54) 액정 표시 장치 및 그 구동 방법

요약

본 발명의 실시예에 따른 액정 표시 장치는, 타이밍 컨트롤러, 클럭 제어부, 게이트 구동부, 소스 구동부, 액정 패널을 포함한다.

타이밍 컨트롤러는 데이터 신호(DATA), 로드 신호(ROAD), 수평 동기 시작 신호(STH), 수평 클럭 신호(HCLK)를 포함하는 제1 타이밍 신호와, 게이트 선택 신호(CPV), 수직 동기 시작 신호(STV) 및 출력 인에이블 신호(OE)를 포함하는 제2 타이밍 신호를 생성하여, 제1 타이밍 신호는 소스 구동부에 인가하고, 제2 타이밍 신호는 게이트 구동부에 인가한다.

클럭 제어부는 상기 수평 클럭 신호(HCLK)의 타이밍을 제어하여 지연된 클럭 신호(Delayed-CLK)를 소스 구동부에 인가한다.

따라서, 소스 구동부에 지연된 클럭 신호가 인가됨으로서, 각 소스 구동 집적 회로 내의 데이터 셋업 타임의 마진을 확보할 수 있으며, 이에 따라 데이터 신호의 오전달을 막을 수 있다.

대표도

도 4

색인어

수평 클럭 신호, 수평 동기 시작 신호, 캐리 신호, 셋업 타임

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액정 표시 장치를 설명하기 위한 도면이다.

도 2는 종래의 수평 클럭 신호(HCLK)에 대한 수평 동기 시작 신호(STH) 및 캐리 신호(Carry)의 파형을 나타내는 도이다.

도 3은 본 발명에 따른 지연된 클럭 신호(Delayed-CLK)에 대한 수평 동기 시작 신호(STH) 및 캐리 신호(Carry)의 파형을 나타내는 도이다.

도 4는 본 발명의 실시예에 따른 액정 표시 장치의 상세한 신호 흐름을 나타내는 도이다.

도 5는 본 발명의 실시예에 따른 클럭 제어부를 설명하는 도이다.

도 6은 일반적인 액정 표시 장치의 수평 동기 시작 신호 및 각 캐리 신호에 따른 셋업 타임의 편차를 나타내는 도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것이다. 더욱 상세하게는, 소스 구동부에 인가되는 수평 클럭 신호를 가변하여 데이터 셋업 타임을 조절하는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

일반적으로, 액정 표시 장치는 게이트 라인과 데이터 라인이 교차하여 이루어지는 다수의 화소 영역으로 이루어진 액정 패널, 타이밍 컨트롤러와, 타이밍 컨트롤러로부터의 타이밍 신호를 제공 받아, 액정 패널을 구동하는 소스 구동부 및 게이트 구동부를 포함하여 이루어진다.

일반적으로, 소스 구동부는 다수의 데이터 라인을 구동하는 다수의 소스 구동 IC가 형성되어 있으며, 게이트 구동부도 다수의 게이트 라인을 구동하는 다수의 게이트 구동 IC가 형성되어 있다.

액정 패널의 각 화소에 화상 데이터를 인가하는 방법은 다음과 같다.

먼저, 게이트 라인들에 순차적으로 게이트 온/오프 신호를 인가하여 게이트 라인에 연결된 스위칭 소자를 차례로 턴 온/오프 시키고, 이와 동시에 게이트 라인에 대응하는 화소 행에 인가할 화상 데이터(구체적으로는 계조 전압)를 소스 구동부를 통해 각각 데이터 라인에 공급한다.

보다 상세하게는, 타이밍 컨트롤러로부터 인가된 데이터 신호를 소스 구동부의 쉬프트 레지스터 내에 저장했다가 수평 동기 시작 신호가(STH)가 인가되는 경우에 상기 데이터 신호에 해당하는 계조 전압을 각각의 데이터 라인에 전달한다.

여기서, 수평 동기 시작 신호(STH)는 첫번째 소스 구동 IC에 인가되고, 나머지 소스 구동 IC에는 캐리 신호(Carry)가 인가되어, 상기 수평 동기 시작 신호 및 캐리 신호가 인가됨에 따라, 각각의 소스 구동 IC에 데이터 신호가 차례로 래치되고, 한 라인 분량의 데이터 신호가 모두 래치되면, 상기 데이터 신호에 해당하는 계조 전압이 동시에 액정 패널에 출력된다.

한편, 소스 구동부에 인가되는 수평 클럭 신호(HCLK)에 대하여 데이터 셋업(Set-up) 시간의 마진을 확보하는 것이 중요한데, 이에 대해 도 6을 참조하여 설명한다.

도 6은 일반적인 액정 표시 장치의 수평 동기 시작 신호 및 각 캐리 신호에 따른 셋업 타임의 편차를 나타내는 도이다.

도 6에 도시된 바와 같이, 일반적인 액정 표시 장치의 수평 동기 시작 신호(STH)와 각 소스 구동 집적 회로의 각 캐리 신호(Carry)에 대해, 셋업 타임의 편차를 스펙(spec) 기준에 따라 나타낸 것으로, 수평 동기 시작 신호(STH)의 셋업 타임은 5.5ns 이나, 캐리 신호(Carry)의 셋업 타임은 3.5ns~4.5ns의 산포를 갖는 것을 알 수 있다.

여기서, 셋업 타임이 스펙에 규정된 4ns 이하로 나타나는 경우, 데이터 신호가 잘못 전달되는 오동작이 발생할 수 있다.

일반적으로, 수평 동기 시작 신호(STH)를 출력하는 상기 타이밍 컨트롤러는 충분한 셋업 타임 마진을 가지고 설계하여 문제가 되지 않으나, 캐리 신호(Carry)의 경우는, 소스 구동 IC에서 출력되는 신호이기 때문에, 각각의 소스 구동 IC의 공정 편차에 의하여, 캐리 신호가 지연되게 되고 이에 따라 셋업 타임이 줄어들어 문제가 발생하였다.

캐리 신호의 지연이 심한 경우에는 1클럭 만큼 지연될 수 있어 화면에 출력이 한 라인 만큼 잘못 출력되어, 정상출력이 이루어지지 않는다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 수평 클럭 신호를 지연시켜, 데이터 셋업 타임의 마진을 확보하기 위한 액정 표시 장치를 제공하는 것이다.

본 발명의 다른 목적은, 소스 구동 집적 회로의 공정 편차에 따른 캐리 신호의 지연에 의해 발생되는 데이터 셋업 타임의 감소를 줄이고, 데이터 셋업 타임의 마진을 확보하기 위한 액정 표시 장치의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 액정 표시 장치는, 데이터 신호와, 수평 클럭 신호 및 수평 동기 시작 신호를 포함하는 제1 타이밍 신호와, 게이트 클럭 신호 및 수직 동기 시작 신호를 포함하는 제2 타이밍 신호를 출력하는 타이밍 컨트롤러; 상기 수평 클럭 신호를 입력받아 소정 시간 지연 시키는 클럭 제어부; 상기 수평 동기 시작 신호 및 상기 클럭 제어부로부터의 신호에 따라 상기 데이터 신호를 계조 전압으로 변환하여 액정 패널에 제공하는 소스 구동부; 상기 제2 타이밍 신호를 입력받아, 복수의 게이트 온/오프 신호를 액정 패널에 제공하는 게이트 구동부; 및 다수의 화소 영역으로 이루어져, 상기 게이트 구동부 및 소스 구동부로부터의 구동 신호에 따라, 상기 다수의 화소 영역에 화상을 디스플레이하는 상기 액정 패널을 포함하여 이루어진다.

여기서, 상기 클럭 제어부는 다수의 버퍼 회로로 구성되어질 수 있다.

이 때, 상기 클럭 제어부는 상기 수평 클럭 신호를 1ns 내지 4ns로 지연시키 는 것이 바람직하다.

또한, 상기 클럭 제어부는 상기 타이밍 컨트롤러에 일체로 구성되는 것을 특징으로 할 수 있다.

한편, 본 발명에 따른 액정 표시 장치의 구동 방법은, 소스 구동 집적 회로의 각각의 캐리 신호에 따른 셋업 타임을 측정하는 제1 단계; 상기 셋업 타임이 기준 스펙보다 작은 경우, 수평 클럭 신호를 지연시키는 제2 단계; 및 상기 지연된 수평 클럭 신호와, 수평 동기 시작 신호의 인가에 따라 데이터 신호를 액정 패널에 인가하는 제3 단계를 포함하여 이루어진다.

이 때, 상기 제2 단계는, 상기 수평 클럭 신호를 1ns 내지 4ns로 지연시키는 것이 바람직하다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치를 설명하기 위한 도면이다.

도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는, 타이밍 컨트롤러(100), 클럭 제어부(200), 게이트 구동부(300), 소스 구동부(400), 액정 패널(500)을 포함한다.

타이밍 컨트롤러(100)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 각각의 데이터 신호(DATA), 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 입력받아, 상기 데이터 신호(DATA)의 디스플레이를 제어하는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync)를 근거로 제1 및 제2 타이밍 신호를 생성한다. 제1 타이밍 신호는 소스 구동부(400)에 인가 되고, 제2 타이밍 신호는 게이트 구동부(300)로 인가된다.

여기서, 제1 타이밍 신호는 상기 데이터 신호(DATA)와, 데이터 신호(DATA) 전송 완료 후 소스 구동부(400)에 출력을 시작하는 로드 신호(ROAD)와 게이트 라인들의 시작을 알리는 수평 동기 시작 신호(STH), 수평 클럭 신호(HCLK)를 포함한다.

제2 타이밍 신호는 게이트 온/오프 신호의 출력을 제어하는 게이트 선택 신호(CPV), 첫번째 게이트 라인의 선택을 위한 수직 동기 시작 신호(STV) 및 출력 인에이블 신호(OE)를 포함한다.

클럭 제어부(200)는 상기 타이밍 컨트롤러(100)로부터 제공되는 수평 클럭 신호(HCLK)의 타이밍을 제어하여 지연된 클럭 신호(Delayed-CLK)를 소스 구동부(400)에 인가하는 것으로, 자세한 설명은 후술하기로 한다.

게이트 구동부(300)는 타이밍 컨트롤러(100)로부터 제공되는 게이트 선택 신호(CPV)와 수직 동기 시작 신호(STV)를 제공받아 복수의 게이트 온/오프 신호(G1, G2, ... Gn)를 액정 패널(500)에 구성된 복수의 게이트 라인에 순차적으로 인가한다.

소스 구동부(400)는 상기 타이밍 컨트롤러(100)로부터 제공되는 RGB 각각의 데이터 신호(DATA)를 제공받아 쉬프트 레지스터(도시하지 않음)내에 저장했다가 수평 동기 시작 신호(STH)가 인가되는 경우에는 RGB 각각의 데이터 신호(DATA)에 해당하는 전압으로 변환하여 액정 패널(500)에 구성된 복수의 데이터 라인에 인가하는데, 첫번째 게이트 라인부터 마지막 게이트 라인에 대응하는 수평 동기 시작 신호(STH)가 입력되는 경우에 해당 화상 신호(R, G, B)를 액정 패널(500)에 전달한 다. 또한, 소스 구동부(400)는 다수의 소스 구동 집적 회로로 구성되며, 첫번째 소스 구동 집적 회로에 수평 동기 시작 신호(STH)가 인가되면, 두번째 소스 구동 집적 회로부터는 캐리 신호(Carry)가 인가되는 구조로 이루어진다. 이에 대해서는 후술하기로 한다.

액정 패널(500)은 m ×n개의 매트릭스 타입으로 구성된 복수의 화소 전극으로 구성되며, 게이트 구동부(300)로부터 제공되는 게이트 온/오프 신호(G1, G2, ... Gn)가 화소에 인가됨에 따라 소스 구동부(400)로부터 제공되는 데이터 전압(D1, D2, ... Dn)에 응답하여 내장된 해당 화소 전극을 구동하여 화상을 디스플레이한다.

그러면, 도 2 및 도 3을 참조하여, 클럭 제어부(200)를 통해 각 소스 구동 집적 회로에 지연된 클럭 신호(Delayed-CLK)를 인가하는 이유에 대해 설명한다.

도 2는 종래의 수평 클럭 신호(HCLK)에 대한 수평 동기 시작 신호(STH) 및 캐리 신호(Carry)의 파형을 나타내는 도이다.

도 3은 본 발명에 따른 지연된 클럭 신호(Delayed-CLK)에 대한 수평 동기 시작 신호(STH) 및 캐리 신호(Carry)의 파형을 나타내는 도이다.

각각의 소스 구동 집적 회로는 수평 클럭 신호(HCLK)의 상승(rising) 시점에 맞추어 데이터 신호가 래치되므로, 상기 수평 클럭 신호(HCLK)에 대하여 데이터 셋업 시간(Set-up)의 마진을 확보하는 것이 중요한다.

도 2 및 도 3에 도시된 바와 같이, 상기 수평 동기 시작 신호(STH) 또는 상기 캐리 신호(Carry)가 하이 레벨이고, 수평 클럭 신호(HCLK)가 하이 레벨을 나타낼 때의 시간을 데이터 셋업 타임(Set-up)이라고 하며, 상기 데이터 셋업 타임은 수평 클럭 신호의 하강(falling) 이전에 데이터가 도착해야 하는 최소한의 시간 길이를 말한다.

또한, 상기 수평 동기 시작 신호(STH) 또는 상기 캐리 신호(Carry)가 하이 레벨이고, 수평 클럭 신호(HCLK)가 로우 레벨을 나타낼 때의 시간을 데이터 홀드 타임(Hold)이라고 하며, 상기 데이터 홀드 타임(Hold)은 수평 클럭 신호(HCLK)의 하강(falling) 이후 데이터가 안정되어야 하는 최소한의 시간 길이를 말한다.

일반적으로, 수평 동기 시작 신호(STH)를 출력하는 상기 타이밍 컨트롤러(100)는 설계시에 충분한 마진을 가지고 설계하여, 도 2에서와 같이, 수평 동기 시작 신호(STH)와 수평 클럭 신호(HCLK)간의 셋업 타임은 15ns 정도를 나타낸다.

그러나, 캐리 신호(Carry)의 경우는, 소스 구동 집적 회로(S1~Sn)에서 출력되는 신호로 각각의 소스 구동 집적 회로(S1~Sn)의 공정 편차에 의하여, 도 2 에서와 같이, 캐리 신호(Carry)의 지연이 일어날 수 있어, 셋업 타임이 줄어들게 된다.

따라서, 지연된 클럭 신호(Delayed-CLK)를 소스 구동 집적 회로(S1~Sn)에 인가할 경우, 도 3에 도시된 바와 같이, 충분한 셋업 타임을 확보하게 되어 데이터 신호가 잘못 전달되는 것을 막을 수 있다.

그러면, 본 발명에 따른 상기 소스 구동부(400)와 소스 구동부(400)에 지연된 클럭 신호(Delayed-CLK)를 제공하는 클럭 제어부(200)에 대하여 상세히 설명한다.

먼저, 도 4를 참조하여, 본 발명에 따른 소스 구동부의 구조 및 동작을 설명 한다.

도 4는 본 발명의 실시예에 따른 액정 표시 장치의 상세한 신호 흐름을 나타내는 도이다.

도 4에 도시된 바와 같이, 본 발명의 소스 구동부(400)는 다수의 소스 구동 집적 회로(S1, S2, S3, ..., Sn)로 구성된다.

상기 타이밍 컨트롤러(100)로부터 제공되는 상기 데이터 신호(DATA)와 수평 클럭 신호(HCLK)는 각 소스 구동 집적 회로(S1, S2, S3, ..., Sn)로 입력되도록 구성되고, 상기 수평 동기 시작 신호(STH)는 제1 소스 구동 집적 회로(S1)에 입력되도록 구성된다.

수평 동기 시작 신호(STH)가 제1 소스 구동 집적 회로(S1)에 인가되면, 제1 소스 구동 집적 회로(S1)는 시리얼로 전송되는 상기 데이터 신호(DATA) 중 해당되는 양의 데이터를 읽어서 래치시키고, 제1 캐리 신호(Carry1)를 생성하여 제2 소스 구동 집적 회로(S2)에 인가한다.

제1 캐리 신호(Carry1)가 인가되면, 제2 소스 구동 집적 회로(S2)는 상기 제1 소스 구동 집적 회로(S1)에서 래치된 데이터 이후 전송되는 해당되는 양의 데이터를 읽어서 래치시키고, 다시 제2 캐리 신호(Carry2)를 생성하여 제3 소스 구동 집적 회로(S3)에 인가한다.

이런 방법으로, 상기 수평 동기 시작 신호(STH)에 의해, n 번째 소스 구동 집적 회로(Sn)에 까지 캐리 신호(Carry(n-1))가 인가되며, 이에 따라 제1 소스 구동 집적 회로(S1)에서 부터 N번째 소스 구동 집적 회로(Sn)에 까지 데이터가 래치된 후, 한 라인 분량의 데이터가 한꺼번에 액정 패널(500)로 출력된다.

다음은, 본 발명의 실시예에 따른 클럭 제어부(200)에 대하여 설명한다.

도 5는 본 발명의 실시예에 따른 클럭 제어부를 설명하는 도이다.

도 5에 도시된 바와 같이, 본 발명의 실시예에 따른 클럭 제어부(200)는 다수의 버퍼(buffer) 회로로 구성되어, 타이밍 컨트롤러(100)로부터 출력되는 수평 클럭 신호(HCLK)를 1ns 내지 4ns의 시간 동안 지연시켜, 지연된 클럭 신호(Delayed-CLK)를 각각의 소스 구동 집적 회로(S1, S2, S3, ..., Sn)에 공급하도록 구성되어 있다.

즉, 상기 클럭 제어부(200)는 상기 소스 구동 집적 회로(S1, S2, S3, ..., Sn)에 인가되는 캐리 신호(Carry)의 지연으로 인해 발생하는 오류를 방지하기 위해, 수평 클럭 신호(HCLK)를 소정 시간 지연 시킬 수 있도록 구성된 것으로, 본 발명의 실시예에서와 같이 독립적으로 구현될 수 있으며, 상기 타이밍 컨트롤러(100)에 일체로 구성되어질 수도 있다.

다음은, 본 발명의 실시예에 따른 액정 표시 장치의 구동 방법을 설명한다.

먼저, 오실로스코프(Oscilloscope) 등으로 소스 구동 집적 회로(S1~Sn)의 수평 동기 시작 신호(STH) 및 각각의 캐리 신호(Carry)에 따른 셋업 타임을 측정한다.

다음, 상기 셋업 타임이 기준 스펙(spec)보다 작은 경우, 지연된 수평 클럭 신호(Delayed-CLK)를 인가한다. 이 때, 셋업 타임이 기준 스펙보다 작은 정도에 따라, 수평 클럭 신호(HCLK)의 지연시간을 1ns 내지 4ns 정도로 하는 것이 바람직 하다.

다음, 상기 지연된 수평 클럭 신호(Delayed-CLK)와, 수평 동기 시작 신호(STH) 및 캐리 신호(Carry)의 인가에 따라 상기 각각의 소스 구동 집적 회로(S1~Sn)에 각각의 데이터 신호를 래치 시키고, 이에 따라 한 라인 분량의 데이터 신호가 래치되면, 한꺼번에 상기 데이터 신호에 해당하는 계조 전압으로 액정 패널에 인가된다.

따라서, 첫번째 게이트 라인부터 마지막 게이트 라인에 대응하는 수평 동기 시작 신호(STH)가 입력되는 경우에, 순차적으로 인가되는 게이트 온/오프 신호에 따라 한 프레임 분량의 화상 신호가 액정 패널에 전달된다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고 본 발명의 기술적 요지를 벗어나지 않는 범위 내에서 당업자에 의해 다양하게 변형 실시될 수 있다.

발명의 효과

본 발명은 타이밍 컨트롤러로부터 제공되는 수평 클럭 신호를 지연시켜, 각 소스 구동 집적 회로에 인가함으로서, 각 소스 구동 집적 회로 내의 데이터 셋업 타임의 마진을 확보할 수 있으며, 이에 따라 데이터 신호의 오전달을 막을 수

있다.

(57) 청구의 범위

청구항 1.
데이터 신호와, 수평 클럭 신호 및 수평 동기 시작 신호를 포함하는 제1 타이밍 신호와, 게이트 클럭 신호 및 수직 동기 시작 신호를 포함하는 제2 타이밍 신호를 출력하는 타이밍 컨트롤러;

상기 수평 클럭 신호를 입력받아 소정 시간 지연 시키는 클럭 제어부;

상기 수평 동기 시작 신호 및 상기 클럭 제어부로부터의 신호에 따라 상기 데이터 신호를 계조 전압으로 변환하여 액정 패널에 제공하는 소스 구동부;

상기 제2 타이밍 신호를 입력받아, 복수의 게이트 온/오프 신호를 액정 패널에 제공하는 게이트 구동부; 및

다수의 화소 영역으로 이루어져, 상기 게이트 구동부 및 소스 구동부로부터의 구동 신호에 따라, 상기 다수의 화소 영역에 화상을 디스플레이하는 상기 액정 패널을 포함하는 액정 표시 장치.

청구항 2.
제1항에서,

상기 클럭 제어부는 다수의 버퍼 회로로 구성된 액정 표시 장치.

청구항 3.
제2항에서,

상기 클럭 제어부는 상기 수평 클럭 신호를 1ns 내지 4ns로 지연시키는 것을 특징으로 하는 액정 표시 장치.

청구항 4.
제1항에서,

상기 클럭 제어부는 상기 타이밍 컨트롤러에 일체로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.
소스 구동 집적 회로의 각각의 캐리 신호에 따른 셋업 타임을 측정하는 제1 단계;

상기 셋업 타임이 기준 스펙보다 작은 경우, 수평 클럭 신호를 지연시키는 제2 단계; 및

상기 지연된 수평 클럭 신호와, 수평 동기 시작 신호의 인가에 따라 데이터 신호를 액정 패널에 인가하는 제3 단계를 포함하는 액정 표시 장치의 구동 방법.

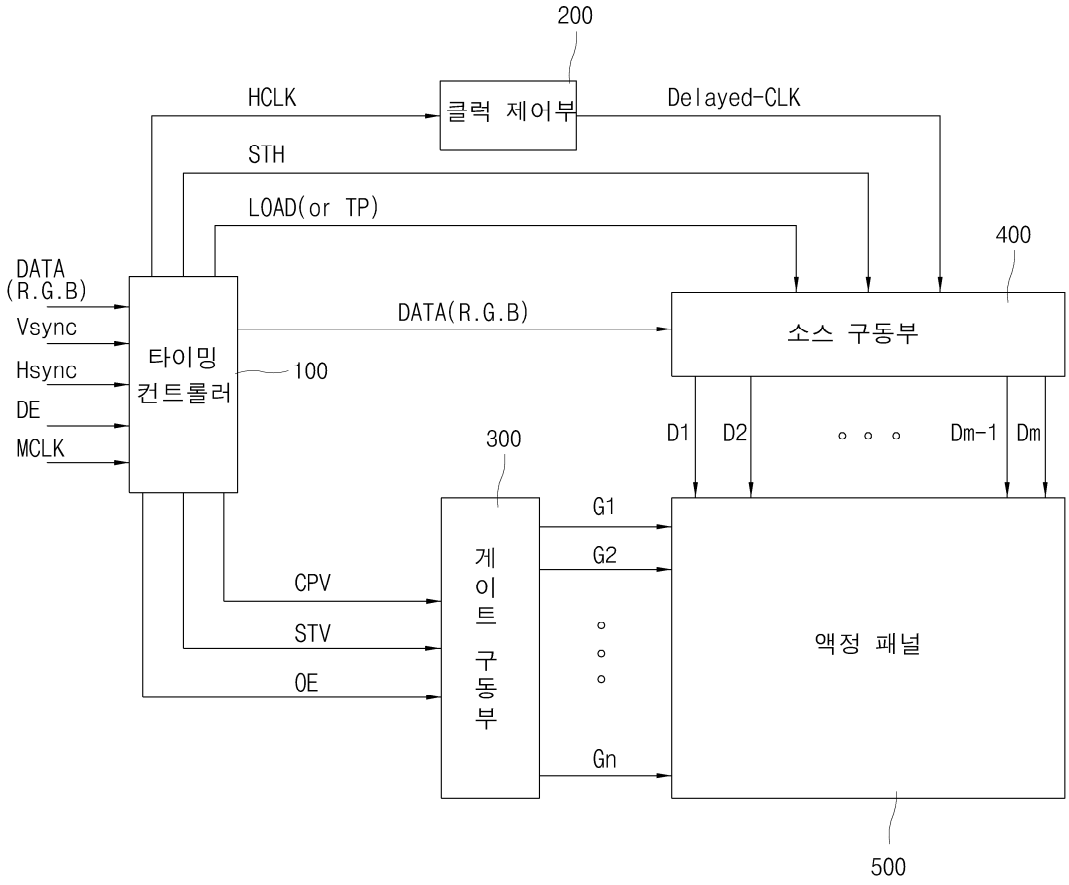
청구항 6.
제5항에서,

상기 제2 단계는,

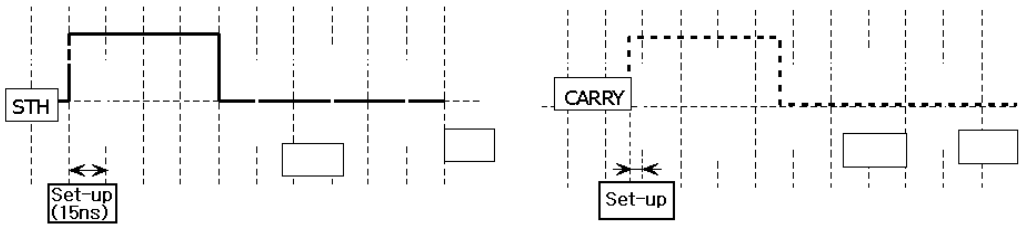
상기 수평 클럭 신호를 1ns 내지 4ns로 지연시키는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

도면

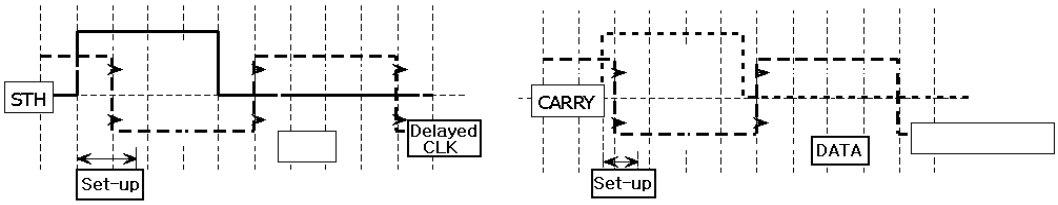
도면1


200
HCLK
클럭 제이부
Delayed-CLK
STH
LOAD(or TP)
400
DATA
(R.G.B)
Vsync
Hsync
DE
MCLK
타이밍
컨트롤러
100
DATA(R.G.B)
소스 구동부
D1
D2
Dm-1
Dm
300
G1
G2
CPV
STV
OE
게이트 구동부
액정 패널
Gn
500

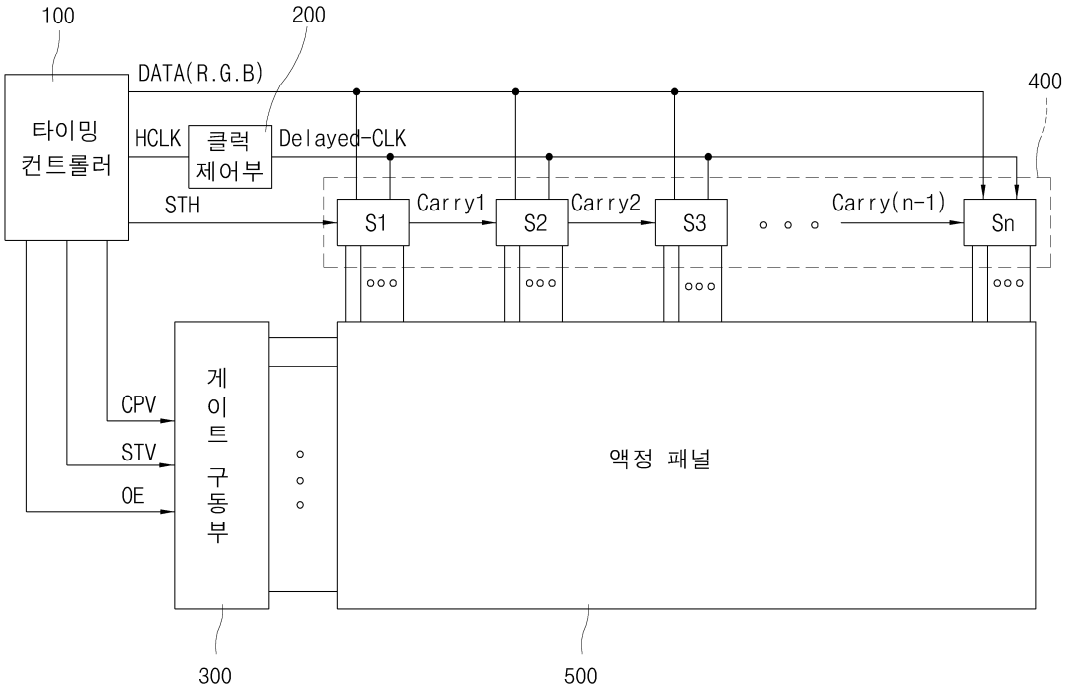
도면2


STH
Set-up
(15ns)
CARRY
Set-up

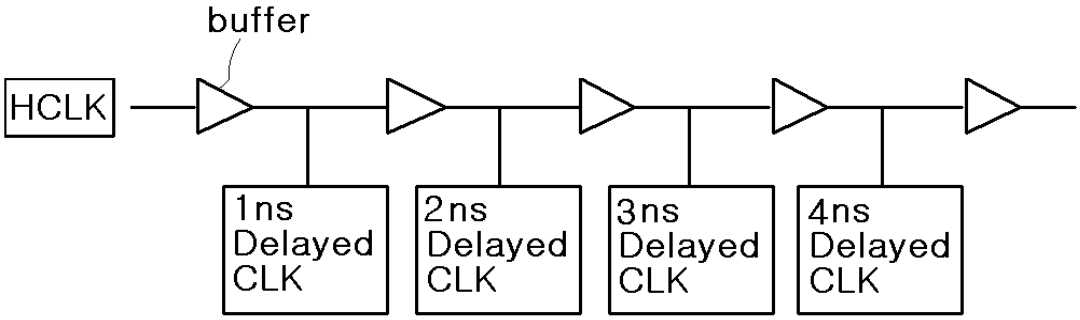
도면3


STH
Set-up
Delayed
CLK
CARRY
Set-up
DATA

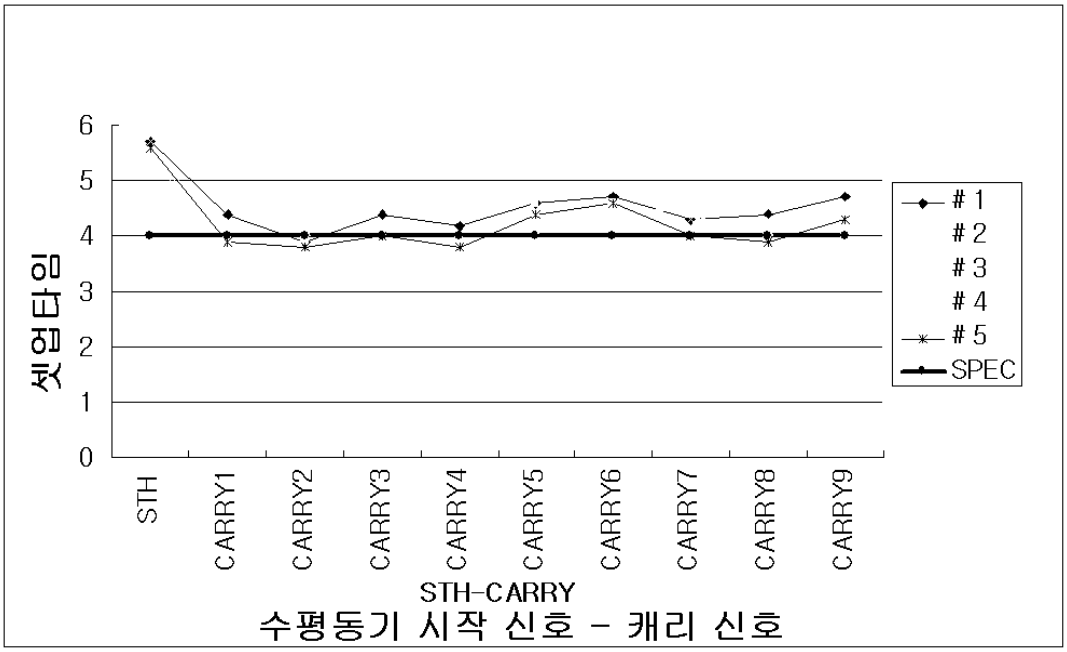
도면4


100
200
400
DATA(R.G.B)
타이밍
컨트롤러
HCLK
클럭
제어부
Delayed-CLK
STH
S1
Carry1
S2
Carry2
S3
Carry(n-1)
Sn
CPV
STV
OE
게
이
트
구
동
부
액정 패널
300
500

도면5


buffer
HCLK
1ns
Delayed
CLK
2ns
Delayed
CLK
3ns
Delayed
CLK
4ns
Delayed
CLK

도면6


셋업타임
6
5
4
3
2
1
0
STH
CARRY1
CARRY2
CARRY3
CARRY4
CARRY5
CARRY6
CARRY7
CARRY8
CARRY9
STH-CARRY
1
2
3
4
5
SPEC
수평동기 시작 신호 - 캐리 신호

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050005907A	公开(公告)日	2005-01-15
申请号	KR1020030045811	申请日	2003-07-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM MYUNGCHUL		
发明人	KIM,MYUNGCHUL		
IPC分类号	G09G3/36		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示器包括时序控制器，时钟控制部分和栅极驱动单元，源极驱动器和液晶面板。第二定时信号包括第一定时信号，其中定时控制器包括数据信号（DATA），负载信号（ROAD），水平同步开始信号（STH），水平时钟信号（HCLK）和门选择信号（CPV），以及垂直同步开始信号（STV）和输出使能信号（OE）被创建。第一个定时信号在源驱动程序中授权。第二定时信号在门驱动单元中授权。时钟控制部分控制水平时钟信号（HCLK）的定时并且延迟的时钟信号（Delayed-CLK）在源极驱动器中被授权。因此，确保了在源驱动器处施加延迟时钟信号的每个源驱动集成电路内的数据建立时间裕度。因此，可以防止数据信号的错误传输。水平时钟信号，水平同步开始信号，进位信号，建立时间。