

도 4d

특허청구의 범위

청구항 1.

연속적으로 적층된 ITO와 같은 투명전극막과 AI 재질의 불투명 금속막을 일괄 에치로 패터닝하는 공정을 포함하는 액정 표시장치의 어레이기판의 제조방법에 있어서,

기판 상에 다결정 ITO 재질의 투명전극막 및 미반응성 제1금속막과 AI 재질의 배선용 금속막을 포함하는 불투명 금속막을 차례로 적층하는 단계;

상기 배선용 금속막 상에 하프톤 노광 공정을 이용해서, 배선용 금속막을 잔류시킬 제1영역은 상대적으로 두꺼운 두께를 갖고, 불투명 금속막을 제거하고 투명전극막만을 잔류시킬 제2영역은 상대적으로 얇은 두께를 가지며, 상기 제1 및 제2영역들 이외의 제3영역에는 개구부를 갖는 레지스트 패턴을 형성하는 단계;

상기 레지스트 패턴을 식각 마스크로 이용해서 제3영역의 배선용 금속막과 미반응성 제1금속막을 식각하는 단계;

상기 식각된 배선용 금속막과 미반응성 제1금속막의 측벽에 무전해도금법을 이용해서 미반응성 제2금속막을 형성하는 단계;

상기 레지스트 패턴 및 미반응성 제2금속막을 식각 마스크로 이용해서 투명전극막을 식각하는 단계;

상기 제2영역의 레지스트 패턴이 제거되도록 상기 레지스트 패턴에 대해 에칭 공정을 수행하는 단계;

상기 잔류된 레지스트 패턴을 식각 마스크로 이용해서 제2영역의 배선용 금속막과 미반응성 제1금속막 및 미반응성 제2금속막을 식각하는 단계; 및

상기 잔류된 레지스트 패턴을 제거하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치의 어레이기판의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 미반응성 제1금속막과 미반응성 제2금속막은 Mo, Cu, Au, Ag, Pt 및 이들의 조합 중에서 선택되는 어느 하나의 재질로 형성되는 것을 특징으로 하는 액정표시장치의 어레이기판의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 구체적으로는, 포토리소그래피 공정수를 줄일 수 있는 프린지 필드 스위칭 모드 액정표시장치의 어레이기판의 제조방법에 관한 것이다.

프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching ; 이하, FFS) 모드 액정표시장치는 인-플레인 스위칭(In Plain Switching) 모드 액정표시장치의 낮은 개구율 및 투과율을 개선시키기 위하여 제안되어, 대한민국 특허출원 98-9243호로 출원되었다.

상기 FFS 모드 액정표시장치는 상대전극과 화소전극을 투명 전도체로 형성하면서, 상대전극과 화소전극 사이의 간격을 상·하 기판 사이의 간격(셀갭) 보다 좁게 형성하여, 상기 상대전극과 화소전극 사이에서 프린지 필드가 형성되도록 함으로써, 상기 전극들 상부에 존재하는 액정 분자들이 모두 동작되도록 한다.

도 1은 종래의 FFS 모드 액정표시장치의 어레이기판을 도시한 단면도로서, 이를 참조하여 그 제조방법을 설명하면 다음과 같다.

도시된 바와 같이, 유리기판과 같은 투명성 절연 기판(1) 상에 다결정의 ITO(Indium Tin Oxide)막을 증착하고, 그런 다음, 제1포토 공정으로 상기 ITO막을 패터닝하여, 플레이트(plate) 타입의 상대전극(2)을 형성한다. 이어서, 상기 상대전극(2)이 형성된 기판(1)의 전면 상에 소정의 불투명 금속막, 예컨대, Mo/Al 또는 Mo/Al/Mo와 같은 배선용 금속막을 증착하고, 제2포토 공정으로 상기 배선용 금속막을 패터닝하여, 게이트 라인(3)과 공통전극 라인(4)을 형성한다.

다음으로, 상기 게이트 라인(3) 및 공통전극 라인(4)이 형성된 기판(1)의 전면 상에 게이트 절연막(5)을 증착하고, 상기 게이트 절연막(5) 상에 도핑되지 않은 비정질실리콘막과 도핑된 비정질실리콘막을 차례로 증착한 후, 제3포토 공정으로 상기 도핑된 비정질실리콘막 및 도핑되지 않은 비정질실리콘막을 패터닝하여, 오믹 콘택층(7) 및 채널층(6)을 형성한다.

그 다음, 상기 결과물 상에 데이터 라인용 금속막을 증착한 상태에서, 제4포토 공정으로 상기 데이터 라인용 금속막을 패터닝하여, 소오스/드레인 전극(8)을 포함한 데이터 라인(도시안됨)을 형성한다. 이 결과, 기판(1)의 소정부에 박막 트랜지스터(이하, TFT라 칭함)가 형성된다.

계속해서, 상기 TFT를 보호하기 위하여, 상기 결과물의 전면 상에, 예컨대, SiN막으로 이루어지는 보호막(9)을 도포하고, 제5포토 공정으로 상기 보호막의 일부분을 선택적으로 식각하여, 상기 TFT의 소오스/드레인 전극(8)을 노출시키는 콘택홀(10)을 형성한다.

그리고나서, 상기 보호막(9) 상에 ITO막을 증착한 상태에서, 제6포토 공정으로 상기 ITO막을 패터닝하여 슬릿 slit) 타입의 화소전극(11)을 형성한다.

그러나, 상기와 같은 종래의 FFS 모드 액정표시장치의 어레이기판을 형성하기 위해서는, 전술한 바와 같이, 6회의 포토 공정이 요구되는데, 주지된 바와 같이, 포토 공정은 레지스트 도포와 노광 및 현상 공정을 통한 레지스트 패터닝 형성 공정과, 상기 레지스트 패터닝을 마스크로 하는 식각 공정, 및, 상기 레지스트 패터닝의 제거 공정을 포함하기 때문에, 한 번의 포토 공정을 진행하는 장시간이 소요되고, 이로 인하여, 6회의 포토 공정을 포함하는 FFS 모드 액정표시장치를 제조하는데 매우 긴 시간이 소요됨으로써, 생산성의 향상에 한계가 있음은 물론, 제조 비용의 절감에 어려움이 있다.

이에, 최근에는 전술한 종래의 FFS 모드 액정표시장치의 어레이기판 형성시의 마스크 수 감소 및 공정 단순화를 위해 상대전극과 게이트 라인 및 공통전극 라인을 하나의 하프톤(Half Tone) 마스크를 이용해서 형성하는 기술이 제안되었다. 이하에서는 상기 하프톤 마스크를 이용하는 기술에 대해 자세히 설명하도록 한다.

도 2는 하프톤 마스크를 이용하여 형성한 FFS 모드 액정표시장치의 어레이기판의 단면도이고, 도 3a 내지 도 3d는 하프톤 마스크를 이용한 상대전극과 게이트 라인 및 공통전극 라인의 형성방법을 설명하기 위한 공정 단면도이다. 여기서, 상기 하프톤 마스크를 이용한 FFS 모드 액정표시장치의 제조방법은, 종래의 방법과 비교해서, 단지, 상대전극과 게이트 라인 공통전극 라인을 형성시키는 공정만이 상이할 뿐, 그 이외의 공정은 동일하므로, 도 1과 동일한 부분에 대해서는 동일한 도면부호로 나타낸다.

도 2에 도시된 바와 같이, 기판(1) 상에 비정질의 ITO막과 같은 상대전극용 금속막과, Mo/Al 또는 Mo/Al/Mo와 같은 배선용 금속막을 차례로 증착하고, 제1포토 공정으로 상기 배선용 금속막과 ITO막을 패터닝하여, 상대전극(2)과 게이트 라인(3) 및 공통전극 라인(4a)을 형성한다.

보다 자세하게 설명하면, 도 3a에 도시된 바와 같이, 기판(1) 상에 비정질의 ITO막(2a)과 Mo/Al 또는 Mo/Al/Mo와 같은 배선용 금속막(3a)을 차례로 증착한 상태에서, 상기 배선용 금속막(3a) 상에 레지스트를 도포하고, 상기 레지스트에 대해

여 소망하는 부분이 부분 노광이 이루어질 수 있도록 하는 하프톤 마스크(30)를 이용하여 노광 공정을 수행하고, 이어서, 노광된 레지스트를 현상하여, 레지스트 패턴(20a)을 형성한다. 이때, 상기 레지스트 패턴(20a)은 게이트 라인 및 공통전극 라인이 형성될 영역을 가리는 부분은 도포 두께를 그대로 유지하는 반면, 상대전극이 형성될 영역에서는 부분 노광에 의해 일부 두께가 잔류된 형태를 갖는다.

이어서, 도 3b에 도시된 바와 같이, 상기 레지스트 패턴을 식각 마스크로 하는 1차 식각 공정으로 상기 적층 금속막을 건식 식각하여, 게이트 라인(3) 및 공통전극 라인(4)을 형성한다. 이때, 상기 게이트 라인(3) 및 공통전극 라인(4) 상에는 레지스트 패턴(20b)이 잔류되며, 상대전극이 형성될 영역에는 소정 두께의 배선용 금속막(3a)이 잔류된다.

다음으로, 도 3c에 도시된 바와 같이, 잔류된 레지스트 패턴(20b) 및 배선용 금속막(3a)을 식각 마스크로 하는 2차 식각 공정으로, 상기 ITO막을 습식 식각하여 상대전극(2)을 형성하고, 이후, 도 3d에 도시된 바와 같이, 건식 스트립(strip) 공정으로 잔류된 레지스트 패턴과 배선용 금속막을 제거함으로써, 상대전극(2)과 게이트 라인(3) 및 공통전극 라인(4)의 형성을 완료한다.

계속해서, 상기 게이트 라인(3) 및 공통전극 라인(4)이 형성된 기판(1)의 전면 상에 게이트 절연막(5)을 증착하고, 상기 게이트 절연막(5) 상에 도핑되지 않은 비정질실리콘막과 도핑된 비정질실리콘막을 차례로 증착한 후, 제2포토 공정으로 상기 도핑된 비정질실리콘막과 도핑되지 않은 비정질실리콘막을 패터닝하여, 오믹 콘택층(7) 및 채널층(6)을 형성한다.

그 다음, 상기 결과물 상에 데이터 라인용 금속막을 증착한 상태에서, 상기 기판(1)의 소정부에 TFT가 형성되도록, 제3포토 공정으로 상기 데이터 라인용 금속막을 패터닝하여, 소오스/드레인 전극(7)을 포함한 데이터 라인(도시안됨)을 형성한다.

다음으로, 상기 결과물의 전면 상에 상기 TFT를 보호하기 위한 보호막(9)을 증착하고, 제4포토 공정으로 상기 보호막의 소정 부분을 선택적으로 식각하여, 상기 TFT의 소오스/드레인 전극(8)을 노출시키는 콘택홀(10)을 형성한다.

이후, 상기 보호막(9) 상에 ITO 금속막을 증착한 상태에서, 제5포토 공정으로 상기 ITO 금속막을 패터닝하여 화소전극(11)을 형성한다.

이와 같이, 하프톤 마스크(30)를 이용한 FFS 모드 액정표시장치의 제조방법은 상대전극(2)과 게이트 라인(3) 및 공통전극 라인(4)을 하나의 마스크로 형성함으로써, 제조 공정을 단순화시킬 수 있다.

그러나, 전술한 종래의 하프톤 마스크(30)를 이용한 FFS 모드 액정표시장치의 어레이기판의 제조방법은 다음과 같은 문제가 있다.

전술한 종래의 하프톤 마스크(30)를 이용한 FFS 모드 액정표시장치의 제조방법에서는 하나의 레지스트 패턴(20a)을 식각 마스크로 사용해서 배선용 금속막과 ITO막을 차례로 식각하기 때문에 ITO막 식각시 식각된 배선용 금속막(게이트 라인 및 공통전극 라인) 부분이 손상되지 않도록 식각 조건을 맞춰주어야 하는데, 이러한 식각 조건의 제어가 용이하지 않다.

보다 자세히 설명하면, 하프톤 마스크 적용 기술에서는 상대전극용 도전막으로서 종래의 다결정 ITO막을 그대로 사용하면 다결정 ITO막의 에천트(etchant)에 의해 배선용 금속막 부분이 상당히 손상되기 때문에, 다결정 ITO막 보다 선택적 식각이 용이한 비정질 ITO막을 상대전극용 도전막으로 사용해야 한다.

그러나, 상기 비정질 ITO막을 사용하는 경우에도 현재로서는 비정질 ITO막의 선택적 식각이 완벽하지 못하기 때문에 ITO막이 일부 잔류되는 문제가 유발되고 있으며, 이러한 문제점을 해결하기 위해 새로운 에천트(etchant)의 개발이 이루어져야 한다. 그런데, 새로운 에천트(etchant)의 개발은 기술적으로 쉽지 않을 뿐 아니라, 새로운 에천트(etchant)의 적용은 장비 및 공정 상의 부가적인 문제점들을 유발시킬 수 있어서, 비정질 ITO막의 적용 자체에 어려움을 겪고 있다.

이와 같이, 상대전극용 도전막과 배선용 금속막 간의 선택적 식각이 용이하지 않다는 문제로 인해 하프톤 마스크를 이용한 공정 단순화를 현실화시키는 것이 용이하지 않다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 안출된 것으로서, 하프톤 마스크 적용시 상대전극용 도전막의 선택적 식각을 용이하게 하여 하프톤 마스크를 이용한 공정 단순화를 현실화시킬 수 있는 FFS 모드 액정표시장치의 어레이기판의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치의 어레이기판의 제조방법은, 연속적으로 적층된 ITO와 같은 투명전극막과 Al 재질의 불투명 금속막을 일괄 에치로 패터닝하는 공정을 포함하는 액정표시장치의 어레이기판의 제조방법에 있어서, 기판 상에 다결정 ITO 재질의 투명전극막 및 미반응성 제1금속막과 Al 재질의 배선용 금속막을 포함하는 불투명 금속막을 차례로 적층하는 단계; 상기 배선용 금속막 상에 하프톤 노광 공정을 이용해서, 배선용 금속막을 잔류시킬 제1영역은 상대적으로 두꺼운 두께를 갖고, 불투명 금속막을 제거하고 투명전극막만을 잔류시킬 제2영역은 상대적으로 얇은 두께를 가지며, 상기 제1 및 제2영역들 이외의 제3영역에는 개구부를 갖는 레지스트 패턴을 형성하는 단계; 상기 레지스트 패턴을 식각 마스크로 이용해서 제3영역의 배선용 금속막과 미반응성 제1금속막을 식각하는 단계; 상기 식각된 배선용 금속막과 미반응성 제1금속막의 측벽에 무전해도금법을 이용해서 미반응성 제2금속막을 형성하는 단계; 상기 레지스트 패턴 및 미반응성 제2금속막을 식각 마스크로 이용해서 투명전극막을 식각하는 단계; 상기 제2영역의 레지스트 패턴이 제거되도록 상기 레지스트 패턴에 대해 에칭 공정을 수행하는 단계; 상기 잔류된 레지스트 패턴을 식각 마스크로 이용해서 제2영역의 배선용 금속막과 미반응성 제1금속막 및 미반응성 제2금속막을 식각하는 단계; 및 상기 잔류된 레지스트 패턴을 제거하는 단계;를 포함한다.

여기서, 상기 미반응성 제1금속막과 미반응성 제2금속막은 Mo, Cu, Au, Ag, Pt 및 이들의 조합 중에서 선택되는 어느 하나의 재질로 형성된다.

(실시예)

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 4a 내지 도 4g는 본 발명의 실시예에 따른 FFS 모드 액정표시장치의 어레이기판의 제조방법을 설명하기 위한 공정별 단면도이다.

도 4a를 참조하면, 유리기판과 같은 투명성 절연 기판(41) 상에 상에 투명전극에 해당하는 상대전극용 다결정 ITO막(42a)을 형성하고, 상기 다결정 ITO막(42a) 상에 미반응성 제1금속막(N1) 및 배선용 금속막(43b)을 포함하는 불투명 금속막을 차례로 적층한다.

여기서, 상기 미반응성 제1금속막(N1b)은 Au, Ag 및 Pt 등과 같은 귀금속(noble metal) 재질로 형성하거나, Mo 또는 Cu로 형성하거나, 혹은, 상기 금속의 조합 중에서 선택되는 어느 하나로 형성하는데, 이러한 금속들은 화학적으로 안정하여 이후 다결정 ITO막(42a)의 식각시 식각 에천트(etchant)와 거의 반응을 일으키지 않는다. 그러므로, 상기 미반응성 제1금속막(N1b)은 이후 다결정 ITO막(42a)의 식각시 배선용 금속막(43b)의 손상을 방지하는 역할을 한다.

한편, 상기 배선용 금속막(43b)은 Al막 또는 Al/Mo의 적층막으로 형성한다.

그런 다음, 상기 배선용 금속막(43b) 상에 앞서 설명했던 하프톤 노광 공정을 이용해서, 게이트 라인 및 공통전극 라인이 형성될 영역(불투명 금속막이 잔류될 영역)을 가리는 제1부분은 상대적으로 두꺼운 두께를 갖고, 불투명 금속막이 제거되고 다결정 ITO막만이 잔류되어 상대전극이 형성될 영역을 가리는 제2부분은 상대적으로 얇은 두께를 가지며, 상기 제1 및 제2부분들 이외의 나머지 부분(제3부분)은 제거된 형태를 갖는 레지스트 패턴(500a)을 형성한다.

도 4b를 참조하면, 상기 레지스트 패턴(500a)을 식각 마스크로 이용해서 배선용 금속막과 미반응성 제1금속막을 습식 식각으로 식각한다. 여기서, 식각된 배선용 금속막 및 식각된 미반응성 제1금속막의 도면부호는 각각 43a 및 N1a라 한다.

도 4c를 참조하면, 상기 식각된 배선용 금속막(43a)과 식각된 미반응성 제1금속막(N1a)의 측벽에 선택적으로 미반응성 제2금속막(N2)을 형성한다.

여기서, 상기 미반응성 제2금속막(N2)은 미반응성 제1금속막(N1b)과 동일하게 귀금속 또는 Cu등으로 형성하는데, 전도성이 매우 우수한 식각된 배선용 금속막(43a)과 식각된 미반응성 제1금속막(N1a)의 측벽에만 선택적으로 형성되도록 무전해도금 방식으로 형성한다. 이때, 전도성이 상대적으로 좋지 않은 다결정 ITO막(42a) 부분에는 무전해도금이 이루어지지 않는다.

도 4d를 참조하면, 상기 레지스트 패턴(500a) 및 미반응성 제2금속막(N2)을 식각 마스크로 이용해서 다결정 ITO막을 식각하여 ITO 재질의 상대전극(42)을 형성한다. 이때, 게이트 라인 형성 영역 부분에도 식각된 다결정 ITO막(42')이 잔류한다.

여기서, 상기 다결정 ITO막의 식각은 기존의 다결정 ITO 제거용 에천트(etchant)를 그대로 사용해서 수행하며, 이때, 식각된 배선용 금속막(43a)은 식각된 미반응성 제1금속막(N1a)과 미반응성 제2금속막(N2)으로 감싸여 있으므로, 손상되지 않고 보존된다.

도 4e를 참조하면, 상기 레지스트 패턴의 제2부분이 제거되도록 상기 레지스트 패턴(500a)에 대해 에칭(ashing) 공정을 수행한다. 이러한 에칭 공정은 레지스트 패턴만을 선택적으로 등방성 식각하는 것으로서, 이를 통해, 게이트 라인 및 공통전극 라인 형성영역에 해당하는 두꺼운 두께의 제1부분만이 잔류되고 상대적으로 얇은 두께의 제2부분은 제거된다. 도면부호 500은 잔류된 레지스트 패턴을 나타낸다.

도 4f를 참조하면, 상기 잔류된 레지스트 패턴(500)을 식각 마스크로 이용해서 식각된 배선용 금속막(43a)과 식각된 미반응성 제1금속막(N1a) 및 미반응성 제2금속막(N2)을 식각하여 게이트 라인(43)과 공통전극 라인(44)을 형성한다. 여기서, 도면부호 N1은 재식각된 미반응성 제1금속막을 나타낸다.

그런 다음, 상기 잔류된 레지스트 패턴을 스트립(strip)하여, 도 4g에 도시된 바와 같은, 어레이 구조물을 제조하고, 이후, 도시하지는 않았지만, 공지된 후속 공정을 차례로 수행하여 본 발명의 FFS 모드 액정표시장치용 어레이기판을 제조한다.

이와 같이, 본 발명은 미반응성 금속막을 배선용 금속막의 하부 및 측벽에 형성시켜 줌으로써, ITO막 제거시 ITO 제거용 에천트(etchant)에 의해 배선용 금속막이 손상되는 문제를 원천적으로 방지할 수 있다.

그러므로, 본 발명에서는 상대전극용 도전막으로서 비정질 ITO막이 아닌 종래의 다결정 ITO막을 사용할 수 있기 때문에 ITO 제거용 에천트(etchant)도 기존의 다결정 ITO막 제거용 에천트(etchant)를 사용한다. 따라서, 본 발명에서는 하프톤 마스크 적용시 종래의 비정질 ITO막 사용에 따른 새로운 에천트(etchant) 개발 및 그에 따른 제반 문제점들이 유발되지 않는다.

이 같이, 본 발명은 하프톤 마스크 적용시 미반응성 금속막으로 배선용 금속막의 손상을 방지함으로써, 상대전극용 도전막의 선택적 식각을 용이하게 하여 새로운 에천트(etchant) 개발 및 그에 따른 공정·장비 상의 문제점 유발 없이 상대전극, 게이트 라인 및 공통전극 라인을 형성할 수 있다.

그러므로, 본 발명의 방법을 따르면 FFS 모드 액정표시장치의 어레이기판 제조시 하프톤 마스크를 이용한 공정 단순화를 보다 용이하게 현실화시킬 수 있다.

한편, 전술한 본 발명의 실시예에서는 FFS 모드 액정표시장치의 어레이기판 제조에 관련하여 도시하고 설명하였지만, 본 발명은 이에 한정된 것이 아니며, 본 발명의 방법은 TN(Twist Nematic) 모드 액정표시장치의 어레이기판의 제조시, ITO 화소전극을 소오스/드레인 형성 전에 형성하는 경우에도 동일하게 적용될 수 있다.

이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 배선(게이트 라인 및 공통전극 라인)용 금속막의 하부 및 측벽에 형성시킨 미반응성 금속막으로 ITO막 제거시 ITO 제거용 에천트(etchant)에 의해 배선용 금속막의 손상을 원천적으로 방지할 수 있기 때문에, ITO막과 배선용 금속막 간의 선택적 식각의 어려움으로 인한 제반 문제점 없이 FFS 모드 액정표시장치용 어레이기판을 제조할 수 있다.

따라서, 본 발명은 FFS 모드 액정표시장치의 어레이기판 제조시 하프톤 마스크를 이용한 공정 단순화를 보다 용이하게 현실화시킬 수 있는 바, 어레이기판의 제조 비용 및 제조 시간을 감소시켜 그 생산성을 향상시킬 수 있다.

도면의 간단한 설명

도 1 및 도 2는 종래의 FFS 모드 액정표시장치의 어레이기판들을 도시한 단면도.

도 3a 및 도 3d는 종래 기술에 따른 하프톤 마스크를 이용한 FFS 모드 액정표시장치의 어레이기판의 제조방법을 설명하기 위한 공정별 단면도.

도 4a 내지 도 4g는 본 발명의 실시예에 따른 FFS 모드 액정표시장치의 어레이기판의 제조방법을 설명하기 위한 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

41 : 기판 42a : 다결정 ITO

42 : 상대전극 43b : 배선용 금속막

43a : 식각된 배선용 금속막 43 : 게이트 라인

44 : 공통전극 라인 N1b : 미반응성 제1금속막

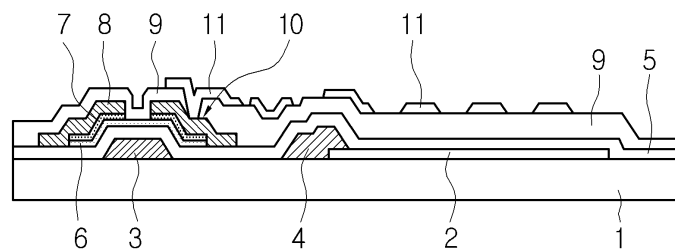
N1a : 식각된 미반응성 제1금속막 N1 : 재식각된 미반응성 제1금속막

N2 : 미반응성 제2금속막 500a : 레지스트 패턴

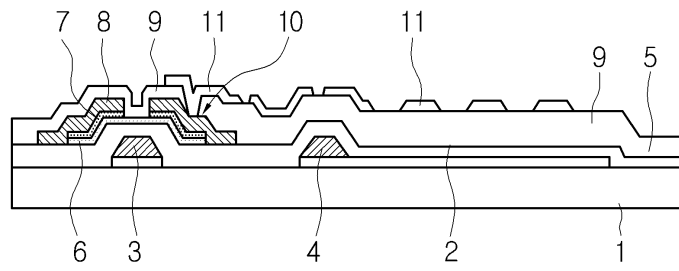
500 : 식각된 레지스트 패턴

도면

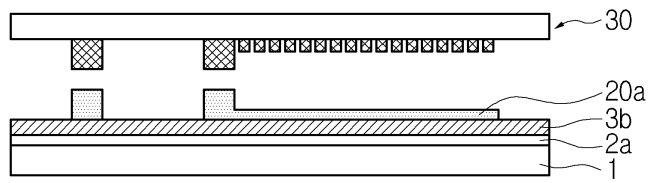
도면1



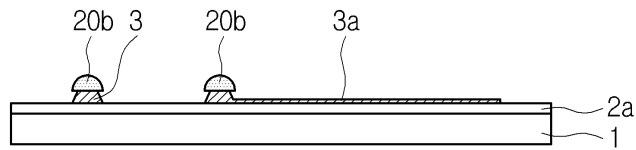
도면2



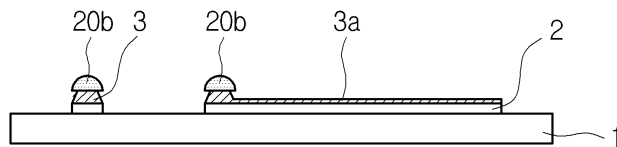
도면3a



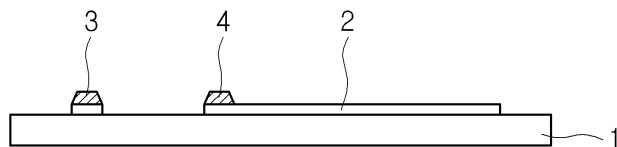
도면3b



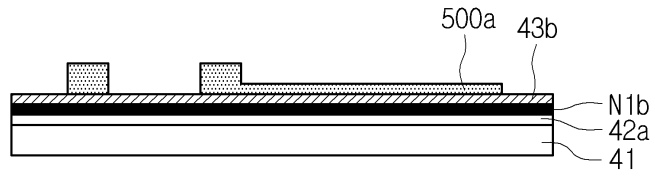
도면3c



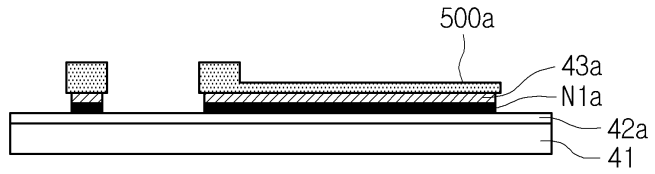
도면3d



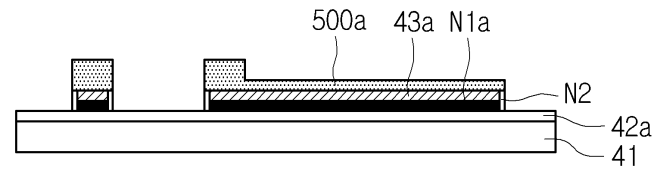
도면4a



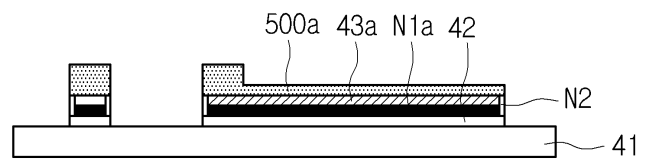
도면4b



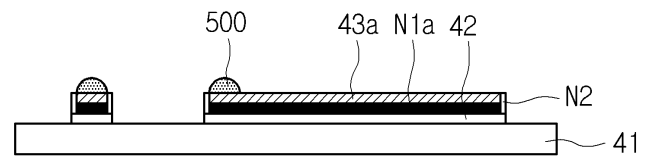
도면4c



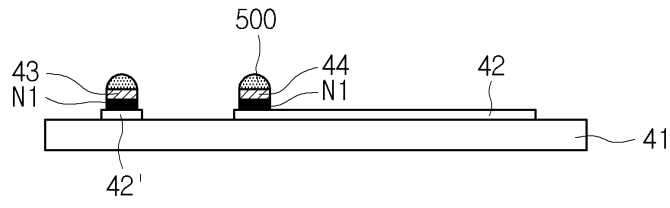
도면4d



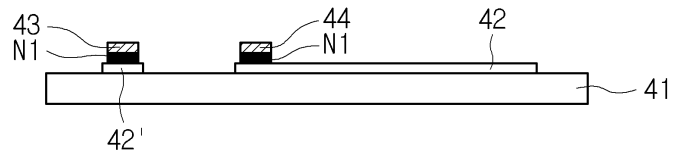
도면4e



도면4f



도면4g



专利名称(译)	液晶显示装置的阵列基板的制造方法		
公开(公告)号	KR100744396B1	公开(公告)日	2007-07-30
申请号	KR1020060032530	申请日	2006-04-10
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LEE HEE YOL 이희열 IHM SAM HO 임삼호		
发明人	이희열 임삼호		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1335 G02F1/136 G02F2001/134372 H01L27/124		
代理人(译)	赵龙HYUN		
外部链接	Espacenet		

摘要(译)

本发明公开了一种制造液晶显示装置的阵列基板的方法。本发明公开的方法包括以下步骤：在基板上依次层叠多晶ITO材料的透明电极膜和包括非反应性第一金属膜和Al布线金属膜的不透明金属膜；在金属薄膜上使用半色调曝光工艺进行布线，所述第一区域到残留金属膜相对具有较大的厚度，除去薄膜不透明金属，并且具有一个相对薄的厚度，所述第二区域仅保留透明电极膜，其中，比所述第二区域之外的第一区域和第三区域形成具有开口的抗蚀剂图案；使用抗蚀剂图案作为蚀刻掩模蚀刻第三区域中的布线金属膜和非反应性第一金属膜；通过无电镀在所述蚀刻的互连金属膜的侧壁和所述非反应的第一金属膜上形成未反应的金属膜；使用抗蚀剂图案和非反应性第二金属膜作为蚀刻掩模蚀刻透明电极膜；以上对抗蚀剂图案进行灰化处理，以去除第二区域的抗蚀剂图案；使用剩余的抗蚀剂图案作为蚀刻掩模，蚀刻第二区域中的布线金属膜，未反应的第一金属膜和非反应的金属膜；并去除残留的抗蚀剂图案。那就是表征。

