



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0061922
(43) 공개일자 2008년07월03일

(51) Int. Cl. G02F 1/136 (2006.01) (21) 출원번호 10-2006-0137117 (22) 출원일자 2006년12월28일 심사청구일자 없음	(71) 출원인 엘지디스플레이 주식회사 서울 영등포구 여의도동 20번지 (72) 발명자 양희정 경기 남양주시 퇴계원면 퇴계원리 271-31 (2/7) 금오주택 나동101호 (74) 대리인 박장원
---	---

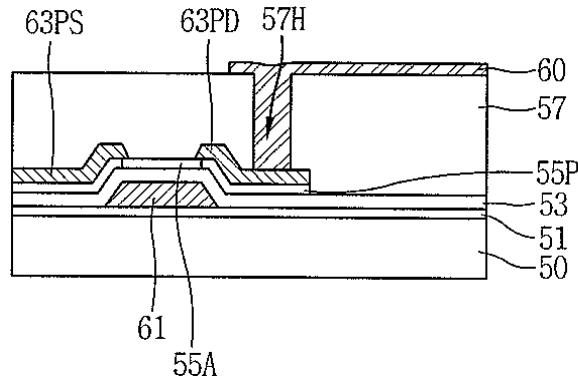
전체 청구항 수 : 총 37 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 대면적에 적합한 액정표시장치 및 그 제조방법에 관해 개시한다. 개시된 본 발명의 방법은 채널영역이 정의된 기판을 제공하는 단계와, 상기 기판 상에 게이트전극을 형성하는 단계와, 상기 게이트전극을 가진 기판 상에 제 1도전형의 실리콘막 및 반응성 금속막을 차례로 형성하는 단계와, 상기 반응성 금속막을 패터닝하여 상기 채널영역과 대응된 부위를 덮는 반응성 금속막 패턴을 형성하는 단계와, 상기 반응성 금속막 패턴을 가진 기판에 열처리를 실시하여 상기 반응성 금속막 패턴과 대응되는 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부를 형성하는 단계와, 상기 반응성 금속막 패턴을 제거하는 단계와, 상기 반응성 금속막 패턴이 제거된 기판 상에 상기 활성부를 노출하며 일정 간격으로 이격된 소오스전극 및 드레인전극을 형성하는 단계와, 상기 드레인전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함한다.

대표도 - 도3i



특허청구의 범위

청구항 1

채널영역이 정의된 기판을 제공하는 단계와,

상기 기판 상에 제 1도전형의 실리콘막 및 반응성 금속막을 차례로 형성하는 단계와,

상기 반응성 금속막을 가진 기판에 열처리를 실시하여 상기 채널영역과 대응되는 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부를 형성하되, 상기 활성부는 상기 금속막과 상기 실리콘막 간의 반응에 의해 형성되는 단계와,

상기 반응성 금속막을 제거하는 단계를 포함한 액정표시장치의 활성부 형성방법.

청구항 2

제 1항에 있어서, 상기 제 1도전형의 실리콘막은 P형 불순물을 갖는 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 3

제 2항에 있어서, 상기 P형 불순물은 B인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 4

제 2항에 있어서, 상기 반응성 금속막은 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 5

제 1항에 있어서, 상기 제 1도전형의 실리콘막은 N형 불순물을 갖는 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 6

제 1항에 있어서, 상기 N형 불순물은 P(Phosphor)인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 7

제 5항에 있어서, 상기 반응성 금속막은 In인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 8

제 1항에 있어서, 상기 열처리는 300~500℃ 온도에서 1분 내지 1시간동안 진행하는 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 9

제 1항에 있어서, 상기 반응성 금속막은 습식 식각으로 제거하며, 습식액은 황산, 질산 및 불산 중 어느 하나를 이용하는 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 10

채널영역이 정의된 기판을 제공하는 단계와,

상기 기판 상에 게이트전극을 형성하는 단계와,

상기 게이트전극을 가진 기판 상에 제 1도전형의 실리콘막 및 반응성 금속막을 차례로 형성하는 단계와,

상기 반응성 금속막을 식각하여 상기 채널영역과 대응된 부위를 덮는 반응성 금속막 패턴을 형성하는 단계와,

상기 반응성 금속막 패턴을 가진 기판에 열처리를 실시하여 상기 반응성 금속막 패턴과 대응되는 실리콘막 부위

에 도핑농도가 상대적으로 낮은 활성부를 형성하는 단계와,

상기 반응성 금속막 패턴을 제거하는 단계와,

상기 반응성 금속막 패턴이 제거된 기판 상에 상기 활성부를 노출하며 일정 간격으로 이격된 소오스전극 및 드레인전극을 형성하는 단계와,

상기 드레인전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함한 액정표시장치의 제조방법.

청구항 11

제 10항에 있어서, 상기 제 1도전형의 실리콘막은 B로 도핑처리하며, 상기 반응성 금속막은 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 10항에 있어서, 상기 제 1도전형의 실리콘막은 P(Phosphor)로 도핑처리하며, 상기 반응성 금속막은 In인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 13

제 10항에 있어서, 상기 열처리는 300~500℃ 온도에서 1분 내지 1시간동안 진행하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 11항에 있어서, 상기 반응성 금속막은 습식 식각으로 제거하며, 습식액은 황산, 질산 및 불산 중 어느 하나를 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 10항에 있어서, 상기 화소전극은

상기 드레인전극을 가진 기판 상에 보호막을 형성하는 단계와,

상기 보호막을 패터닝하여 상기 드레인전극을 노출하는 콘택홀을 형성하는 단계와,

상기 콘택홀을 가진 기판 상에 투명 도전막을 형성하는 단계와,

상기 투명도전막을 패터닝하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 16

채널영역이 정의된 기판을 제공하는 단계와,

상기 기판 상에 게이트전극을 형성하는 단계와,

상기 게이트전극을 가진 기판 상에 제 1도전형의 실리콘막을 형성하는 단계와,

상기 실리콘막을 가진 기판 상에 상기 채널영역과 대응되는 실리콘막을 노출하며 일정 간격으로 이격된 소오스전극 및 드레인전극을 형성하는 단계와,

상기 드레인전극을 가진 기판에 반응성 금속막을 형성하는 단계와,

상기 반응성 금속막을 가진 기판 상에 열처리를 실시하여 상기 채널영역과 대응되는 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부를 형성하되, 상기 활성부는 상기 반응성 금속막과 상기 실리콘막 간의 반응에 의해 형성되는 단계와,

상기 잔류된 반응성 금속막을 제거하는 단계와,

상기 드레인전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함한 액정표시장치의 제조방법.

청구항 17

제 16항에 있어서, 상기 제 1도전형의 실리콘막은 B로 도핑처리하며, 상기 반응성 금속막은 Al, Be,

Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 16항에 있어서, 상기 제 1도전형의 실리콘막은 P(Phosphor)로 도핑처리하며, 상기 반응성 금속막은 In인 것을 특징으로 하는 액정표시장치의 활성부 형성방법.

청구항 19

제 16항에 있어서, 상기 열처리는 300~500℃ 온도에서 1분 내지 1시간동안 진행되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 16항에 있어서, 상기 반응성 금속막은 습식 식각으로 제거하며, 습식액은 황산, 질산 및 불산 중 어느 하나를 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제 16항에 있어서, 상기 소오스전극 및 드레인전극을 형성하는 것은
 상기 실리콘막을 가진 기판 상에 금속막 및 감광막 패턴을 차례로 형성하되, 상기 감광막 패턴은 채널영역의 두께가 상대적으로 얇게 형성되고,
 상기 감광막 패턴을 마스크로 하여 상기 금속막을 식각하여 금속막 패턴을 형성하고,
 상기 감광막 패턴을 에싱하여 상기 채널영역과 대응되는 금속막 패턴을 노출하고,
 상기 에싱된 감광막 패턴을 마스크로 하여 상기 노출된 제 2금속막 패턴을 식각하는 것을 더 포함한 액정표시장치의 제조방법.

청구항 22

제 21항에 있어서, 상기 반응성 금속막은 상기 에싱된 감광막패턴을 가진 기판 상에 형성하는 것을 더 포함하는 액정표시장치의 제조방법.

청구항 23

제 16항에 있어서, 상기 열처리를 진행한 다음,
 상기 에싱된 감광막 패턴을 리프트-오프하여 제거하는 것을 더 포함하는 액정표시장치의 제조방법.

청구항 24

제 23항에 있어서, 상기 반응성 금속막을 제거하는 단계는 상기 에싱된 감광막 패턴을 제거하는 단계와 함께 진행되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 25

채널영역이 정의된 기판을 제공하는 단계와,
 상기 기판 상에 게이트전극을 형성하는 단계와,
 상기 게이트전극을 가진 기판 상에 제 1도전형의 실리콘막, 금속막 및 감광막 패턴을 형성하되, 상기 감광막 패턴은 상기 채널영역과 대응된 부위가 상대적으로 얇게 형성되는 단계와,
 상기 감광막패턴을 마스크로 하여 상기 금속막을 식각하는 단계와,
 상기 감광막패턴을 에싱하는 단계와,
 상기 에싱된 감광막패턴을 마스크로 상기 잔류된 금속막 및 제 1도전형의 실리콘막을 식각하여 액티브 패턴, 소오스전극 및 드레인전극을 형성하는 단계와,
 상기 에싱된 감광막패턴을 제거하는 단계와,

상기 소오스전극 및 드레인전극을 가진 기판 상에 반응성 금속막을 형성하는 단계와,
 상기 반응성 금속막을 가진 기판에 열처리를 실시하여 반응성 금속막과 대응되는 상기 액티브 패턴 부위에 도핑 농도가 상대적으로 낮은 활성부를 형성하는 단계와,
 상기 잔류된 반응성 금속막을 제거하는 단계를 포함한 액정표시장치의 제조방법.

청구항 26

제 25항에 있어서, 상기 제 1도전형의 실리콘막은 B로 도핑처리하며, 상기 반응성 금속막은 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 27

제 25항에 있어서, 상기 제 1도전형의 실리콘막은 P(Phosphor)로 도핑처리하며, 상기 반응성 금속막은 In인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 28

제 25항에 있어서, 상기 열처리는 300~500℃ 온도에서 1분 내지 1시간동안 진행되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 29

채널영역이 정의된 기판과,
 상기 기판 상에 형성된 게이트전극과,
 상기 기판 상에 형성되며, 상기 채널영역과 대응된 부위에 도핑농도가 상대적으로 낮은 활성부를 가진 제 1도전형의 실리콘막과,
 상기 제 1도전형의 불순물이 도핑된 실리콘막을 가진 기판 상에 형성되며, 상기 활성부를 노출하고 일정 간격으로 이격된 소오스전극 및 드레인전극과,
 상기 드레인전극과 연결되는 화소전극을 포함한 액정표시장치.

청구항 30

제 29항에 있어서, 상기 게이트전극과 상기 제 1도전형의 실리콘막 사이에 개재된 게이트 절연막을 더 포함하는 액정표시장치.

청구항 31

제 29항에 있어서, 상기 제 1도전형의 실리콘막은 P형 불순물을 갖는 것을 특징으로 하는 액정표시장치.

청구항 32

제 21항에 있어서, 상기 P형 불순물은 B(Boron)인 것을 특징으로 하는 액정표시장치.

청구항 33

제 31항에 있어서, 상기 반응성 금속막은 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 34

제 29항에 있어서, 상기 제 1도전형의 실리콘막은 N형 불순물을 갖는 것을 특징으로 하는 액정표시장치.

청구항 35

제 34항에 있어서, 상기 N형 불순물은 P(Phosphor)인 것을 특징으로 하는 액정표시장치.

청구항 36

제 34항에 있어서, 상기 반응성 금속막은 In인 것을 특징으로 하는 액정표시장치.

청구항 37

제 31항에 있어서, 상기 드레인전극과 상기 화소전극 사이에 개재되며, 상기 드레인전극을 노출하는 보호막을 더 포함하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로서, 보다 구체적으로는 대면적에 적합한 액정표시장치 및 그 제조방법에 관한 것이다.
- <7> 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- <8> 상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- <9> 이때, 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로는 비정질 실리콘(amorphous silicon) 박막을 사용한다.
- <10> 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography)공정)를 필요로 하므로 생산성 면에서 상기 마스크공정의 수를 줄이는 방법이 요구되어지고 있다.
- <11> 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.
- <12> 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.
- <13> 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.
- <14> 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- <15> 또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.
- <16> 이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착기(미도시)를 통해 이루어진다.
- <17> 도 2a 내지 도 2e는 종래기술에 따른 4마스크 공정의 액정표시장치의 제조방법을 나타내는 공정단면도이다.
- <18> 도 2a에 도시된 바와 같이, 기판(10) 위에 제 1금속막을 형성한다. 이어, 상기 제 1금속막을 패터닝하여 게이트전극(21)을 형성한다.(제 1마스크 공정) 이때, 상기 기판(10)은 박막 트랜지스터 어레이기판일 수 있다. 또한,

상기 기판(10)은 글라스(glass)기판일 수 있다. 한편, 상기 기판(10)과 상기 게이트전극(21) 사이에는 완충막(11)이 개재될 수 있다.

- <19> 도 2b에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 기판(10) 전면(全面)에 게이트 절연막(13), 비정질 실리콘 박막(15) 및 n+ 비정질 실리콘 박막(17), 제 2금속막 및 소정의 제 1감광막 패턴(31)을 차례대로 형성한다. 이때, 상기 비정질 실리콘 박막(15)은 이후의 공정에서 오버 식각될 것을 고려하여 1700~1900Å 두께로 두껍게 형성한다. 또한, 상기 제 1감광막 패턴(31)은 상대적으로 채널이 형성될 부위가 얇게 형성될 수 있다.
- <20> 도 2c에 도시된 바와 같이, 상기 제 1감광막 패턴(31)을 마스크로 하여 상기 제 2금속막, n+ 비정질 실리콘 박막 및 비정질 실리콘 박막(15)을 식각하여 제 2금속막 패턴(23P), n+ 비정질 실리콘 박막 패턴(17P1) 및 비정질 실리콘 박막 패턴(15P)을 형성한다. 이때, 상기 비정질 실리콘 박막 패턴(15P)은 액티브 패턴에 해당된다.
- <21> 도 2d에 도시된 바와 같이, 상기 제 1감광막 패턴을 에싱한다. 이어, 상기 에싱된 제 1감광막패턴(31P)을 마스크로 하여 상기 제 2금속막 패턴을 식각하여 소오스 전극(23S) 및 드레인전극(23D)를 형성한다. 계속하여, 상기 에싱된 제 1감광막패턴(31P)을 마스크로 하여 상기 n+ 비정질 실리콘 박막 패턴을 식각하여 오믹콘택층(17P2)을 형성한다. (제 2마스크공정) 여기서, 상기 n+ 비정질 실리콘 박막 패턴 만을 선택적으로 식각하는 것은 여건 상 매우 어렵다. 따라서, 상기 오믹콘택층(17P2)은 n+ 비정질 실리콘 박막을 오버 식각(over etch)하는 방법을 통해 형성될 수 있다. 그 결과, 상기 오버 식각 공정을 통해 비정질 실리콘 박막인 액티브 패턴(15P)도 어느 정도 식각될 수 있다. 그러므로, 상기 비정질 실리콘 박막은 오버 식각되는 것을 감안하여 형성하고자 하는 두께보다 두껍게 형성해야 한다. 바람직하게는, 상기 비정질 실리콘 박막은 1700~1900Å 두께 범위로 형성할 수 있다.
- <22> 이때, 상기 오믹콘택층(17P2)은 상기 n+ 비정질 실리콘 박막 패턴을 식각하여 액티브 패턴(15P)과 소오스 전극(23S)/드레인전극(23D) 사이에 개재되어 이들 사이를 오믹-콘택(ohmic contact)시키는 역할을 한다.
- <23> 도 2e에 도시된 바와 같이, 상기 에싱된 제 1감광막패턴을 제거한다. 이어, 상기 오믹콘택층(17P2)을 가진 기판 상에 보호막(25)을 형성한다. 그 다음, 상기 보호막(25)을 패터닝하여 적어도 상기 드레인전극(23D)의 일부를 노출하는 콘택홀(25H)을 형성한다.(제 3마스크공정)
- <24> 도 2f에 도시된 바와 같이, 상기 콘택홀(25H)을 가진 기판 상에 투명한 도전성 금속막을 형성한다. 이후, 상기 도전성 금속막을 패터닝하여 상기 콘택홀(25H)을 덮어 상기 드레인전극(23D)과 연결되는 화소전극(27)을 형성한다.(제 4마스크공정)
- <25> 상술한 바와 같이, 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 (1)게이트전극 형성, (2) 액티브 패턴 및 소오스/드레인전극 형성, (3)보호막에 콘택홀 형성, (4) 화소전극 형성 등 총 4회의 포토리소그래피공정을 필요로 한다.
- <26> 종래의 기술에서는 액티브 패턴은 비정질 실리콘 박막을 형성한 다음, 상기 비정질 실리콘 박막을 패터닝하여 형성한다. 여기서, 상기 비정질 실리콘 박막은 오믹콘택층 형성을 위한 오버 식각을 대비하여 실제 원하는 두께 이상으로 두껍게 형성해야 한다. 이때, 상기 비정질 실리콘 박막을 오버 식각하게 되면, 액티브 패턴에 식각데미지가 발생할 우려가 있다.
- <27> 따라서, 상술한 바와 같이, 비정질 실리콘 박막의 오버 식각 공정을 진행하지 않고도 액티브 패턴을 형성할 수 있는 액정표시장치의 제조방법이 요구된다.

발명이 이루고자 하는 기술적 과제

<28> 상기 문제점을 해결하고자, 본 발명은 활성층을 형성하기 위한 비정질 실리콘막 증착공정 및 오버 식각공정을 생략하여 대면적에 적합한 액정표시장치 및 그 제조방법을 제공하려는 것이다.

발명의 구성 및 작용

<29> 상기 목적을 달성하고자, 본 발명에 따른 대면적에 적합한 액정표시장치 및 그 제조방법은 채널영역이 정의된 기판을 제공하는 단계와, 상기 기판 상에 게이트전극을 형성하는 단계와, 상기 게이트전극을 가진 기판 상에 제 1도전형의 실리콘막 및 반응성 금속막을 차례로 형성하는 단계와, 상기 반응성 금속막을 패터닝하여 상기 채널영역과 대응된 부위를 덮는 반응성 금속막 패턴을 형성하는 단계와, 상기 반응성 금속막 패턴을 가진 기판에 열처리를 실시하여 상기 반응성 금속막 패턴과 대응되는 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부를 형성하는 단계와, 상기 반응성 금속막 패턴을 제거하는 단계와, 상기 반응성 금속막 패턴이 제거된 기판

상에 상기 활성부를 노출하며 일정 간격으로 이격된 소오스전극 및 드레인전극을 형성하는 단계와, 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함한다.

- <30> (실시예)
- <31> 이하, 첨부된 도면을 참고로 하여 본 발명에 따른 박막 트랜지스터 제조방법을 설명하기로 한다.
- <32> 도 3a 내지 도 3j는 본 발명의 제 1실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도이다.
- <33> 도 3a에 도시된 바와 같이, 채널영역(미도시)이 정의된 기판(50)을 제공한다. 이때, 상기 기판(50)은 박막 트랜지스터 어레이 기판일 수 있다. 이어, 상기 기판(50) 상에 금속막을 형성하고, 상기 금속막을 패터닝하여 게이트 전극(61)을 형성한다. 한편, 상기 기판(50)과 게이트전극(61) 사이에는 완충막(51)을 더 형성할 수 있다. 상기 완충막(51)은 실리콘 질화막 또는 실리콘 산화막일 수 있다.
- <34> 도 3b에 도시된 바와 같이, 상기 게이트전극(61)을 가진 기판 상에 게이트 절연막(53)을 형성한다. 상기 게이트 절연막(53)은 실리콘 질화막을 이용할 수 있다. 그 다음, 상기 게이트 절연막(53) 전면에 제 1도전형의 실리콘막(55) 및 반응성 금속막(57)을 차례로 형성한다. 이때, 상기 제 1도전형의 실리콘막(55)은 이후의 공정을 거쳐 일반적인 액티브 패턴 역할을 하며, 기존의 비정질 실리콘막보다도 얇은 100~200Å 두께로 형성할 수 있다. 또한, 상기 제 1도전형의 실리콘막(55)은 P형 불순물로 또는 N형 불순물로 도핑될 수 있다. 상기 P형 불순물은 B(Boron)을 들 수 있으며, N형 불순물로는 P(phosphor)을 들 수 있다. 또한, 상기 반응성 금속막(57)은 상기 제 1도전형의 실리콘막(55)의 제 1도전형 불순물과 반응성이 좋은 금속막이 이용될 수 있다. 여기서, 상기 제 1도전형의 실리콘막(55)이 P형 불순물로 도핑된 경우, 상기 반응성 금속막(57)은 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나를 이용한다. 한편, 상기 제 1도전형의 실리콘막(55)이 N형 불순물로 도핑된 경우, 상기 반응성 금속막은 In을 이용한다.
- <35> 도 3c에 도시된 바와 같이, 상기 반응성 금속막을 패터닝하여 상기 채널영역을 덮는 반응성 금속막 패턴(57P)을 형성한다.
- <36> 도 3d에 도시된 바와 같이, 상기 반응성 금속막 패턴(57P)을 가진 기판에 열처리(71)를 진행한다. 이때, 상기 열처리(71)는 300~500℃ 온도에서 1분 내지 1시간동안 진행하는 것이 바람직하다. 상기 열처리 결과, 상기 반응성 금속막 패턴(57P)과 상기 반응성 금속막 패턴(57P)과 접촉하는 제 1도전형 실리콘막 부위에서 다량의 상기 제 1도전형 불순물 성분이 제 1도전형 실리콘막 표면으로부터 나와 상기 반응성 금속막 패턴(57P)의 금속 성분과 반응을 하게 된다. 따라서, 상기 제 1도전형 불순물이 제거된 상기 제 1도전형 실리콘막은 상대적으로 저농도 상태가 된다. 즉, 상기 채널영역과 대응되는 제 1도전형 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부(55A)가 형성된다. 이때, 상기 활성부(55A)는 노동 농도는 매우 낮아지게 되어, 비정질 실리콘막과 같은 상태가 된다.
- <37> 도 3e에 도시된 바와 같이, 상기 반응성 금속막 패턴을 제거한다. 이때, 상기 상기 반응성 금속막 패턴은 습식 방법에 의해 제거될 수 있다. 이어, 상기 활성부(55A)를 가진 기판 상에 금속막(63) 및 감광막 패턴(81)을 차례로 형성한다. 이때, 상기 금속막(63)은 소오스전극 및 드레인전극을 형성하기 위한 것이다. 또한, 상기 감광막 패턴(81)은 소오스전극 및 드레인전극이 형성될 영역 및 채널영역을 덮으며, 상기 채널영역이 상기 소오스전극 및 드레인전극이 형성될 영역보다 상대적으로 얇게 형성될 수 있다.
- <38> 도 3f에 도시된 바와 같이, 상기 감광막 패턴(81)을 마스크로 하여 상기 금속막, 제 1도전형 실리콘막을 차례로 식각하여 각각의 금속막 패턴(63P) 및 제 1도전형 실리콘막 패턴(55P)을 형성한다.
- <39> 도 3g에 도시된 바와 같이, 상기 감광막 패턴을 에칭하여 채널영역과 대응되는 금속막 패턴 부위를 노출한다. 이어, 상기 에칭된 감광막 패턴(81P)을 마스크로 하여 상기 금속막 패턴을 선택적으로 식각하여 활성부(55A)를 노출한다. 그 결과, 상기 잔류된 금속막 패턴으로 이루어진 소오스 전극(63PS) 및 드레인전극(63PD)이 형성된다.
- <40> 도 3h에 도시된 바와 같이, 상기 에칭된 감광막 패턴을 제거한다. 이후, 상기 소오스 전극(63PS) 및 드레인전극(63PD)을 가진 기판 상에 보호막(57)을 형성한다. 이어, 상기 보호막(57)을 패터닝하여 상기 드레인전극(63PD)을 노출하는 콘택홀(57H)을 형성한다.
- <41> 도 3i에 도시된 바와 같이, 상기 콘택홀(57H)을 가진 기판 상에 투명한 도전성 금속막을 형성한다. 이후, 상기 투명한 도전성 금속막을 패터닝하여 상기 콘택홀(57H)을 덮어 상기 드레인전극(63PD)과 연결되는 화소전극(60)

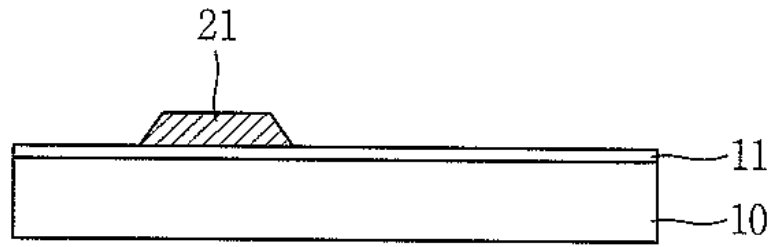
을 형성한다.

- <42> 상술한 방법에 의해 제조된 본 발명의 제 1실시예에 따른 액정표시장치는, 도 3i에 도시된 바와 같이, 채널영역이 정의된 기판(50)과, 상기 기판(50) 상에 형성된 게이트전극(61)과, 상기 기판(50) 상에 형성되며 상기 채널영역과 대응된 부위에 도핑농도가 상대적으로 낮은 활성부(55A)를 가진 제 1도전형의 실리콘막(55P)과, 상기 제 1도전형의 불순물이 도핑된 실리콘막(55P)을 가진 기판 상에 형성되며 상기 활성부(55A)를 노출하고 일정 간격으로 이격된 소오스전극(63P3) 및 드레인전극(63PD)과, 상기 드레인전극(63PD)과 연결되는 화소전극(60)을 포함하여 구성된다.
- <43> 도 4a 내지 도 4h는 본 발명의 제 2실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도이다.
- <44> 도 4a에 도시된 바와 같이, 채널영역(미도시)이 정의된 기판(150)을 제공한다. 이때, 상기 기판(150)은 박막 트랜지스터 어레이 기판일 수 있다. 이어, 상기 기판(150) 상에 게이트전극(161)을 형성한다. 한편, 상기 기판(150)과 게이트전극(161) 사이에는 완충막(151)을 더 형성할 수 있다.
- <45> 도 4b에 도시된 바와 같이, 상기 게이트전극(161)을 가진 기판 상에 게이트 절연막(153), 제 1도전형의 실리콘막(155), 금속막(163) 및 소정의 감광막 패턴(181)을 차례로 형성한다. 이때, 상기 제 1도전형의 실리콘막(155)은 P형 불순물 또는 N형 불순물로 도핑될 수 있다. 상기 P형 불순물은 B(Boron)을 들 수 있으며, N형 불순물은 P(phosphor)을 들 수 있다. 한편, 상기 감광막 패턴(181)은 소오스전극 및 드레인전극이 형성될 영역 및 채널영역을 덮으며, 상기 채널영역이 상기 소오스전극 및 드레인전극이 형성될 영역보다 상대적으로 얇게 형성될 수 있다.
- <46> 도 4c에 도시된 바와 같이, 상기 감광막 패턴을 마스크로 하여 상기 금속막, 제 1도전형 실리콘막을 차례로 식각하여 각각의 금속막 패턴(163P) 및 제 1도전형 실리콘막 패턴(155P)을 형성한다.
- <47> 도 4d에 도시된 바와 같이, 상기 감광막 패턴을 에칭하여 채널영역과 대응되는 금속막 패턴 부위를 노출한다. 이어, 상기 에칭된 감광막 패턴(181P)을 마스크로 하여 상기 금속막 패턴을 식각하여 제 1도전형 실리콘막 패턴(155P)을 노출한다. 그 결과, 상기 잔류된 금속막 패턴으로 이루어진 소오스 전극(163PS) 및 드레인전극(163PD)이 형성된다. 그 다음, 상기 에칭된 감광막 패턴 및 노출된 기판 상에 반응성 금속막(157)을 형성한다. 이때, 상기 반응성 금속막(157)은 상기 제 1도전형의 실리콘막(155)의 제 1도전형 불순물과 반응성이 좋은 금속막이 이용될 수 있다. 여기서, 상기 제 1도전형의 실리콘막(155)이 P형 불순물로 도핑된 경우, 상기 반응성 금속막(157)으로 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나를 이용한다. 그리고, 상기 제 1도전형의 실리콘막(155)이 N형 불순물로 도핑된 경우에는 상기 반응성 금속막(157)으로 In을 이용한다.
- <48> 도 4e에 도시된 바와 같이, 리프트-오프법에 의해 상기 에칭된 감광막 패턴 및 상기 에칭된 감광막 패턴 상부의 반응성 금속막을 제거한다. 그 결과, 상기 반응성 금속막은 채널영역과 대응되는 제 1도전형 실리콘막의 일부 및 게이트절연막(153)상에 잔류된다. 이어, 상기 반응성 금속막이 잔류된 기판에 열처리(171)를 진행한다. 이때, 상기 열처리(171)는 300~500℃ 온도에서 1분 내지 1시간동안 진행하는 것이 바람직하다. 상기 열처리(171) 결과, 상기 채널영역에 대응되는 상기 잔류된 반응성 금속막 부위와 접촉하고 있는 제 1도전형 실리콘막 패턴 부위에서 다량의 상기 제 1도전형 불순물 성분이 제 1도전형 실리콘막 표면으로부터 나오게 되며, 제 1도전형 실리콘막 표면 밖으로 나온 상기 제 1도전형 불순물 성분은 상기 금속막 패턴의 금속 성분과 서로 반응을 일으키게 된다. 따라서, 상기 제 1도전형 불순물이 제거된 상기 제 1도전형 실리콘막은 상대적으로 저농도 상태가 된다. 즉, 상기 채널영역과 대응되는 제 1도전형 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부(155A)가 형성된다. 이때, 상기 활성부(155A)는 노동 농도는 매우 낮아지게 되어, 비정질 실리콘막과 같은 상태가 된다.
- <49> 한편, 상기 게이트 절연막(153)상에 잔류된 반응성 금속막은 게이트 절연막(153)과 반응하지 않는다.
- <50> 도 4f에 도시된 바와 같이, 상기 잔류된 반응성 금속막을 제거한다. 이때, 상기 잔류된 반응성 금속막은 습식 식각 공정에 의해 제거될 수 있다.
- <51> 도 4g에 도시된 바와 같이, 상기 활성부(155A)를 가진 기판 상에 보호막(159)을 형성한다. 이어, 상기 보호막(159)을 패터닝하여 상기 드레인전극(163PD)을 노출하는 콘택홀(159H)을 형성한다.
- <52> 도 4h에 도시된 바와 같이, 상기 콘택홀(159H)을 가진 기판 상에 투명한 도전성 금속막을 형성한다. 이후, 상기 투명한 도전성 금속막을 패터닝하여 상기 콘택홀(159H)을 덮어 상기 드레인전극(163PD)과 연결되는 화소전극

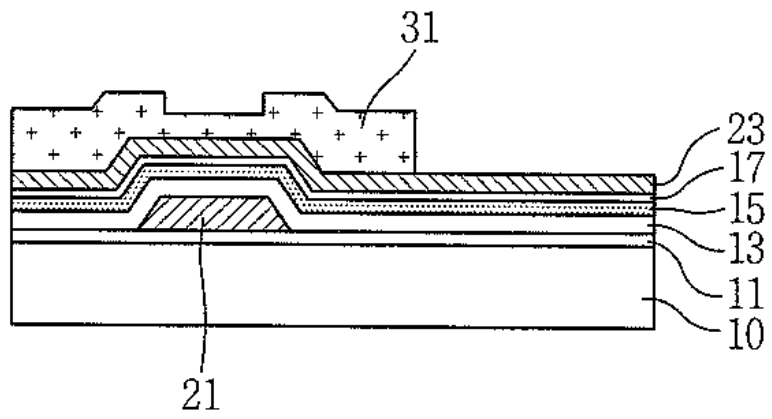
(160)을 형성한다.

- <53> 상술한 방법에 의해 제조된 본 발명의 제 2실시예에 따른 액정표시장치는 본 발명의 제 1실시예에 따른 액정표시장치와 동일한 구조를 가질 수 있다.
- <54> 도 5a 내지 도 5h는 본 발명의 제 3실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도이다.
- <55> 도 5a에 도시된 바와 같이, 채널영역(미도시)이 정의된 기판(250)을 제공한다. 이때, 상기 기판(250)은 박막 트랜지스터 어레이 기판일 수 있다. 이어, 상기 기판(250) 상에 게이트전극(261)을 형성한다. 한편, 상기 기판(250)과 게이트전극(261) 사이에는 완충막(251)을 더 형성할 수 있다.
- <56> 도 5b에 도시된 바와 같이, 상기 게이트전극(261)을 가진 기판 상에 게이트 절연막(253), 제 1도전형의 실리콘막(255), 소오스전극 및 드레인전극 형성용 금속막(263) 및 소정의 감광막 패턴(281)을 차례로 형성한다. 이때, 상기 제 1도전형의 실리콘막(255)은 P형 불순물 또는 N형 불순물로 도핑될 수 있다. 상기 P형 불순물은 B(Boron)을 들 수 있으며, N형 불순물로는 P(phosphor)을 들 수 있다.
- <57> 한편, 상기 감광막 패턴(281)은 소오스전극 및 드레인전극이 형성될 영역 및 채널영역을 덮으며, 상기 채널영역이 상기 소오스전극 및 드레인전극이 형성될 영역보다 상대적으로 얇게 형성될 수 있다.
- <58> 도 5c에 도시된 바와 같이, 상기 감광막 패턴을 마스크로 하여 상기 금속막, 제 1도전형 실리콘막을 차례로 식각하여 각각의 금속막 패턴(263P) 및 제 1도전형 실리콘막 패턴(255P)을 형성한다.
- <59> 도 5d에 도시된 바와 같이, 상기 감광막 패턴을 에칭하여 채널영역과 대응되는 금속막 패턴 부위를 노출한다. 이어, 상기 에칭된 감광막 패턴(281P)을 마스크로 하여 상기 금속막 패턴을 식각하여 제 1도전형 실리콘막 패턴(255P)을 노출한다. 그 결과, 상기 잔류된 금속막 패턴으로 이루어진 소오스 전극(263PS) 및 드레인전극(263PD)이 형성된다.
- <60> 도 5e에 도시된 바와 같이, 상기 에칭된 감광막 패턴을 제거한다. 그 다음, 상기 소오스 전극(263PS) 및 드레인 전극(263PD)을 가진 기판 상에 반응성 금속막(257)을 형성한다. 이때, 상기 반응성 금속막(257)은 상기 제 1도전형의 실리콘막(255)의 제 1도전형 불순물과 반응성이 좋은 금속막이 이용될 수 있다. 여기서, 상기 제 1도전형의 실리콘막(255)이 P형 불순물로 도핑된 경우, 상기 반응성 금속막(257)으로 Al, Be, Cr, La, Mo, Nb, Si, Ta, Th, Ti, W, V 및 Zr 중 어느 하나를 이용한다. 그리고, 상기 제 1도전형의 실리콘막(255)이 N형 불순물로 도핑된 경우에는 상기 반응성 금속막(257)으로 In을 이용한다.
- <61> 이후, 반응성 금속막(257)을 가진 기판에 열처리(281)을 진행한다. 이때, 상기 열처리(281)는 300~500℃ 온도에서 1분 내지 1시간동안 진행하는 것이 바람직하다. 상기 열처리(281) 결과, 상기 반응성 금속막 부위와 접촉하고 있는 제 1도전형 실리콘막 패턴(255P) 부위에서 다량의 상기 제 1도전형 불순물 성분이 제 1도전형 실리콘막의 표면 밖으로 나오게 되며, 상기 제 1도전형 실리콘막의 표면 밖으로 나온 상기 제 1도전형 불순물 성분은 상기 반응성 금속막 성분과 서로 반응을 일으키게 된다. 따라서, 상기 제 1도전형 불순물이 제거된 상기 제 1도전형 실리콘막 부위는 상대적으로 저농도 상태가 된다. 즉, 상기 채널영역과 대응되는 제 1도전형 실리콘막 부위에 도핑농도가 상대적으로 낮은 활성부(255A)가 형성된다. 이때, 상기 활성부(255A)는 노동 농도는 매우 낮아지게 되어, 비정질 실리콘막과 같은 상태가 된다. 이때, 상기 반응성 금속막은 게이트 절연막(253)과 반응하지 않는다.
- <62> 도 5f에 도시된 바와 같이, 상기 반응성 금속막을 제거한다. 이때, 상기 반응성 금속막은 습식 식각 공정에 의해 제거될 수 있다.
- <63> 도 5g에 도시된 바와 같이, 상기 활성부(255A)를 가진 기판 상에 보호막(259)을 형성한다. 이어, 상기 보호막(257)을 패터닝하여 상기 드레인전극(263PD)을 노출하는 콘택홀(259H)을 형성한다.
- <64> 도 5h에 도시된 바와 같이, 상기 콘택홀(259H)을 가진 기판 상에 투명한 도전성 금속막을 형성한다. 이후, 상기 투명한 도전성 금속막을 패터닝하여 상기 콘택홀(259H)을 덮어 상기 드레인전극(263PD)과 연결되는 화소전극(260)을 형성한다.
- <65> 상술한 방법에 의해 제조된 본 발명의 제 3실시예에 따른 액정표시장치는 본 발명의 제 1실시예에 따른 액정표시장치와 동일한 구조를 가질 수 있다.

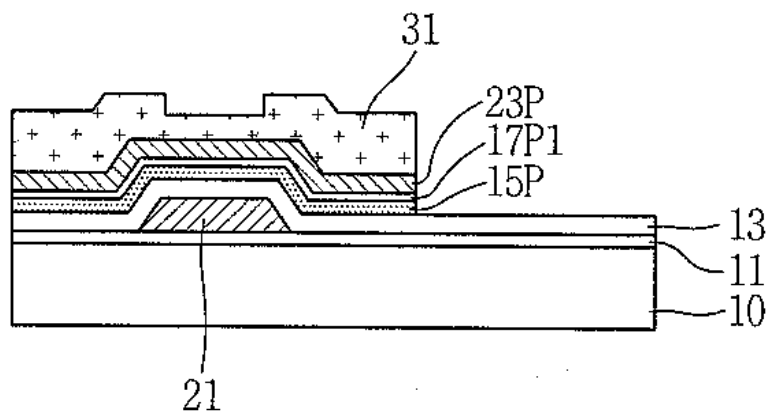
도면2a



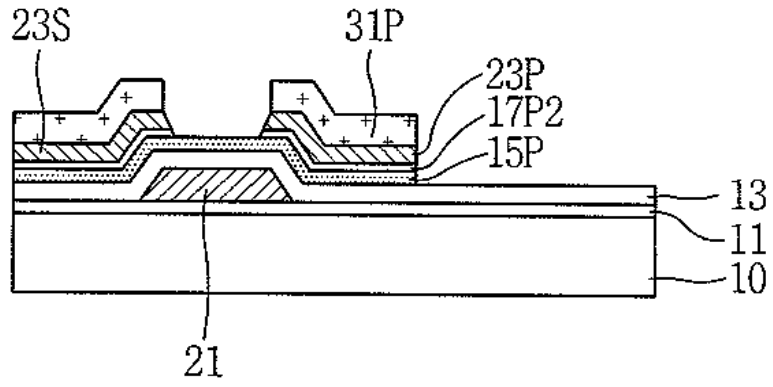
도면2b



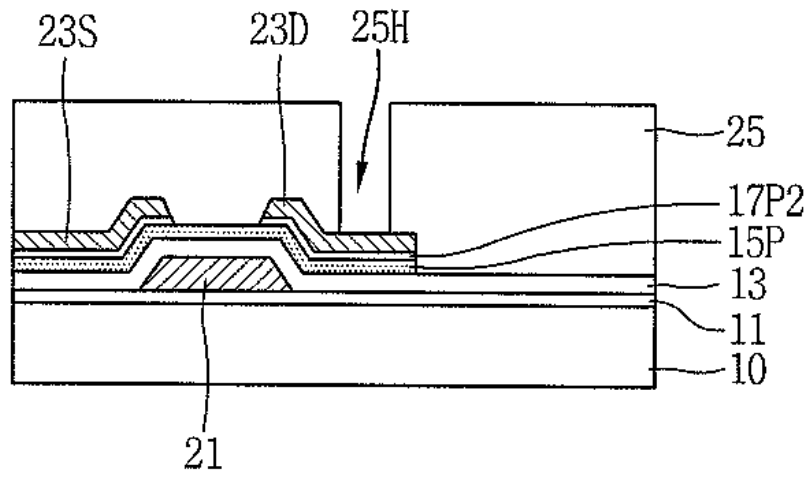
도면2c



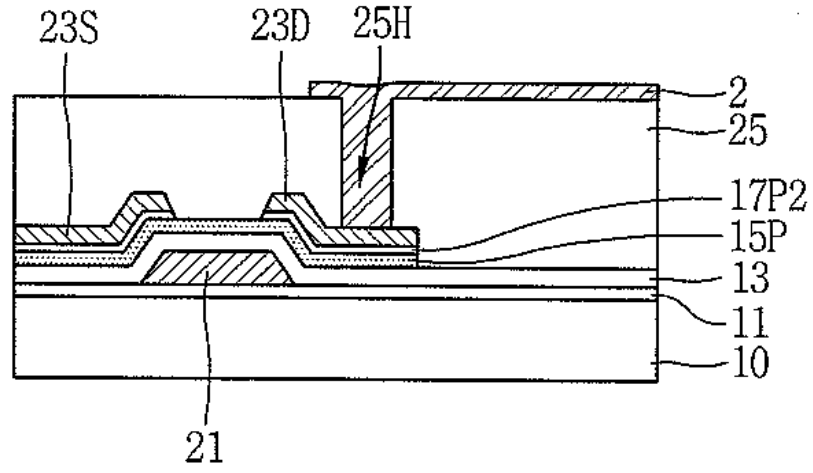
도면2d



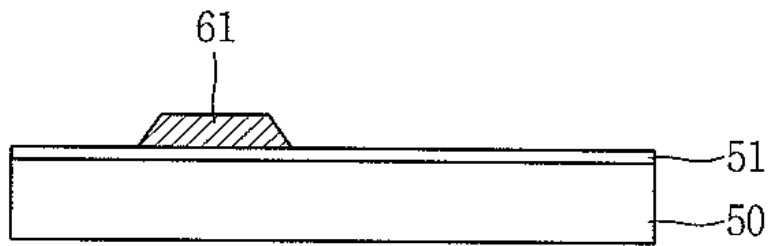
도면2e



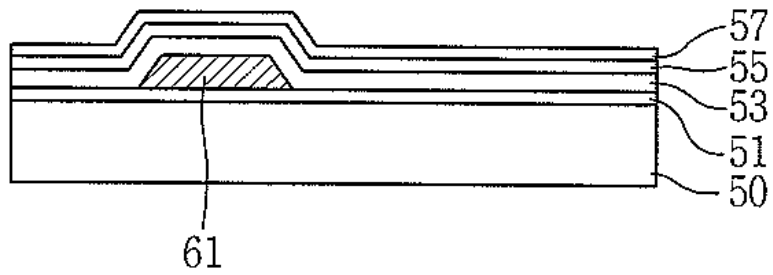
도면2f



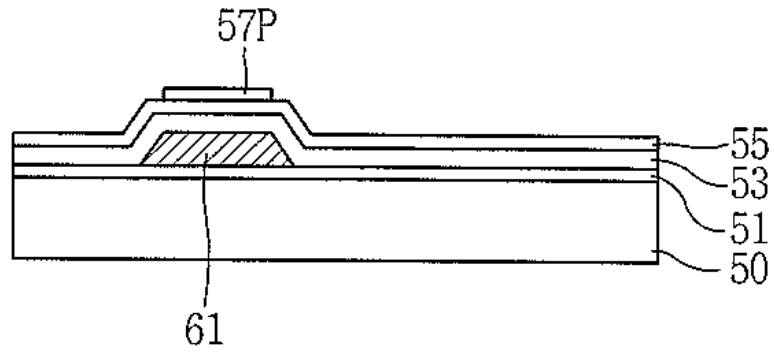
도면3a



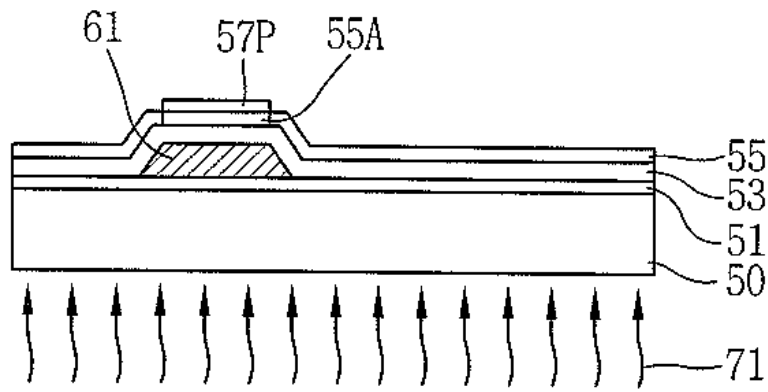
도면3b



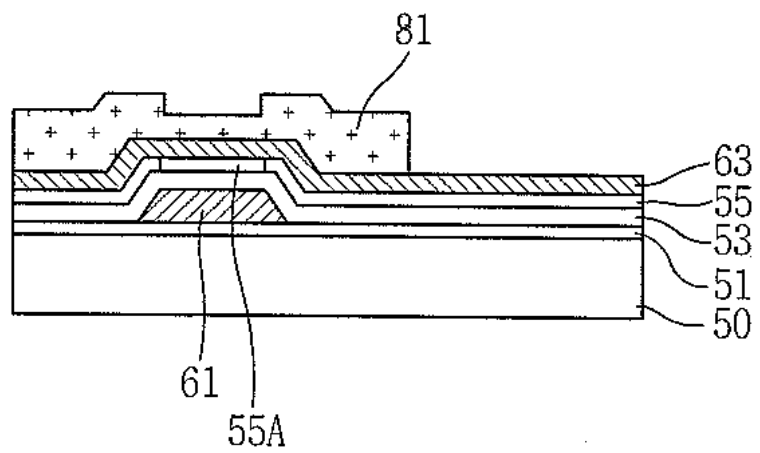
도면3c



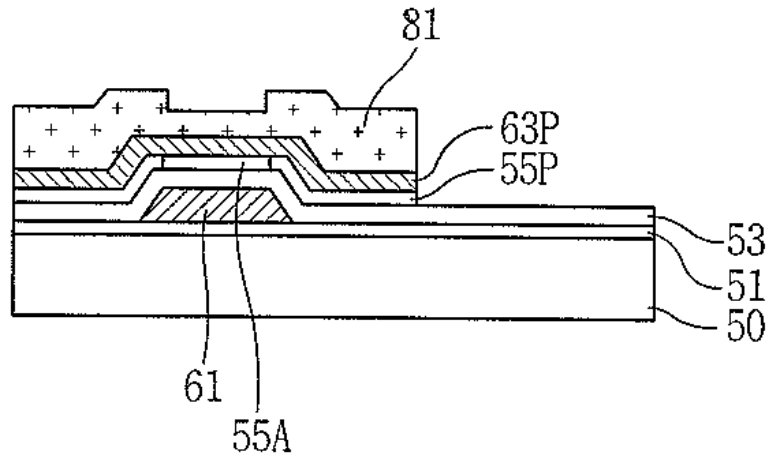
도면3d



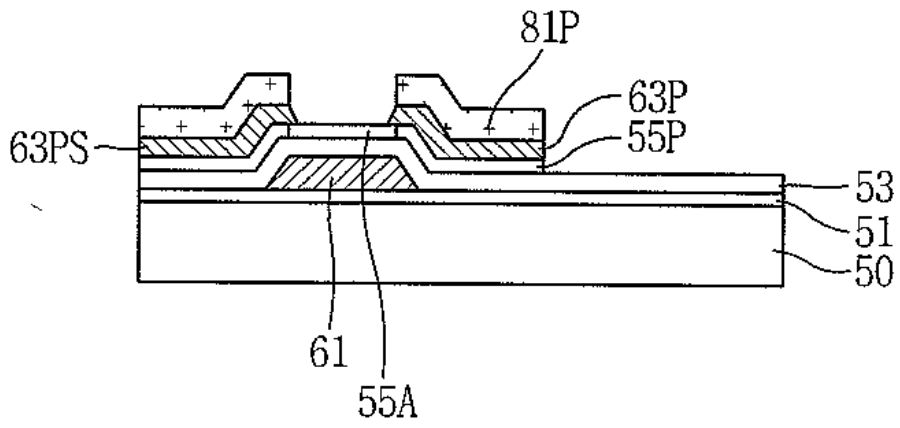
도면3e



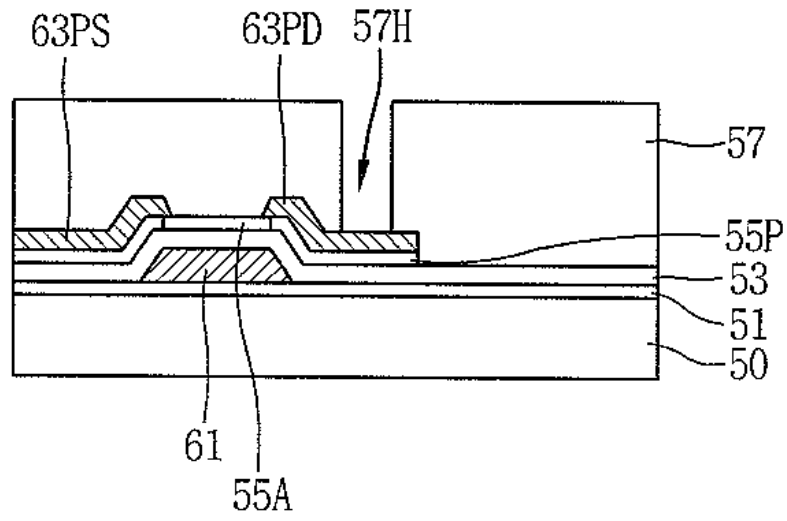
도면3f



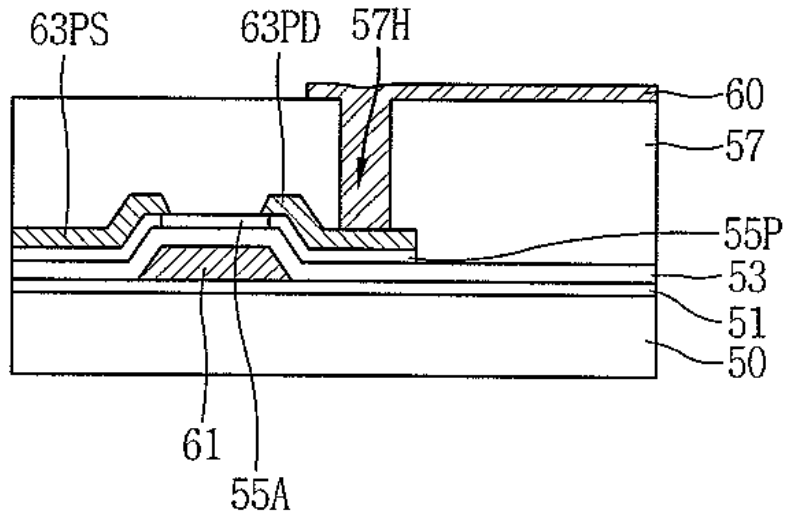
도면3g



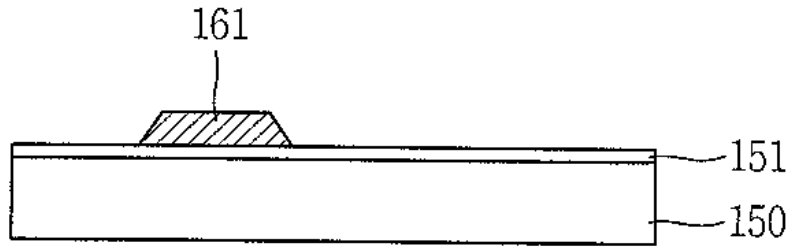
도면3h



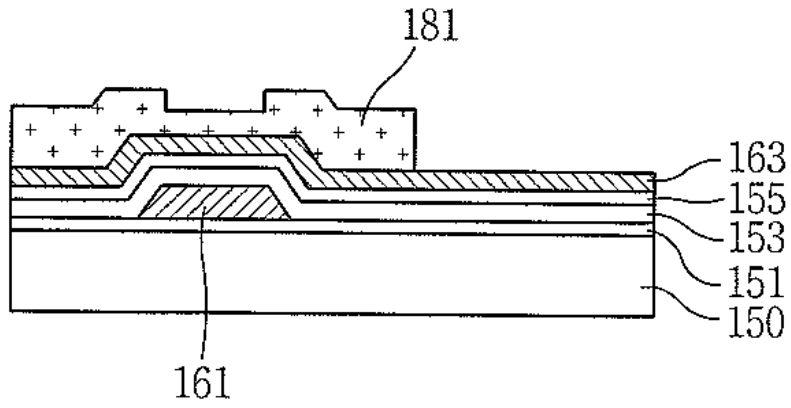
도면3i



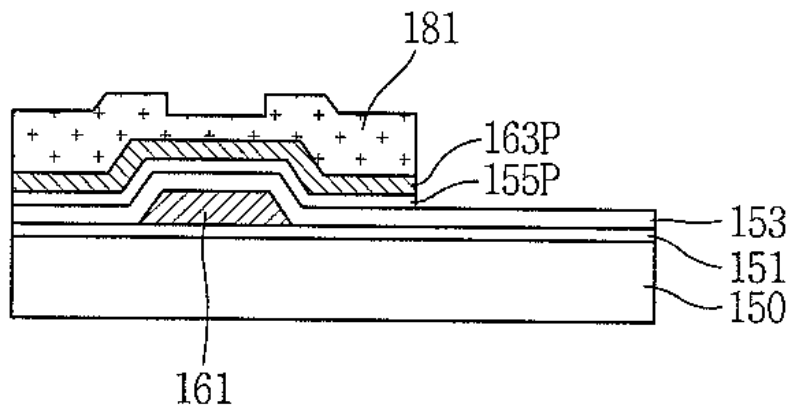
도면4a



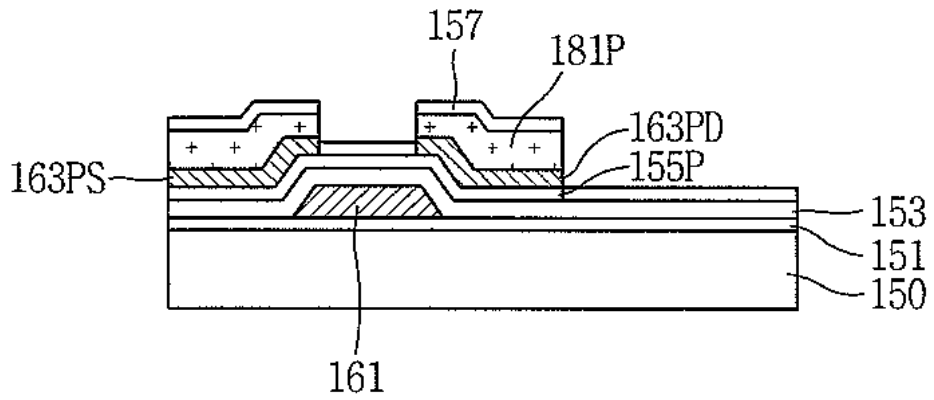
도면4b



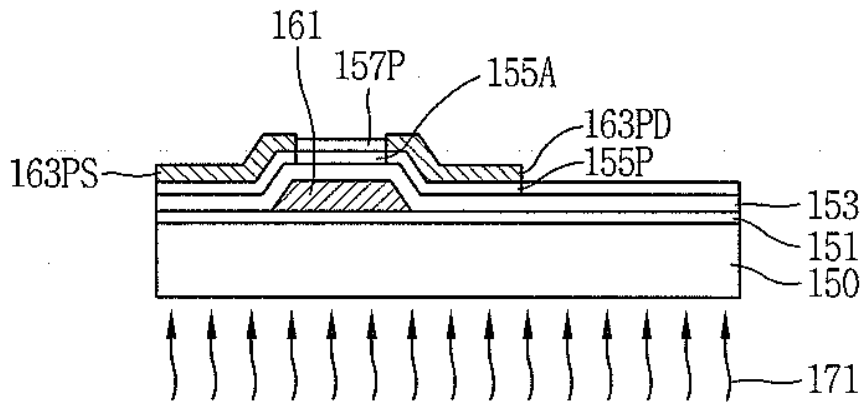
도면4c



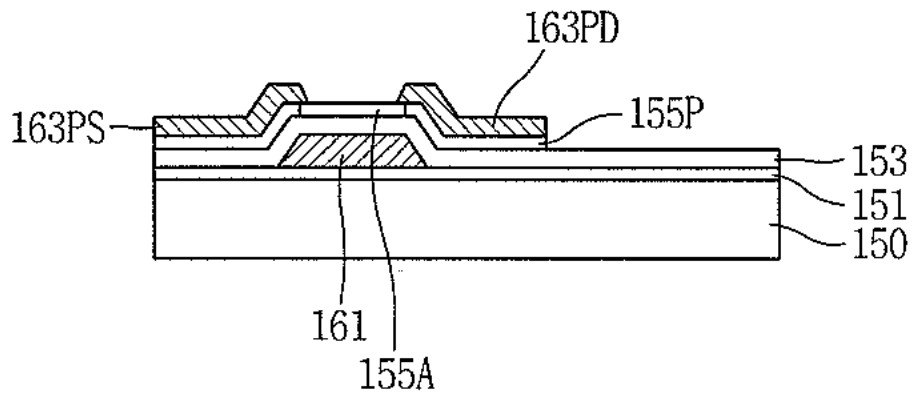
도면4d



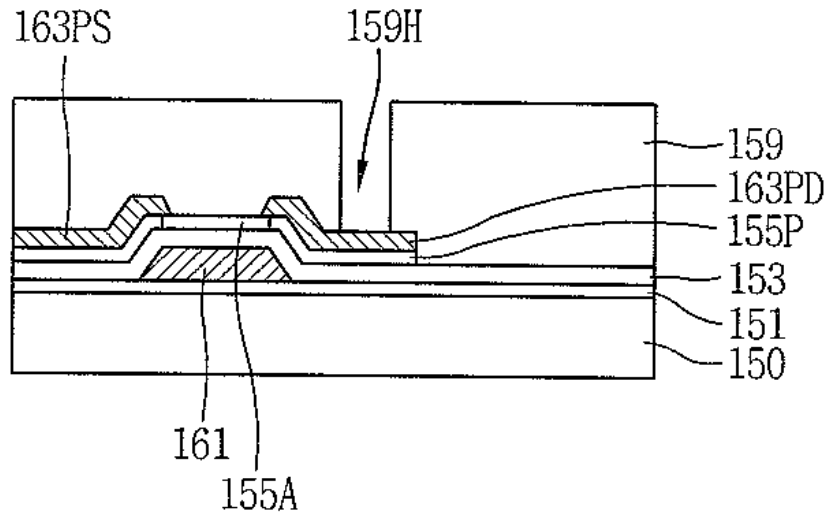
도면4e



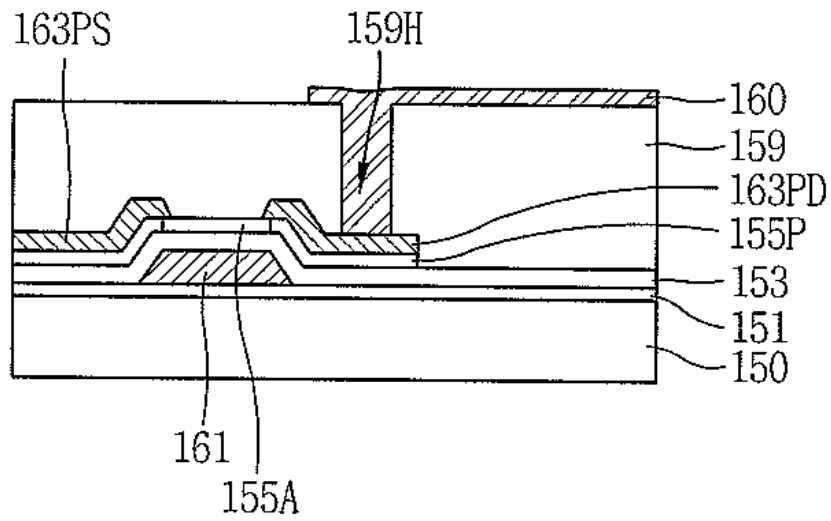
도면4f



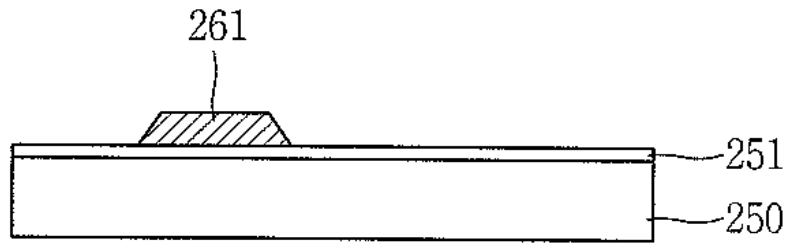
도면4g



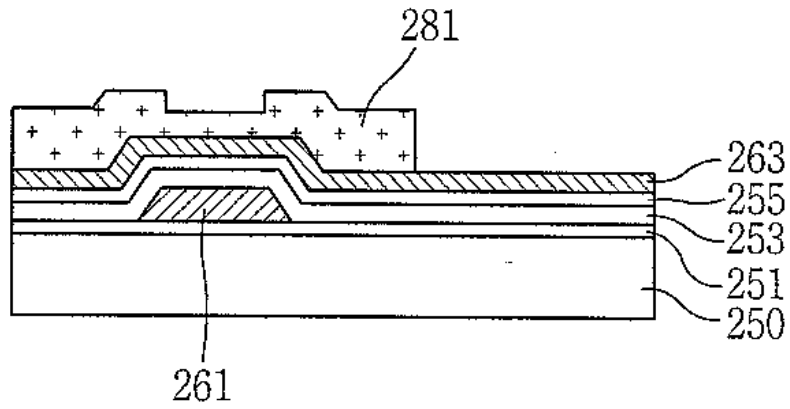
도면4h



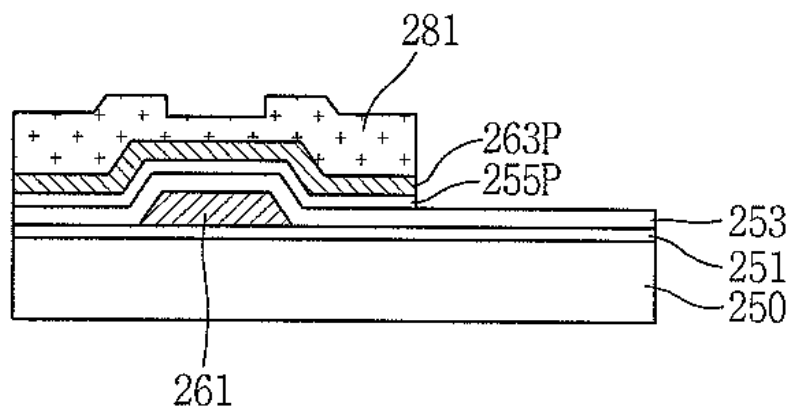
도면5a



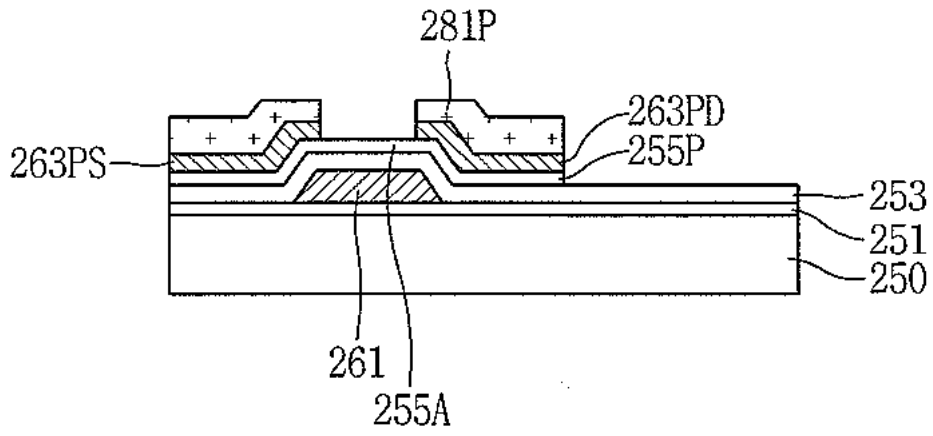
도면5b



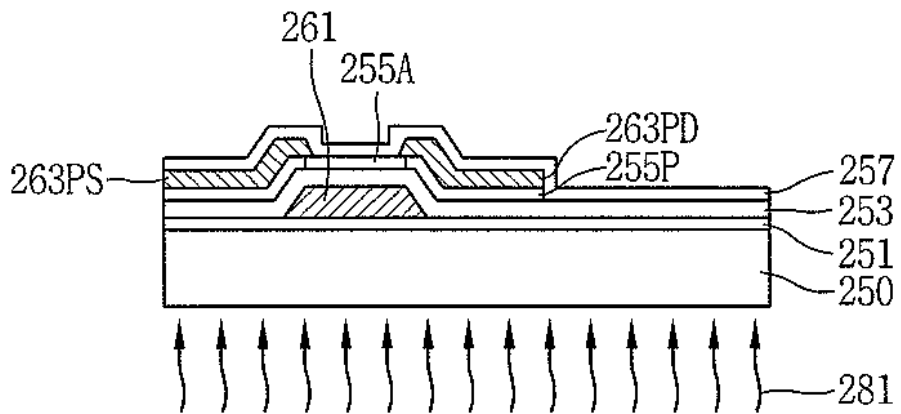
도면5c



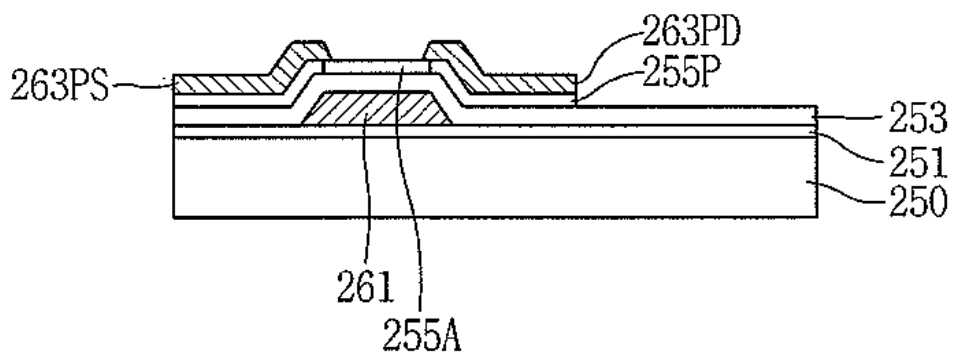
도면5d



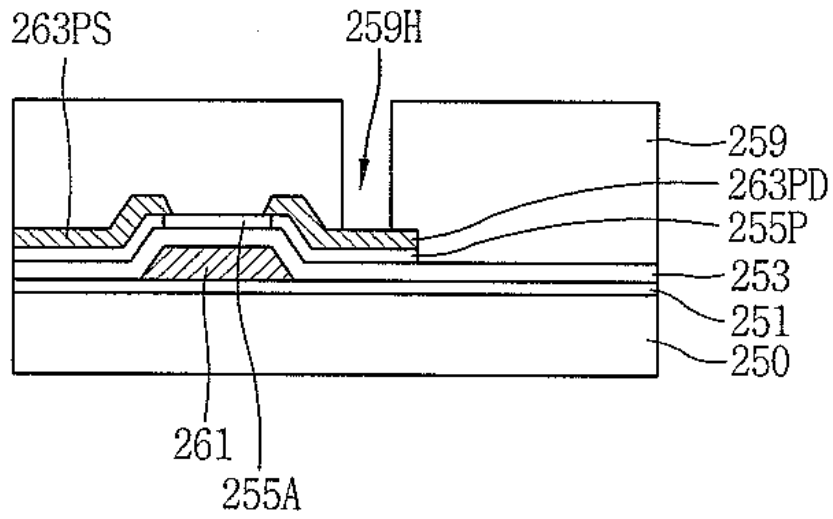
도면5e



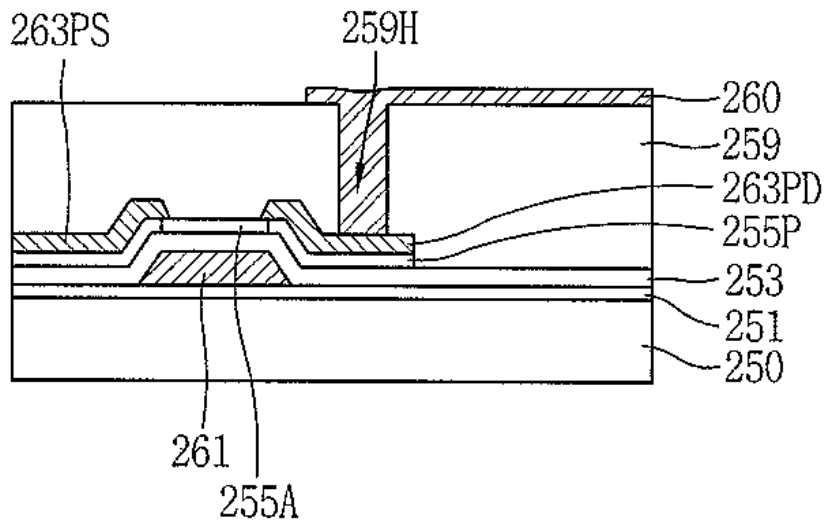
도면5f



도면5g



도면5h



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020080061922A	公开(公告)日	2008-07-03
申请号	KR1020060137117	申请日	2006-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG HEE JUNG		
发明人	YANG,HEE JUNG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/13458 G02F1/136209 G02F1/136286 G02F1/1368 G02F2001/13625 G02F2201/123		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明公开了一种适用于大面积的液晶显示装置及其制造方法。提供基板的步骤，在基板上形成栅电极的步骤，形成反应金属层图案的步骤，覆盖连续形成第一导电类型的硅膜和反应性金属膜的步骤，以及相应的位置在具有栅电极的基板上形成反应金属膜，在形成有源部分的步骤，去除反应金属层图案的步骤，形成源电极的步骤和位于漏电极的沟道区域在将有源部分暴露在基板上的同时，在恒定间隔中，包括形成与漏电极电连接的像素电极的步骤。关于所公开发明的方法的步骤，定义了沟道区域。关于步骤，相对于对应于反应性金属层图案的硅膜位置中的掺杂浓度较低，在具有反应性金属层图案的基板中进行热处理。关于步骤，去除反应金属层图案。

