



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0063643

(43) 공개일자 2007년06월20일

(21) 출원번호 10-2005-0123620

(22) 출원일자 2005년12월15일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이광수
경기 용인시 기흥읍 보라리 민속마을쌍용아파트 119동 102호
장익규
서울 서초구 양재동 10-27 202호

(74) 대리인 조희원

전체 청구항 수 : 총 8 항

(54) 액정 표시 장치의 데이터 전송 방법 및 장치

(57) 요약

본 발명은 데이터 전송 주파수를 감소시킴으로써 EMI를 줄이고 데이터 전송 시간을 충분히 확보할 수 있는 액정 표시 장치의 데이터 전송 방법 및 장치를 제공하는 것이다.

이를 위하여, 본 발명에 따른 액정 표시 장치의 데이터 전송 방법은 제1 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제1 클럭 신호를 생성하는 단계와; 제2 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제2 클럭 신호를 생성하는 단계와; 상기 제1 클럭 신호에 동기하는 제1 데이터를 상기 제1 데이터 구동부로 전송하는 단계와; 상기 제2 클럭 신호에 동기하는 제2 데이터를 상기 제2 데이터 구동부로 전송하는 단계를 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

제1 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제1 클럭 신호를 생성하는 단계와;

제2 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제2 클럭 신호를 생성하는 단계와;

상기 제1 클럭 신호에 동기하는 제1 데이터를 상기 제1 데이터 구동부로 전송하는 단계와;

상기 제2 클럭 신호에 동기하는 제2 데이터를 상기 제2 데이터 구동부로 전송하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 방법.

청구항 2.

제 1 항에 있어서,

상기 제1 데이터 구동부 보다 상기 제2 데이터 구동부의 채널 수가 작음에 따라 상기 제1 클럭 및 제1 데이터 보다 상기 제2 클럭 및 제2 데이터의 전송 주파수가 작은 것을 특징으로 하는 액정 표시 장치의 데이터 전송 방법.

청구항 3.

제 2 항에 있어서,

상기 다수의 데이터 구동 집적 회로 각각은 동일한 채널 수를 갖고, 상기 제2 데이터 구동부가 상기 제1 데이터 구동부 보다 작은 수의 상기 데이터 구동 집적 회로를 포함하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 방법.

청구항 4.

제 1 항에 있어서,

상기 제1 및 제2 데이터 구동부 각각에 상기 제1 및 제2 데이터의 래치 시작점을 지시하는 제1 및 제2 스타트 펄스를 생성하여 상기 제1 및 제2 데이터 구동부 각각에 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 방법.

청구항 5.

액정 패널의 데이터 라인을 분할 구동하는 다수의 데이터 구동 집적 회로 중 일부의 데이터 구동 집적 회로를 포함하는 제1 데이터 구동부와;

나머지 데이터 구동 집적 회로를 포함하는 제2 데이터 구동부와;

상기 제1 및 제2 데이터 구동부 각각의 채널수에 따른 제1 및 제2 클럭을 생성하고, 상기 제1 및 제2 클럭 각각에 동기하는 제1 및 제2 데이터를 상기 제1 및 제2 데이터 구동부로 분리하여 공급하는 타이밍 컨트롤러를 구비하는 것을 특징으로 하는 액정 표시 장치의 데이터 구동 장치.

청구항 6.

제 5 항에 있어서,

상기 타이밍 컨트롤러는

상기 제1 데이터 구동부 보다 상기 제2 데이터 구동부의 채널 수가 작음에 따라 상기 제1 클럭 및 제1 데이터 보다 상기 제2 클럭 및 제2 데이터의 전송 주파수를 낮게 설정하여 공급하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 장치.

청구항 7.

제 6 항에 있어서,

상기 다수의 데이터 구동 집적 회로 각각은 동일한 채널 수를 갖고, 상기 제2 데이터 구동부가 상기 제1 데이터 구동부 보다 작은 수의 상기 데이터 구동 집적 회로를 포함하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 장치.

청구항 8.

제 5 항에 있어서,

상기 타이밍 컨트롤러는

상기 제1 및 제2 데이터 구동부 각각에 상기 제1 및 제2 데이터의 래치 시작점을 지시하는 제1 및 제2 스타트 펄스를 생성하여 상기 제1 및 제2 데이터 구동부 각각에 공급하는 것을 특징으로 하는 액정 표시 장치의 데이터 전송 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 데이터 전송 주파수를 감소시킴으로써 전자기적 간섭(EMI)을 줄이고 데이터 전송 시간을 충분히 확보할 수 있는 액정 표시 장치의 데이터 전송 방법 및 장치에 관한 것이다.

액정 표시 장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시하는 평판 표시 장치로 이동 통신 단말기, 휴대용 컴퓨터, 모니터, 액정 텔레비전 등과 같이 소형 표시 장치부터 대형 표시 장치까지 널리 사용된다. 액정 표시 장치는 화소 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 액정 패널의 후면에서 빛을 공급하는 백라이트 유닛과, 액정 패널 및 백라이트 유닛을 구동하는 구동 회로를 구비한다. 액정 패널은 화소 매트릭스를 구성하는 각 서브 화소가 데이터 신호에 따라 액정 배열 상태를 가변시켜 백라이트 유닛에서 조사된 빛의 투과율을 조절함으로써 영상을 표시한다.

액정 표시 장치는 고품질 영상에 대한 사용자의 욕구를 충족시키기 위하여 많은 양의 비디오 데이터를 고속으로 전송하여 고해상도 화상을 표시할 수 있어야 한다. 이로 인하여 액정 표시 장치는 비디오 데이터의 전송 주파수는 높아지고 비디오 데이터를 전송하는 전송 라인의 수가 증가되어 전자기적 간섭(Electromagnetic Interference; 이하, "EMI"라 함)으로 인한 노이즈 문제가 심하게 발생된다. 이러한 EMI 문제로 데이터 전송 주파수 및 전송 라인 수를 증가시키는데 한계가 있으므로 해상도가 더욱 높아지게 되면 데이터 전송 시간 마진을 충분히 확보할 수 없는 문제도 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로 데이터 전송 주파수를 감소시킴으로써 EMI를 줄이고 데이터 전송 시간을 충분히 확보할 수 있는 액정 표시 장치의 데이터 전송 방법 및 장치를 제공함에 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 장치의 데이터 전송 방법은 제1 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제1 클럭 신호를 생성하는 단계와; 제2 데이터 구동부에 포함된 다수의 구동 집적 회로의 채널 수에 따른 제2 클럭 신호를 생성하는 단계와; 상기 제1 클럭 신호에 동기하는 제1 데이터를 상기 제1 데이터 구동부로 전송하는 단계와; 상기 제2 클럭 신호에 동기하는 제2 데이터를 상기 제2 데이터 구동부로 전송하는 단계를 포함한다.

여기서, 상기 제1 데이터 구동부 보다 상기 제2 데이터 구동부의 채널 수가 작음에 따라 상기 제1 클럭 및 제1 데이터 보다 상기 제2 클럭 및 제2 데이터의 전송 주파수가 작게 설정된다. 다시 말하여, 상기 다수의 데이터 구동 집적 회로 각각은 동일한 채널 수를 갖고, 상기 제2 데이터 구동부가 상기 제1 데이터 구동부 보다 작은 수의 상기 데이터 구동 집적 회로를 포함한다.

또한, 본 발명에 따른 액정 표시 장치의 데이터 전송 방법은 상기 제1 및 제2 데이터 구동부 각각에 상기 제1 및 제2 데이터의 래치 시작점을 지시하는 제1 및 제2 스타트 펄스를 생성하여 상기 제1 및 제2 데이터 구동부 각각에 공급하는 단계를 추가로 포함한다.

그리고, 본 발명에 따른 액정 표시 장치의 데이터 전송 장치는 액정 패널의 데이터 라인을 분할 구동하는 다수의 데이터 구동 집적 회로 중 일부의 데이터 구동 집적 회로를 포함하는 제1 데이터 구동부와; 나머지 데이터 구동 집적 회로를 포함하는 제2 데이터 구동부와; 상기 제1 및 제2 데이터 구동부 각각의 채널수에 따른 제1 및 제2 클럭을 생성하고, 상기 제1 및 제2 클럭 각각에 동기하는 제1 및 제2 데이터를 상기 제1 및 제2 데이터 구동부로 분리하여 공급하는 타이밍 컨트롤러를 구비한다.

상기 타이밍 컨트롤러는 상기 제1 데이터 구동부 보다 상기 제2 데이터 구동부의 채널 수가 작음에 따라 상기 제1 클럭 및 제1 데이터 보다 상기 제2 클럭 및 제2 데이터의 전송 주파수를 낮게 설정하여 공급한다. 여기서, 상기 다수의 데이터 구동 집적 회로 각각은 동일한 채널 수를 갖고, 상기 제2 데이터 구동부가 상기 제1 데이터 구동부 보다 작은 수의 상기 데이터 구동 집적 회로를 포함한다.

상기 타이밍 컨트롤러는 상기 제1 및 제2 데이터 구동부 각각에 상기 제1 및 제2 데이터의 래치 시작점을 지시하는 제1 및 제2 스타트 펄스를 생성하여 상기 제1 및 제2 데이터 구동부 각각에 공급한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 첨부한 도 1 및 도 2를 참조하여 상세하게 설명하기로 한다.

도 1은 본 발명과 관련된 액정 표시 장치를 도시한 회로 블록도이다.

도 1에 도시된 액정 표시 장치는 액정 패널(18)의 데이터 라인(DL1 내지 DLm)을 구동하는 다수의 데이터 구동 IC(이하, D-IC)(16)를 분리하여 포함하는 제1 및 제2 데이터 구동부(12, 14)와, 제1 및 제2 데이터 구동부(12, 14)에 데이터를 공급하는 타이밍 컨트롤러(10)를 구비한다.

액정 패널(18)에 형성된 다수의 데이터 라인(DL1 내지 DLm)은 다수의 D-IC(16)에 의해 분할 구동되고, 다수의 D-IC(16)는 제1 및 제2 데이터 구동부(12, 14)로 2분할되어 타이밍 컨트롤러(10)로부터 데이터를 입력한다. 타이밍 컨트롤러(10)는 제1 및 제2 데이터 구동부(12, 14)로 제1 및 제2 데이터(DATA1, DATA2)를 분리하여 공급한다. 이때, 타이밍 컨트롤러(10)는 데이터(DATA1, DATA2)의 래치 시작점을 지시하기 위한 스타트 펄스(STV)와 데이터(DATA1, DATA2)와 동기하는 클럭(CLK)을 제1 및 제2 데이터 구동부(12, 14)에 공통으로 공급한다. 제1 데이터 구동부(12)에 포함된 5개의 D-IC(16)는 타이밍 컨트롤러(10)로부터의 제1 데이터(DATA1)를 순차적으로 래치하고, 제2 데이터 구동부(14)에 포함된 4개의 D-IC(16)는 타이밍 컨트롤러(10)로부터의 제2 데이터(DATA2)를 순차적으로 래치한다. 다시 말하여, 제1 데이터 구동부(12)에 포함된 5개의 D-IC(16)는 타이밍 컨트롤러(10)로부터의 스타트 펄스(STV)를 클럭(CLK)에 따라 종속적으로 쉬프트시키고 쉬프트되는 펄스에 응답하여 제1 데이터(DATA1)를 순차적으로 래치한다. 동시에, 제2 데이터 구동부(14)에 포함된 4개의 D-IC(16)도 타이밍 컨트롤러(10)로부터의 스타트 펄스(STV)를 클럭(CLK)에 따라 종속적으로 쉬프트시키고 쉬프트되는 펄스에 응답하여 제2 데이터(DATA2)를 순차적으로 래치한다. 그리고, 제1 및 제2 데이터 구동부(12, 14)는 한 수평 라인분의 데이터가 래치되면 래치된 데이터를 동시에 아날로그 신호로 변환하여 액정 패널(18)의 데이터 라인(DL1 내지 DLm)으로 공급한다.

이와 같이, 도 1에 도시된 타이밍 컨트롤러(10)는 다수의 D-IC(16)를 2분할하여 데이터(DATA1, DATA2)를 분리 전송하므로 데이터 전송 주파수를 감소시킬 수 있게 된다. 그런데, 홀수개인 9개의 D-IC(16)가 필요한 경우 제1 데이터 구동부(12)는 5개의 D-IC(16)를, 제2 데이터 구동부(14)는 4개의 D-IC(16)를 포함하지만 스타트 펄스(STV) 및 클럭(CLK)이 공통으로 공급되므로 제2 데이터 구동부(14)는 제1 데이터 구동부(12)와 같이 5개의 D-IC(16)를 포함하는 것과 같이 구동된다.

예를 들어, 480 채널의 D-IC(16) 9개가 필요한 경우 클럭(CLK) 주파수는 $1600 \times 900 \times 60 = 86.4\text{MHz}$ 를 2분주한 43.2MHz 로 결정되고, 타이밍 컨트롤러(10)는 43.2MHz 의 클럭(CLK)에 동기하여 데이터(DATA1, DATA2)를 공급한다. 여기서 900은 게이트 채널 수, 60은 1초 단위의 프레임 수를 의미하고, 데이터 채널 수를 의미하는 1600은 각 D-IC(16)의 480 채널을 RGB 데이터를 의미하는 3으로 나눈 다음($480/3=160$), D-IC(16)가 10개가 있는 것으로 산정(160×10)하여 결정된 산출된 값이다.

이와 같이, 타이밍 컨트롤러(10)는 제1 및 제2 데이터 구동부(14)가 5개씩의 D-IC(16)를 포함한 것으로 가정하여 클럭(CLK)을 공통으로 공급하면서 그 클럭(CLK)에 동기하는 데이터(DATA1, DATA2)를 분리하여 공급한다. 이에 따라, 제1 데이터 구동부(12) 보다 D-IC(16)의 갯수가 작은 제2 데이터 구동부(14)는 제1 데이터 구동부(12)의 다섯번째 D-IC(16)가 데이터를 순차 래치하는 시간은 낭비하면서도 제1 데이터 구동부(12)에 맞춰 불필요하게 데이터(DATA2) 및 클럭(CLK) 주파수가 증가하게 된 단점이 있다.

이러한 단점을 해결하기 위하여, 본 발명에 따른 액정 표시 장치는 도 2에 도시된 바와 같이 제1 및 제2 데이터 구동부(32, 34)로 공급되는 클럭(CLK1, CLK2)을 분리함으로써 제1 데이터 구동부(32) 보다 D-IC(36)의 갯수가 작은 제2 데이터 구동부(34)로 공급되는 데이터(DATA2) 및 클럭(CLK2) 주파수를 감소시킬 수 있게 된다.

도 2는 본 발명의 실시 예에 따른 액정 표시 장치를 도시한 회로 블록도이다.

도 2에 도시된 액정 표시 장치는 액정 패널(38)의 데이터 라인(DL1 내지 DLm)을 구동하는 다수의 데이터 구동 IC(이하, D-IC)(36)를 포함하는 제1 및 제2 데이터 구동부(32, 34)와, 제1 및 제2 데이터 구동부(32, 34)에 데이터를 공급하는 타이밍 컨트롤러(20)를 구비한다.

액정 패널(38)에 형성된 다수의 데이터 라인(DL1 내지 DLm)은 다수의 D-IC(36)에 의해 분할 구동되고, 다수의 D-IC(36)는 제1 및 제2 데이터 구동부(32, 34)로 2분할되어 타이밍 컨트롤러(20)로부터 데이터를 입력한다. 타이밍 컨트롤러(20)는 제1 및 제2 데이터 구동부(32, 34)로 제1 및 제2 데이터(DATA1, DATA2)를 분리 공급함과 아울러 제1 및 제2 클럭(CLK1, CLK2)과 제1 및 제2 스타트 펄스(STV1, STV2)도 분리하여 공급한다.

구체적으로 타이밍 컨트롤러(20)는 컴퓨터 시스템(미도시)으로부터 입력된 데이터(DATA)를 정렬하여 출력하는 데이터 정렬부(22)와, 외부 컴퓨터 시스템으로부터 입력된 데이터(DATA)의 유효 구간을 알리는 데이터 이네이블 신호(DE)와 데이터(DATA)와 동기하는 도트 클럭(DCLK) 등을 이용하여 다수의 제어 신호를 생성하는 제어 신호 발생부(24)를 구비한다.

제어 신호 발생부(24)는 컴퓨터 시스템(미도시)으로부터 입력된 데이터 이네이블 신호(DE) 및 도트 클럭(DCLK)을 이용하여 제1 및 제2 데이터 구동부(32, 34) 각각에 공급되어질 제1 및 제2 클럭(CLK1, CLK2)를 생성한다. 이때, 4개의 D-IC(36)를 포함하는 제2 데이터 구동부(34)로 공급되는 제2 클럭(CLK2)은 5개의 D-IC(36)를 포함하는 제1 데이터 구동부(32)로 공급되는 제1 클럭(CLK1) 보다 낮은 주파수로 생성된다. 예를 들면, 480채널을 갖는 D-IC(36) 9개 중 5개의 D-IC(36)를 포함하는 제1 데이터 구동부(32)에는 공급되는 제1 클럭(CLK1)의 주파수는 $\{(480/3) \times 5\} \times 900 \times 60 = 43.2\text{MHz}$ 로 결정되고, 4개의 D-IC(36)를 포함하는 제2 데이터 구동부(34)에는 공급되는 제2 클럭(CLK2)의 주파수는 $\{(480/3) \times 4\} \times 900 \times 60 = 34.56\text{MHz}$ 로 결정된다. 또한, 제어 신호 발생부(24)는 상기 데이터 이네이블 신호(DE) 및 도트 클럭(DCLK)을 이용하여 제1 및 제2 데이터 구동부(32, 34) 각각에 공급되어질 제1 및 제2 스타트 펄스(STV1, STV2)도 생성한다. 이러한 제어 신호 발생부(24)는 상기 제어 신호들(CLK1, CLK2, STV1, STV2)을 생성하는데 컴퓨터 시스템으로부터의 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync) 등도 이용하기도 한다.

데이터 정렬부(22)는 컴퓨터 시스템(미도시)으로부터 입력된 데이터(DATA)를 정렬하고 제1 및 제2 데이터(DATA1, DATA2)로 분리하여 제1 및 제2 데이터 구동부(32, 34) 각각에 공급한다. 이때, 제1 데이터 구동부(32)로 공급되는 제1

데이터(DATA1)는 제어 신호 발생부(24)로부터의 제1 클럭(CLK1)에 동기하여 전송되고, 제2 데이터 구동부(34)로 공급되는 제2 데이터(DATA2)는 제2 클럭(CLK2)에 동기하여 전송한다. 이에 따라, 제2 데이터 구동부(34)로 공급되는 제2 데이터(DATA2)의 전송 주파수를 제1 데이터 구동부(32)로 공급되는 제1 데이터(DATA1) 보다 낮출 수 있게 된다.

제1 데이터 구동부(32)에 포함된 5개의 D-IC(36)는 타이밍 컨트롤러(20)로부터의 제1 데이터(DATA1)를 순차적으로 래치하고, 제2 데이터 구동부(34)에 포함된 4개의 D-IC(36)는 타이밍 컨트롤러(20)로부터의 제2 데이터(DATA2)를 순차적으로 래치한다. 다시 말하여, 제1 데이터 구동부(32)에 포함된 5개의 D-IC(36)는 타이밍 컨트롤러(20)로부터의 제1 스타트 펄스(STV1)를 제1 클럭(CLK1)에 따라 종속적으로 쉬프트시키고 쉬프트되는 펄스에 응답하여 제1 데이터(DATA1)를 순차적으로 래치한다. 동시에, 제2 데이터 구동부(34)에 포함된 4개의 D-IC(36)도 타이밍 컨트롤러(20)로부터의 제2 스타트 펄스(STV2)를 제2 클럭(CLK2)에 따라 종속적으로 쉬프트시키고 쉬프트되는 펄스에 응답하여 제2 데이터(DATA2)를 순차적으로 래치한다. 그리고, 제1 및 제2 데이터 구동부(32, 34)는 한 수평 라인분의 데이터가 래치되면 래치된 데이터를 동시에 아날로그 신호로 변환하여 액정 패널(38)의 데이터 라인(DL1 내지 DLm)으로 공급한다.

이와 같이, 본 발명에 따른 액정 표시 장치의 타이밍 컨트롤러(20)는 다수의 D-IC(36)를 2분할하여 데이터(DATA1, DATA2)를 분리 전송하면서, 분할된 D-IC(36)의 갯수(즉 분할된 D-IC(36)의 총 채널 수)에 맞추어 클럭(CLK1, CLK2)도 분리하여 전송한다. 이에 따라, 제1 데이터 구동부(32) 보다 포함된 D-IC(36)의 갯수가 작은 제2 데이터 구동부(34)로 전송되는 제2 데이터(DATA2) 및 클럭(CLK2)의 전송 주파수를 감소시킴으로써 EMI를 줄이고 데이터 전송 시간 마진을 충분히 확보할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치의 데이터 구동 방법 및 장치는 홀수개의 D-IC를 2분할하여 데이터를 분리 공급할 때 분할된 D-IC의 갯수(즉, D-IC의 총 채널 수)에 맞추어 클럭도 분리 공급하여 데이터 및 클럭의 전송 주파수를 감소시킴으로써 EMI를 줄이고 데이터 전송 시간 마진을 충분히 확보할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 본 발명과 관련된 액정 표시 장치의 데이터 전송 장치를 도시한 회로 블록도.

도 2는 본 발명의 실시 예에 따른 액정 표시 장치의 데이터 전송 장치를 도시한 회로 블록도.

<도면의 주요부분에 대한 설명>

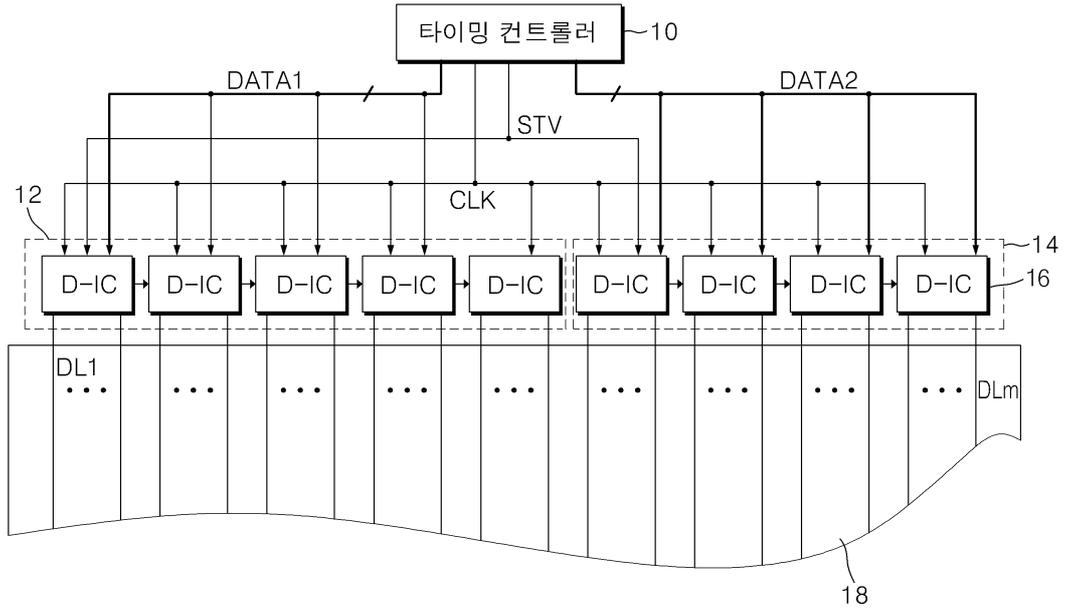
10, 20 : 타이밍 컨트롤러 12, 14, 32, 34 : 데이터 구동부

16, 36 : 데이터 구동 집적 회로(D-IC) 18, 38 : 액정 패널

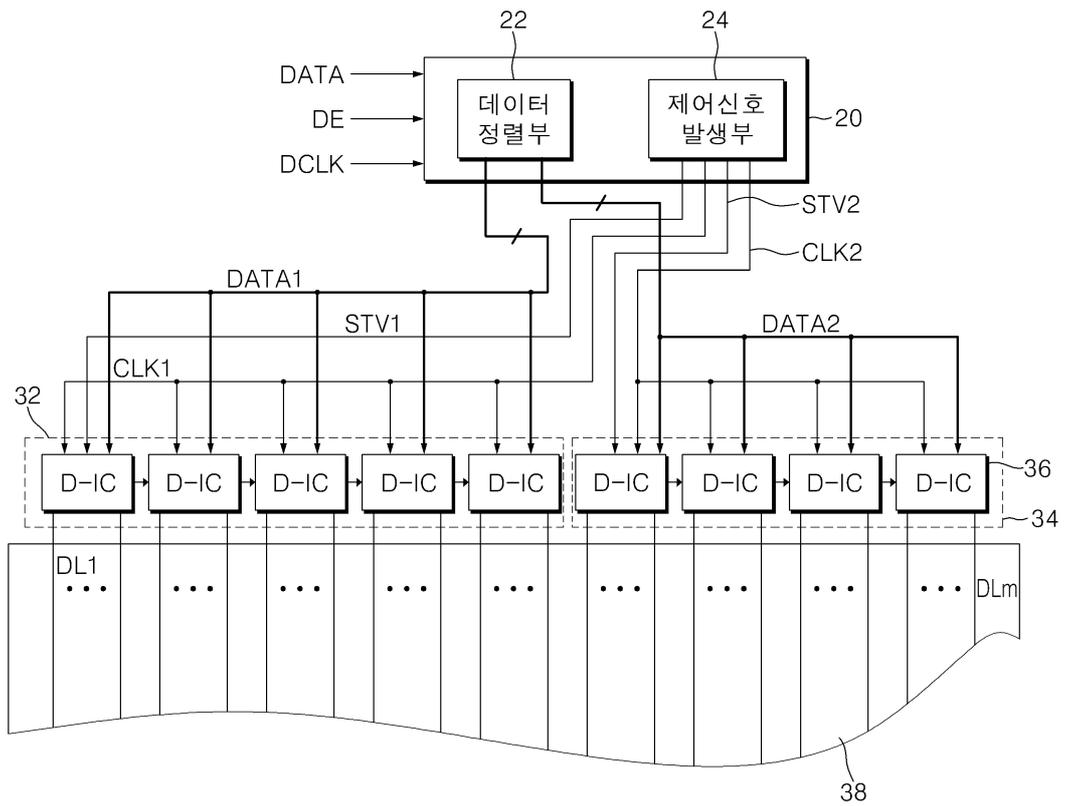
22 : 데이터 정렬부 24 : 제어 신호 발생부

도면

도면1



도면2



专利名称(译)	用于液晶显示装置的数据传输的方法和装置		
公开(公告)号	KR1020070063643A	公开(公告)日	2007-06-20
申请号	KR1020050123620	申请日	2005-12-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE KWANG SOO 이광수 JANG ICK KYU 장익규		
发明人	이광수 장익규		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2330/06 H03K19/096		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种用于传输液晶显示器数据的方法和装置，它通过降低数据传输频率和足够的数据传输时间来降低EMI。为此，根据本发明的液晶显示器的数据发送方法包括以下步骤：根据信道的数量，在第二数据驱动器的同步中，在创建第二时钟信号的步骤中同步第二数据：发送步骤第一数据在第一时钟信号中与第一数据驱动器同步：根据通道数创建第一时钟信号的步骤的第二时钟信号：包括在多个直接驱动电路的第二数据驱动器中的多个直接驱动电路包含在第一个数据驱动程序中。D-IC的数据频率，EMI，时钟频率，个别操作，奇数。

