(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/1345

(11) 공개번호 10-2005-0052689
(43) 공개일자 2005년06월07일

(21) 출원번호 10-2003-0086216
(22) 출원일자 2003년12월01일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이재용
울산광역시중구남외동1015-2번지

(74) 대리인 허용록

심사청구 : 없음

(54) 액정표시장치

요약

본 발명에 의한 액정표시장치는 액정패널과; 게이트/ 데이터 구동 인쇄회로기판(PCB)과; 상기 액정패널과 게이트/ 데이터 구동 PCB 사이에 설치되는 게이트/ 데이터 테이프 캐리어 패키지(TCP)와; 상기 게이트/ 데이터 TCP와 상기 액정패널상의 게이트 라인 및 데이터 라인을 연결하는 게이트/ 데이터 패드와, 상기 게이트/ 데이터 TCP에 실장되는 게이트/ 데이터 구동 IC들이 포함되는 액정표시장치에 있어서,

상기 게이트 구동 PCB 내에 구비된 타이밍 컨트롤러와 상기 게이트/ 데이터 구동 IC에 연결되는 다수의 페어 신호 라인들 각각에 접속되는 터미네이션 저항은, 다수의 저항이 집적된 어레이 형태이며, 상기 내부 터미네이션 저항의 패드가 어레이 외부의 동일 면에 형성됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 시리얼 인터페이스 신호 전송방식에 있어서의 페어 신호 라인 수에 최적화된 어레이 저항 구조를 제공하여 부품 수를 절감하고, 페어 신호 라인간 길이 불균형을 해소하며, 또한, 공정 불량률이 감소되고, PCB 층수 감소에 따른 비용 절감 효과를 얻을 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치(LCD)의 모듈을 나타내는 평면도.

도 2는 도 1에 도시된 액정표시장치 패널의 배선 배치를 나타내는 도면.

도 3 및 도 4는 종래의 구동 PCB 상에 설치된 터미네이션 저항의 구조.

도 5는 본 발명에 의한 액정표시장치의 게이트 PCB의 배선 구조를 나타내는 도면

도 6은 본 발명의 구동 PCB 상에 설치된 터미네이션 저항의 구조를 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

56 : 페어 신호 라인 58 : 어레이 저항

59 : 터미네이션 저항 60 : 패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 시리얼 인터페이스(Serial interface) 신호 전송방식에 의해 구동되는 액정표시장치의 인쇄회로기판(PCB) 상에 구비되는 터미네이션(termination) 저항의 최적화 구조에 관한 것이다.

일반적으로 액정표시장치(Liquid Crystal Display : LCD)는 매트릭스 형태로 배열된 액정셀들이 비디오 신호에 따라 광투과율을 조절함으로써, 액정패널에 비디오 신호에 해당하는 화상을 표시하는 것으로, 이는 상기 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액정패널과, 액정셀들을 구동하기 위한 구동 집적회로(Integrated Circuit : 이하 IC) 등으로 구성된다.

도 1은 일반적인 액정표시장치(LCD)의 모듈을 나타내는 평면도이며, 도 2는 도 1에 도시된 액정표시장치 패널의 배선 배치를 나타내는 도면이다.

도 1 및 도 2를 참조하면, 일반적인 LCD 모듈은 액정패널(11)과, 게이트 및 데이터 구동 인쇄회로기판(Printed Circuit Board : 이하 PCB)(26, 28)과, 액정패널(11)과 게이트 및 데이터 구동 PCB(26, 28) 사이에 설치되는 게이트 및 데이터 테이프 캐리어 패키지(Tape Carrier Package : 이하 TCP)(18, 20)와, 게이트 TCP(18)와 게이트라인(GL)을 연결하는 게이트 패드(14)와, 데이터 TCP(20)와 데이터라인(DL)을 연결하는 데이터 패드(16)와, TCP에 실장되는 게이트 구동 IC들(22) 및 데이터 구동 IC들(24)과, 게이트 및 데이터 구동 PCB(26, 28)와 메인보드(34)를 연결하는 입출력 배선용 FPC(Flexible Printed Circuit) 필름(30) 및 커넥터(32)를 구비한다.

상기 액정패널(11)에는 게이트라인들(GL)과 데이터라인들(DL) 사이의 화소 영역에 액정셀들이 매트릭스 형태로 배치되며, 이는 하부기판(12)과 상부기판(10) 사이에 액정을 주입한 후 합착함으로써 이루어진다. 이 때 상기 액정패널(11)의 하부기판(12) 일측 가장자리에 다수의 게이트 패드(14)가 형성되고, 액정패널(11)의 하부기판(12) 하단 가장자리에는 다수의 데이터 패드(16)가 형성된다.

상기 게이트 패드(14)는 게이트 구동IC들(22)로부터 인가 받은 게이트신호를 게이트 라인들(GL)에 공급하며, 상기 데이터 패드(16)는 데이터 구동 IC들(24)로부터 인가 받은 데이터신호를 데이터 라인들(DL)에 공급하고, 상기 액정패널(11) 상에 형성된 게이트 패드(14) 및 데이터 패드(16)는 이방성 도전 필름(Anisotropic Conductive Film; 이하 ACF)에 의해 게이트 및 데이터 TCP(18, 20)에 부착된다.

상기 게이트 및 데이터 TCP(18, 20)는 출력부와 입력부의 연결을 위한 입/출력 패드가 형성된 폴리이미드 베이스 필름과 그 위에 실장되는 게이트 및 데이터 구동 IC들(22, 24)을 포함하며, 상기 게이트 및 데이터 TCP(18, 20)의 출력부는 게이트 및 데이터 패드(14, 16)에 접합되고, 상기 게이트 및 데이터 TCP(18, 20)의 입력부는 게이트 및 데이터구동 PCB(26, 28)에 접합된다.

상기 게이트 구동 IC들(22)은 게이트 구동 PCB(26)에 실장된 타이밍 콘트롤러로부터 제공되는 제어신호에 응답하여 스캐닝 신호 즉, 게이트 펄스를 게이트 라인들(GL)에 순차적으로 공급한다.

또한, 데이터 구동IC들(24)은 데이터 구동 PCB(28)로부터 공급되는 적색, 녹색, 청색(R,G,B) 데이터를 데이터 라인들(DL)에 공급하는 역할을 한다.

이 때 상기 타이밍 콘트롤러는 상기 게이트 구동 PCB(26) 상에 실장될 수 있으며, 이는 쉬프트 레지스터로 구성된 상기 게이트 구동 IC(22)들 각각에 게이트 스타트 펄스를 공급함과 아울러 상기 데이터 구동 IC들(24)에 도트 클럭과 함께 적색, 녹색, 청색(R, G, B) 데이터를 공급하는 역할을 한다.

또한, 메인보드(34)는 마이콤, 그래픽 처리회로 등을 포함하여 비디오 신호와 제어신호를 데이터구동 PCB(28)에 공급하며, 데이터구동 PCB(28)는 게이트 구동 PCB(26)와 FPC(Flexible Printed Circuit) 필름(29)에 의해 연결되고, 입출력 배선용 FPC 필름(30)은 신호배선이 형성되어 있어 LCD 모듈과 메인보드(34) 사이의 신호 전송패스를 제공하게 되며, 커넥터(32)는 입출력 배선용 FPC 필름(30)의 끝단에 설치되어 메인보드(34)의 잭에 연결된다.

여기서, 상기 구동 PCB, 특히 타이밍 콘트롤러가 실장된 게이트 구동 PCB의 설계시 많은 수의 고주파 배선을 형성해야 하므로 전자기 방해(ElectoMagnetic Interference : EMI)가 발생하게 되고, 상기 EMI의 영향은 액정패널이 점차 고해상도로 진행함에 따라 더욱 부각되는 문제점으로 대두되고 있다.

실제로 SXGA모드(1280*1024)에서 수직주파수가 60Hz일 경우 클럭주파수는 108MHz가 되어 EMI가 발생하게 된다. 이에 따라 최근 들어 SXGA 모드 등 고해상도 모드의 경우 상기 EMI를 감소시키기 위해 신호 및 데이터 전송에 있어 시리얼 인터페이스(Serial interface) 신호 전송방식을 사용하고 있다. 상기 시리얼 인터페이스 신호 전송 방식은, 데이터를 전송하는 방법의 하나로, 기존의 TTL/CMOS가 기저전압원(GND)을 기준으로 일정 전압을 가지는 펄스로써 상기 데이터를 전송하는데 반해, 상기 시리얼 인터페이스 신호 전송은 상기 데이터를 전송하는데 있어 2개의 신호(signal) 라인을 페어(pair)로 인접시켜 전류 루프(current loop) 형식으로 데이터를 보내기 때문에 노이즈 둔감성 및 EMI 감소, 저소비전력 등의 장점을 가지고 있으며, 최근에는 mini-LVDS, RSDS, LVDS 등 LCD 시스템에 많이 사용되고 있다.

단, 상기 시리얼 인터페이스 신호 전송 방식을 사용하기 위해서는 상기 한 쌍 즉, 페어(pair) 라인 상에 병렬로 100Ω정도의 터미네이션(termination) 저항이 구비되어야 한다. 예를 들어 Mini-LVDS 6bit의 경우 각 게이트 구동 IC들에 6쌍의 신호 라인이 입력되어야 하며, 이에 따라 각 쌍에 접속되어야 할 터미네이션 저항 또한 6개가 구비되어야 한다.

게이트 구동 PCB에는 앞서 설명한 바와 같이 타이밍 콘트롤러가 실장되어 있고, 게이트 TCP의 입력부가 게이트 구동 PCB에 접합됨에 의해 상기 타이밍 콘트롤러의 출력 라인은 게이트 구동 IC들과 접속된다.

종래의 경우 상기 터미네이션 저항으로 100Ω의 단품 저항을 다수개 사용하거나, 또는 4개의 100Ω저항이 집적된 어레이 저항을 사용하였다.

도 3 및 도 4는 종래의 구동 PCB 상에 설치된 터미네이션 저항의 구조를 나타낸 도면이다.

단, 도 3은 단품 저항을 다수개 사용한 것이며, 도 4는 어레이 저항 및 단품 저항을 사용한 상태를 도시한 것이고, 상기 mini-LVDS 6bit를 예를 들면 6쌍의 신호 라인이 존재하고, 이에 따른 터미네이션 저항도 6개 구비되어야 한다.

도 3a 및 도 3b를 참조하면, 각각의 페어 신호 라인(40)에 대해 각각 100Ω의 단품 저항(42)을 사용하는 경우, 상기 단품 저항을 가로로 배치하게 되면 도 3a에 도시된 바와 같이 페어간 신호 라인 길이(40)의 불균형이 생기게 되고, 각 단품 저항(42)을 세로로 배치하면 도 3b에 도시된 바와 같이 페어간 신호 라인(41)의 길이는 동일하게 할 수 있으나 면적이 너무 커지게 되는 단점이 있다. 또한, 단품 저항들을 사용하는 경우 부품수가 증가하게 되는 단점도 있다.

이러한 문제를 극복하기 위해 어레이 저항(44)을 사용하기도 하나, 종래의 경우 상기 어레이 저항(44)은 도 4에 도시된 바와 같이 4개의 100Ω터미네이션 저항(45)이 가로로 집적된 형태로 구성되기 때문에 페어 신호 라인(43)의 길이 불균형은 여전히 존재하며, 또한 종래의 어레이 저항(44)은 단지 4개의 터미네이션 저항(45)을 집적한 것이므로 이를 통해서는 저항 배치의 최적화를 할 수 없고, 상기 어레이 저항(44) 외에 2개의 단품 저항(42)이 더 구비되어야 한다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 시리얼 인터페이스(Serial interface) 신호 전송방식에 의해 구동되는 액정표시장치의 PCB 상에 구비되는 터미네이션(termination) 저항의 최적화를 위해, 어레이 저항의 내부에 집적되는 터미네이션 저항의 수를 늘리고, 페어 신호 라인의 길이를 맞추기 위해 내부 터미네이션 저항을 세로로 배열하여 집적함으로써, 부품수를 절감하고 페어 라인간 길이 불균형을 해소하는 액정표시장치 구조를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치는, 액정패널과; 게이트/ 데이터 구동 인쇄회로기판(PCB)과; 상기 액정패널과 게이트/ 데이터 구동 PCB 사이에 설치되는 게이트/ 데이터 테이프 캐리어 패키지(TCP)와; 상기 게이트/ 데이터 TCP와 상기 액정패널 상의 게이트 라인 및 데이터 라인을 연결하는 게이트/ 데이터 패드와, 상기 게이트/ 데이터 TCP에 실장되는 게이트/ 데이터 구동 IC들이 포함되는 액정표시장치에 있어서,

상기 게이트 구동 PCB 내에 구비된 타이밍 컨트롤러와 상기 게이트/ 데이터 구동 IC에 연결되는 다수의 페어 신호 라인들 각각에 접속되는 터미네이션 저항은, 다수의 저항이 집적된 어레이 형태이며, 상기 내부 터미네이션 저항의 패드가 어레이 외부의 동일 면에 형성됨을 특징으로 한다.

여기서, 상기 액정표시장치는 시리얼 인터페이스(serial interface) 신호 전송방식으로 구동되며, 상기 어레이 저항 내부에 집적된 다수의 터미네이션 저항은 각각 100??이고, 상기 어레이 저항 내부에 집적된 다수의 터미네이션 저항은 상기 페어 신호 라인의 수와 같거나 그 이상임을 특징으로 한다.

이와 같은 본 발명에 의하면, 시리얼 인터페이스 신호 전송방식에 있어서의 페어 신호 라인 수에 최적화된 어레이 저항 구조를 제공하여 부품 수를 절감하고, 페어 신호 라인간 길이 불균형을 해소하며, 또한, 공정 불량률이 감소되고, PCB 층수 감소에 따른 비용 절감 효과를 얻을 수 있다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 5는 본 발명에 의한 액정표시장치의 게이트 PCB의 배선 구조를 나타내는 도면이다.

본 발명은 시리얼 인터페이스(serial interface) 신호 전송방법에 의해 구동되는 액정표시장치에 관한 것이며, 상기 시리얼 인터페이스 신호 전송방법은 앞서 설명한 바와 같이 데이터를 전송하는데 있어, 2개의 신호(signal) 라인을 페어(pair)로 인접시켜 전류 루프(current loop) 형식으로 데이터를 보내는 방식이다.

이는 기존의 TTL/CMOS 방식 등에 비해 노이즈에 둔감하고, EMI가 감소되며, 소비 전력이 감소되는 장점이 있으며, 이에 따라 최근에는 mini-LVDS, RSDS, LVDS 등 LCD 시스템에 많이 사용되고 있다.

이와 같은 시리얼 인터페이스 신호 전송 방식을 사용하기 위해서는 상기 한 쌍 즉, 페어(pair) 라인 상에 병렬로 100Ω정도의 터미네이션(termination) 저항이 구비되어야 하는데, 종래의 경우 상기 터미네이션 저항으로 100??의 단품 저항을

다수개 사용하거나, 또는 4개의 100Ω 저항이 집적된 어레이 저항을 사용하였으나, 본 발명에 있어서의 터미네이션 저항은 내부에 다수의 저항이 집적된 어레이 형태로, 상기 내부 터미네이션 저항의 패드가 어레이 외부의 동일 면에 형성됨에 그 특징이 있다.

본 발명에 의한 액정표시장치 구성은 도 1에 도시된 일반적인 액정표시장치의 일반적인 구성과 동일하므로 상세한 설명은 생략하도록 한다.

상기 게이트 구동 PCB(50)에는 앞서 설명한 바와 같이 타이밍 콘트롤러(52)가 실장되어 있고, 게이트 TCP의 입력부(54)가 게이트 구동 PCB(50)에 접합됨에 의해 상기 타이밍 콘트롤러(52)의 출력 라인은 게이트 구동 IC들(55)과 접속된다.

일례로 본 발명에 의한 액정표시장치가 Mini-LVDS 6bit의 시리얼 인터페이스 신호 전송방법으로 구동되는 경우, 각 게이트 구동 IC들에 6쌍의 페어 신호 라인(56)이 입력되어야 하며, 이에 따라 각 쌍에 접속되어야 할 각각의 터미네이션 저항(59) 역시 6개 구비되야 한다. 본 발명의 경우 상기 다수의 터미네이션 저항(59)는 어레이 형태로 그 내부에 집적되어 있다.

이 때 상기 다수의 터미네이션 저항(59)가 집적된 어레이 형태를 어레이 저항(58)이라고 한다.

종래의 경우에는 상기 터미네이션 저항으로 100Ω의 단품 저항을 다수개 사용하거나, 또는 4개의 100Ω저항이 집적된 어레이 저항을 사용하였으나, 이 경우 부품 수가 증가하여 터미네이션 저항이 차지하는 면적이 넓어지거나, 상기 페어 신호 라인의 길이가 불균형되는 문제가 발생하였다.

또한, 상기 어레이 저항은 그 내부에 단지 4개의 저항이 집적되어 있으므로 이를 통해서는 저항 배치의 최적화를 할 수 없고, 상기 어레이 저항 외에 2개의 단품 저항이 더 구비되어야 한다는 문제점이 있다.

이에 반해 본 발명에 의한 터미네이션 저항(59)이 집적된 어레이 저항(58)은, 그 내부에 다수의 저항 즉, 4개 이상의 저항(59)이 집적된 어레이 형태이며, 또한 상기 내부 터미네이션 저항(59)의 패드(60)가 어레이 외부의 동일 면에 형성되어 있기 때문에 저항 배치의 최적화를 이룰 수 있을 뿐 아니라, 페어 신호 라인(56)의 길이를 동일하게 할 수 있게 된다.

단, 상기 어레이 저항(58)은 게이트 구동 PCB(50) 뿐 아니라 데이터 구동 PCB에도 형성되며, 이를 통해 타이밍 컨트롤러 및 게이트/ 데이터 IC들이 연결된다.

도 6은 본 발명의 구동 PCB 상에 설치된 터미네이션 저항의 구조를 나타낸 도면이다.

도 6을 참조하면, 각각의 페어 신호 라인(56)에 대해 본 발명에 의한 터미네이션 저항(59)이 집적된 어레이 저항(58)을 사용하는 경우, 상기 어레이 저항(58) 내부는 다수의 터미네이션 저항(59) 즉, 상기 페어 신호 라인(56)의 수와 같거나 그 이상의 저항이 집적된 어레이 형태로 구성되며, 각 내부에 집적된 터미네이션 저항(59)들이 세로로 배치되어 있어 상기 저항들에 접속되는 페어 신호 라인(56)의 길이를 동일하게 할 수 있다.

즉, 상기 내부 터미네이션 저항(59)의 패드(60)가 어레이 저항(58) 외부의 동일 면에 형성되어 있음을 그 특징으로 한다. 도 6의 경우 상기 패드(60)는 어레이 저항(58) 외부의 좌측면에 모두 형성되어 있음을 알 수 있다.

이와 같이 본 발명에 의한 어레이 저항(58)을 적용함에 따라 종래의 문제점 즉, 페어 신호 라인 길이가 일치하지 못하는 점, 부품 수의 증가에 의해 저항이 차지하는 면적이 너무 커지게 되는 점, 저항 배치의 최적화를 할 수 없는 점을 모두 극복할 수 있게 되는 것이다.

발명의 효과

이상의 설명에서와 같이 본 발명에 따른 액정표시장치에 의하면, 시리얼 인터페이스 신호 전송방식에 있어서의 페어 신호 라인 수에 최적화된 어레이 저항 구조를 제공하여, 부품 수를 절감하고, 페어 신호 라인간 길이 불균형을 해소하는 효과가 있다.

또한, 공정 불량률이 감소되고, PCB 층수 감소에 따른 비용 절감 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

액정패널과, 게이트/ 데이터 구동 인쇄회로기판(PCB)과, 상기 액정패널과 게이트/ 데이터 구동 PCB 사이에 설치되는 게이트/ 데이터 테이프 캐리어 패키지(TCP)와, 상기 게이트/ 데이터 TCP와 상기 액정패널 상의 게이트 라인 및 데이터 라인을 연결하는 게이트/ 데이터 패드와, 상기 게이트/ 데이터 TCP에 실장되는 게이트/ 데이터 구동 IC들이 포함되는 액정표시장치에 있어서,

상기 게이트 구동 PCB 내에 구비된 타이밍 컨트롤러와 상기 게이트/ 데이터 구동 IC에 연결되는 다수의 페어 신호 라인들 각각에 접속되는 터미네이션 저항은, 다수의 저항이 집적된 어레이 형태이며, 상기 내부 터미네이션 저항의 패드가 어레이 외부의 동일 면에 형성됨을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 액정표시장치는 시리얼 인터페이스(serial interface) 신호 전송방식으로 구동됨을 특징으로 하는 액정표시장치.

청구항 3.

제 1항에 있어서,

상기 어레이 저항 내부에 집적된 다수의 터미네이션 저항은 각각 100Ω임을 특징으로 하는 액정표시장치.

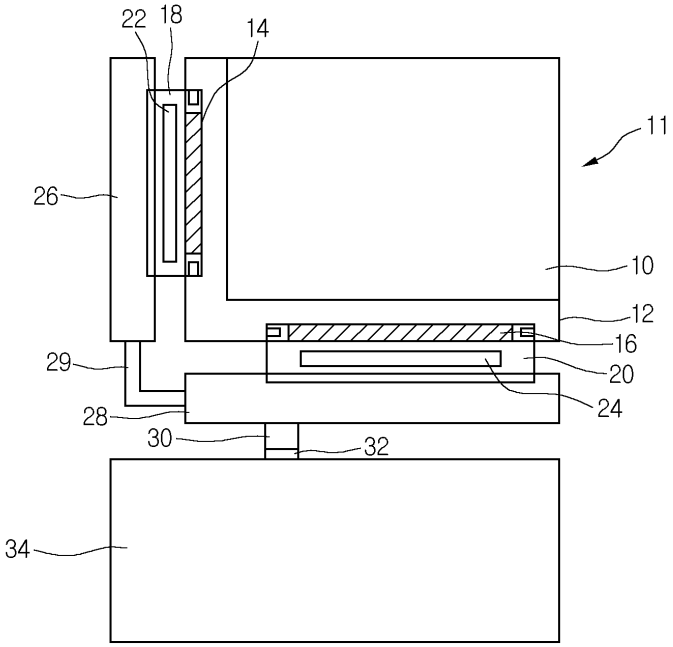
청구항 4.

제 1항에 있어서,

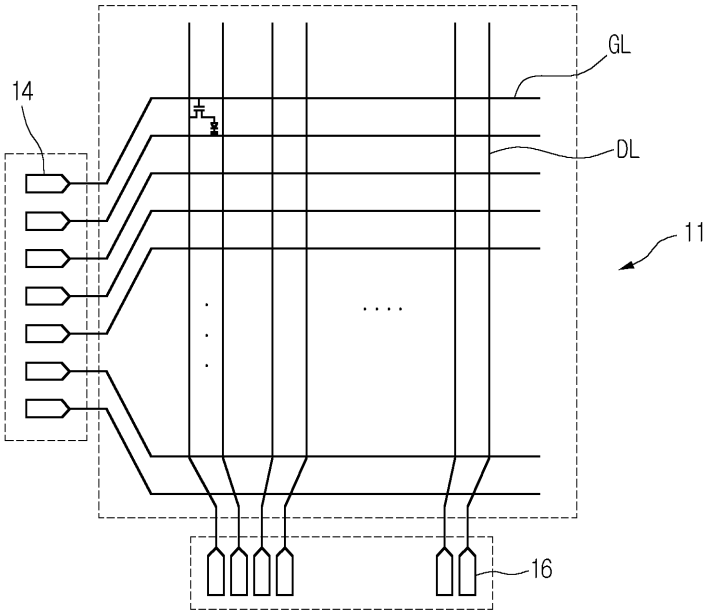
상기 어레이 저항 내부에 집적된 다수의 터미네이션 저항은 상기 페어 신호 라인의 수와 같거나 그 이상임을 특징으로 하는 액정표시장치.

도면

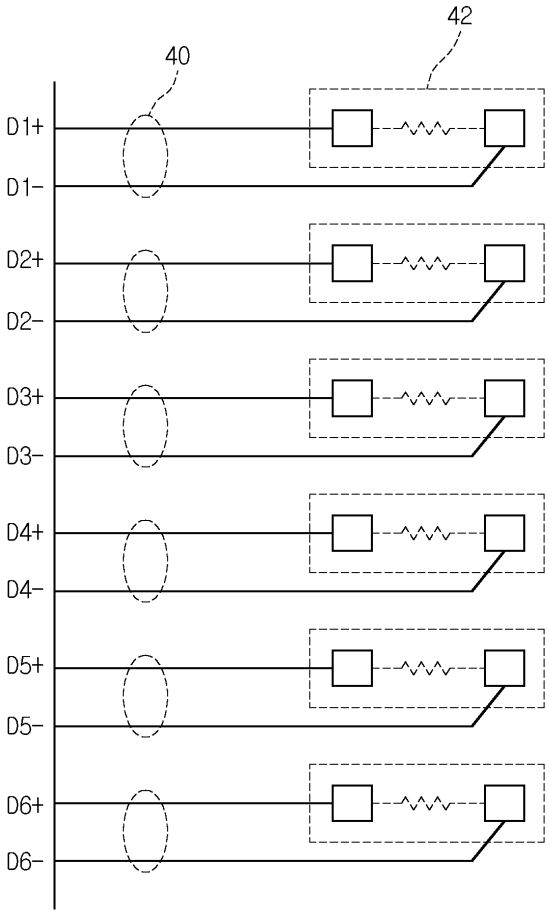
도면1



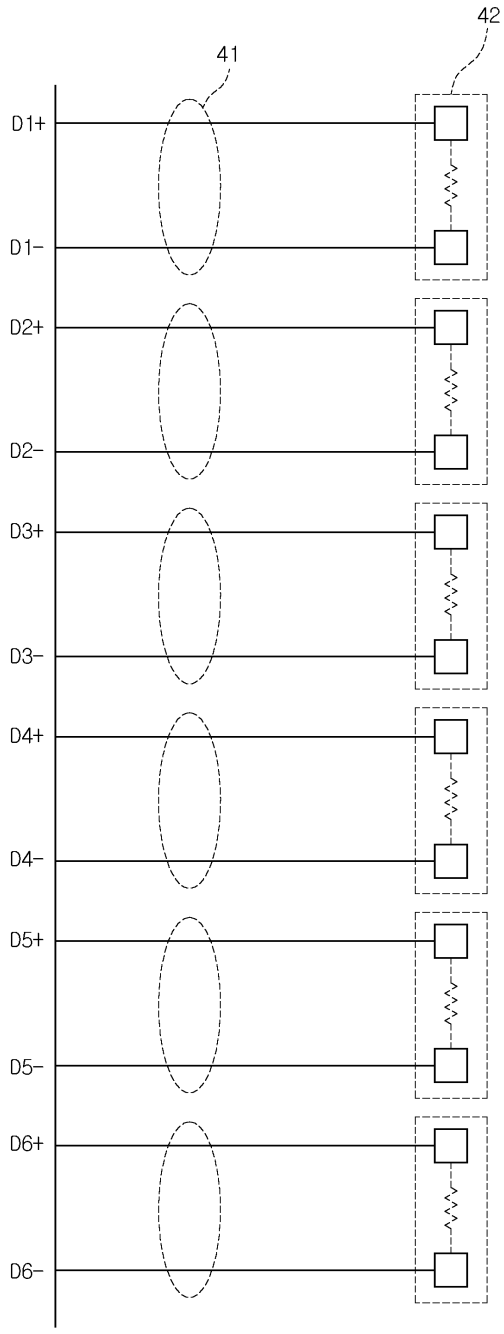
도면2



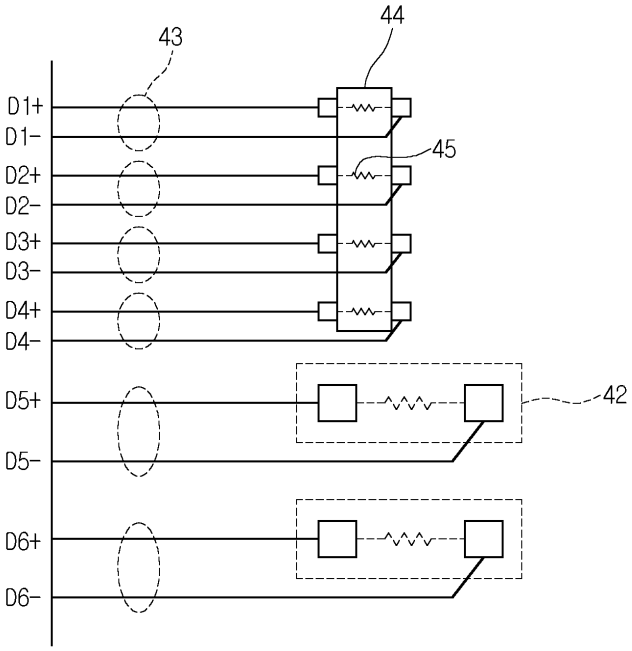
도면3a



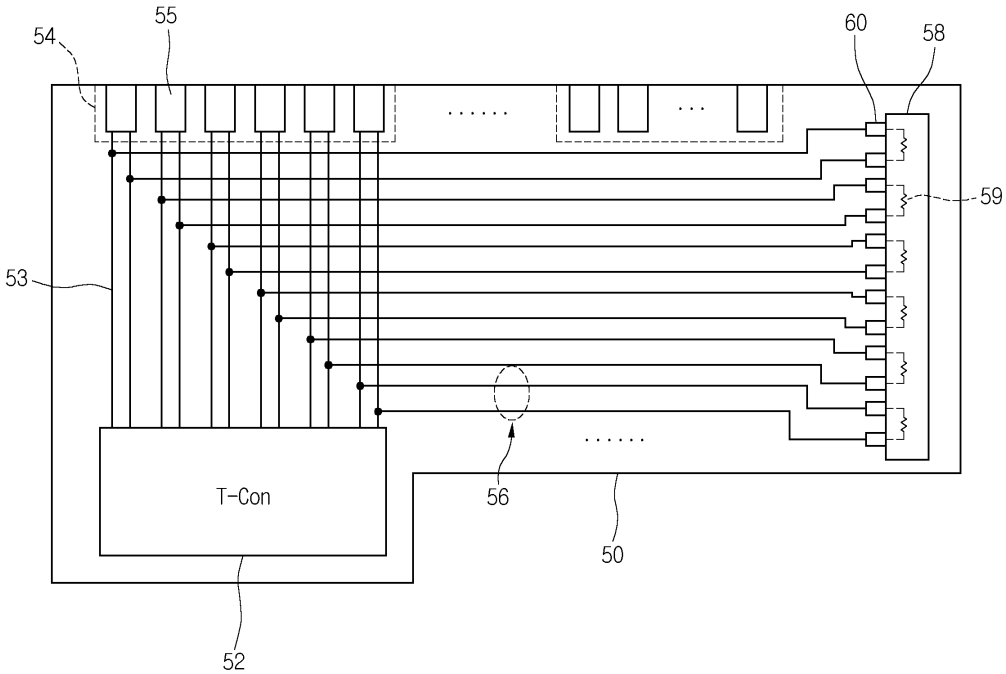
도면3b



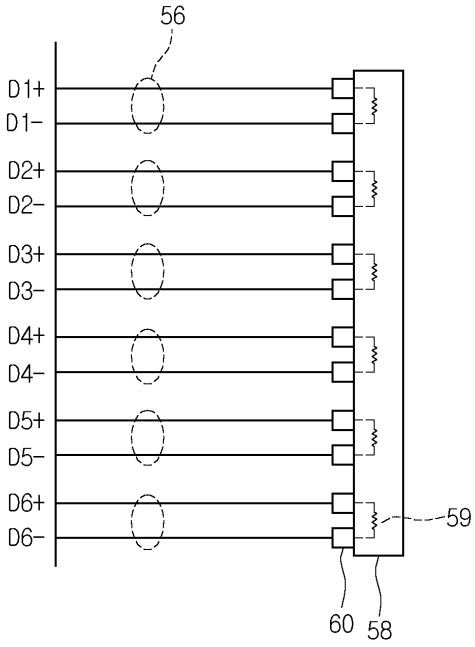
도면4


43
44
45
D1+
D1-
D2+
D2-
D3+
D3-
D4+
D4-
D5+
D5-
D6+
D6-
42

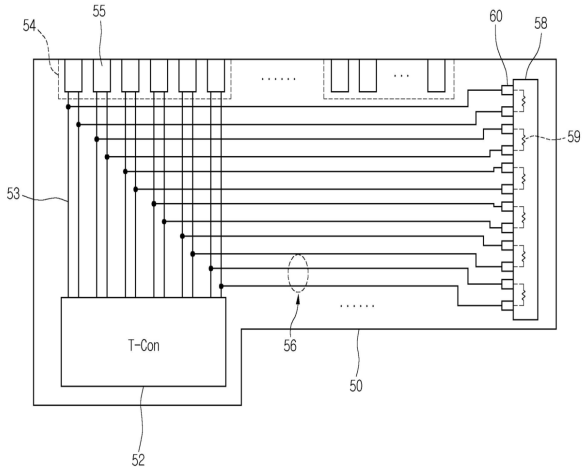
도면5


54
55
60
58
59
53
T-Con
56
50
52

도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020050052689A	公开(公告)日	2005-06-07
申请号	KR1020030086216	申请日	2003-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAEYONG 이재용		
发明人	이재용		
IPC分类号	G02F1/1345		
其他公开文献	KR101001421B1		
外部链接	Espacenet		

摘要(译)

用途：通过设置针对对信号线数量优化的阵列电阻结构，提供液晶显示器以减少部件数量并防止对信号线长度的不平衡。