



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월07일
(11) 등록번호 10-1427081
(24) 등록일자 2014년07월31일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2007-0088465
(22) 출원일자 2007년08월31일
심사청구일자 2012년08월01일
(65) 공개번호 10-2008-0021557
(43) 공개일자 2008년03월07일
(30) 우선권주장
JP-P-2006-00236392 2006년08월31일 일본(JP)
(56) 선행기술조사문헌
JP2000155550 A*
JP2006039111 A*
JP2005354036 A*
JP2003186045 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
우메자키 아츠키
일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 22 항

심사관 : 추장희

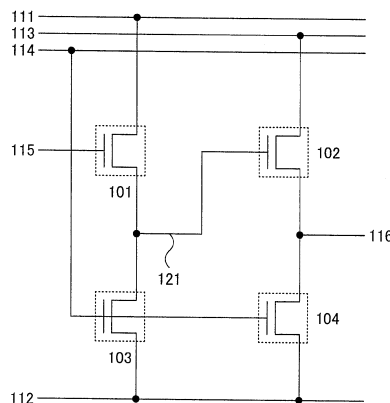
(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 비선택 기간에서, 출력 신호의 노이즈가 작고, 또한 트랜지스터의 특성 열화를 억제할 수 있는 액정 표시 장치의 제공을 목적으로 한다.

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 형성하고, 제 1 트랜지스터에 있어서, 제 1 단자를 제 1 배선에 접속하고, 제 2 단자를 제 2 트랜지스터의 게이트 단자에 접속하고, 게이트 단자를 제 5 배선에 접속하고, 제 2 트랜지스터에 있어서 제 1 단자를 제 3 배선에 접속하고, 제 2 단자를 제 6 배선에 접속하고, 제 3 트랜지스터에 있어서 제 1 단자를 제 2 배선에 접속하고, 제 2 단자를 제 2 트랜지스터의 게이트 단자에 접속하고, 게이트 단자를 제 4 배선에 접속하고, 제 4 트랜지스터에 있어서 제 1 단자를 제 2 배선에 접속하고, 제 2 단자를 제 6 배선에 접속하고, 게이트 단자를 제 4 배선에 접속하는 것을 특징으로 하고 있다.

대표도



특허청구의 범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터; 및

제 1 배선, 제 2 배선, 제3 배선, 제4 배선, 제 5 배선, 및 제 6 배선을 포함하고;

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트 단자는 상기 제 5 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 6 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 6 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 1 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터의 각각의 채널 폭보다 큰, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터; 제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 제 5 배선을 포함하고;

상기 제 1 트랜지스터의 제 1 단자는 상기 제 5 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트 단자는 상기 제 5 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 채널 폭은 상기 제 1 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터의 각각의 채널 폭보다 큰, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 화합물 반도체를 포함하는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 비정질 실리콘을 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

용량 소자가 상기 제 2 트랜지스터의 상기 제 2 단자와 상기 제 2 트랜지스터의 상기 게이트 단자 사이에 제공되는, 반도체 장치.

청구항 6

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터; 및

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 제 5 배선, 제 6 배선, 및 제 7 배선을 포함하고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트 단자는 상기 제 5 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 6 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 6 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 1 단자는 상기 제 6 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 7 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터; 및

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 제 5 배선, 및 제 6 배선을 포함하고;

상기 제 1 트랜지스터의 제 1 단자는 상기 제 5 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트 단자는 상기 제 5 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 상기 게이트 단자에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 4 배선에 전기적

으로 접속되고,

상기 제 5 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 6 배선에 전기적으로 접속되는, 반도체 장치.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터 각각은 화합물 반도체를 포함하는, 반도체 장치.

청구항 9

제 6 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터 각각은 비정질 실리콘을 포함하는, 반도체 장치.

청구항 10

제 6 항에 있어서,

용량 소자가 상기 제 2 트랜지스터의 상기 제 2 단자와 상기 제 2트랜지스터의 상기 게이트 단자 사이에 제공되는, 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 인듐을 포함하는, 반도체 장치.

청구항 26

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 갈륨을 포함하는, 반도체 장치.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 아연을 포함하는, 반도체 장치.

청구항 37

제 6 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 인듐을 포함하는, 반도체 장치.

청구항 38

제 6 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 갈륨을 포함하는, 반도체 장치.

청구항 39

제 6 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터 각각은 화합물 반도체를 포함하고,

상기 화합물 반도체는 아연을 포함하는, 반도체 장치.

청구항 40

제 6 항 또는 제 7 항에 있어서,

상기 제 2 트랜지스터의 채널 폭은 상기 제 1 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터의 각각의 채널 폭보다 큰, 반도체 장치.

청구항 41

표시 장치에 있어서,

제 1 항, 제 2 항, 제 6 항, 및 제 7 항 중 어느 한 항에 따른 상기 반도체 장치를 포함하는 구동 회로; 및

표시 소자를 포함하는 화소를 포함하고,

상기 구동 회로는 상기 화소에 전기적으로 접속되는, 표시 장치.

청구항 42

표시 장치에 있어서,

제 1 항, 제 2 항, 제 6 항, 및 제 7 항 중 어느 한 항에 따른 상기 반도체 장치를 포함하는 구동 회로; 및
발광 소자를 포함하는 화소를 포함하고,
상기 구동 회로는 상기 화소에 전기적으로 접속되는, 표시 장치.

청구항 43

표시 장치에 있어서,
제 1 항, 제 2 항, 제 6 항, 및 제 7 항 중 어느 한 항에 따른 상기 반도체 장치를 포함하는 구동 회로; 및
액정 소자를 포함하는 화소를 포함하고,
상기 구동 회로는 상기 화소에 전기적으로 접속되는, 표시 장치.

청구항 44

제 1 항, 제 2 항, 제 6 항, 및 제 7 항 중 어느 한 항에 따른 상기 반도체 장치를 포함하는 표시 모듈.

청구항 45

제 1 항, 제 2 항, 제 6 항, 및 제 7 항 중 어느 한 항에 따른 상기 반도체 장치를 포함하는 전자 기기.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 특히, 트랜지스터를 사용하여 구성된 시프트 레지스터를 갖는 액정 표시 장치에 관한 것이다. 또한, 그 액정 표시 장치의 구동 방법에 관한 것이다. 또한, 그 액정 표시 장치를 표시부에 갖는 전자기기에 관한 것이다.

배경 기술

[0002] 최근, 액정 표시 장치는 액정 텔레비전 등의 대형 표시 장치의 증가로 인해, 활발하게 개발이 진행되고 있다. 특히, 절연기판상에 비결정 반도체(이하, 비정질 실리콘이라고도 함)에 의해서 구성된 트랜지스터를 사용하여, 화소 회로, 및 시프트 레지스터 등을 포함하는 구동 회로(이하, 내부 회로라고도 함)를 일체로 형성하는 기술은 저소비전력화, 저비용화에 크게 공헌하기 때문에, 활발히 개발이 진행되고 있다. 절연기판상에 형성된 내부 회로는 FPC 등을 통해서 컨트롤러 IC 등(이하, 외부 회로라고도 함)에 접속되고, 그 동작이 제어된다.

[0003] 상기에서 설명한 내부 회로 중에서도, 비결정 반도체에 의해서 구성된 트랜지스터를 사용한 시프트 레지스터가 고안되어 있다(예를 들면, 특허문헌 1). 특허문헌 1에 개시되어 있는 시프트 레지스터에는 출력 단자가 플로팅되는 기간이 길기 때문에, 노이즈가 시프트 레지스터의 출력 신호에 발생한다고 하는 문제가 있었다. 이 특허문헌 1의 시프트 레지스터의 문제를 해결하기 위해서, 출력 단자를 플로팅으로 하지 않는 시프트 레지스터의 구성이 고안되어 있다(예를 들면, 비특허문헌 1).

[0004] [특허문헌 1] 일본 국제공개특허공보 제(평)10-500243

[0005] [비특허문헌 1] 2.0인치 a-Si : H TFT-LCD with Low Noise Integrated Gate Driver SID' 05 Digest P942-945

발명의 내용

해결 하고자하는 과제

[0006] 상기 비특허문헌 1에서는 비선택 기간에서, 출력 단자와 부전압의 사이에 접속된 트랜지스터가 온이 된다. 따라서, 비특허문헌 1에 개시한 시프트 레지스터의 출력 단자가 플로팅되지 않고, 비특허문헌 1에 개시한 시프트 레지스터는 출력 신호의 노이즈를 작게 할 수 있다.

[0007] 그렇지만, 비결정 반도체에 의해서 구성된 트랜지스터는 온이 되는 시간, 인가하는 전압 등에 따라서, 특성이

열화되는 것이 알려져 있다. 그 중에서도, 임계치 전압이 시프트(상승)하는 임계치 전압 시프트는 시프트 레지스터의 오동작의 큰 원인의 하나이다. 따라서, 비특허문헌 1에 개시한 시프트 레지스터에서는 비선택 기간에서 출력 단자와 부전압의 사이에 접속된 트랜지스터가 온이 되기 때문에, 이 트랜지스터의 특성이 열화되어 버림으로써 오동작하여 버린다.

[0008] 이러한 문제점을 감안하여, 비선택 기간에서, 출력 신호의 노이즈가 작고, 또한 트랜지스터의 특성 열화를 억제할 수 있는 시프트 레지스터를 갖는 액정 표시 장치, 및 해당 액정 표시 장치를 구비하는 전자기기를 제공하는 것을 목적으로 한다.

과제 해결수단

[0009] 본 발명에 관계되는 액정 표시 장치는 화소부와 절연기관상에 화소부와 일체로 형성된 시프트 레지스터를 갖고 있다. 그리고, 시프트 레지스터는 복수의 플립플롭을 갖고, 이 복수의 플립플롭 각각은 비선택 기간에서 일정 기간마다 온이 되어 출력 단자(주사선)에 전원전위를 출력하는 트랜지스터를 갖고 있다. 이 트랜지스터가 일정 기간마다 온이 되어 주사선에 전원전위를 공급함으로써, 복수의 플립플롭 각각은 주사선의 전위의 변동을 억제하고, 또한 상기 트랜지스터의 특성 열화를 억제한다.

[0010] 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 및 제 2 화소와 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 6 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 구동 회로는 시프트 레지스터를 갖고, 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 갖고, 제 1 트랜지스터의 제 1 단자가 제 1 배선에 전기적으로 접속되고, 제 1 트랜지스터의 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 1 트랜지스터의 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터의 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터의 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터의 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 4 트랜지스터의 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 4 트랜지스터의 게이트 단자가 제 4 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

[0011] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 및 제 2 화소와 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 1 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 구동 회로는 시프트 레지스터를 갖고, 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 5 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 1 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

[0012] 또, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터는 N채널형 트랜지스터이어도 좋다.

[0013] 또한, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터는 반도체층을 갖고, 반도체층은 비정질 실리콘이어도 좋다.

[0014] 또한 본 발명에서, 제 1 트랜지스터의 제 2 단자와 게이트 단자의 사이에 용량 소자가 배치되어 있어도 좋다.

[0015] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 및 제 2 화소와 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선과 제 7 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 6 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 구동 회로는 시프트 레지스터를 갖고, 시프트 레지스터는 복수의 플립플롭을 갖고, 복

수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 1 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 5 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 7 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

[0016] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 및 제 2 화소와 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 1 배선을 통해서 상기 구동 회로에 전기적으로 접속되고, 구동 회로는 시프트 레지스터를 갖고, 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 5 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 5 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 1 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

[0017] 또, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터는 N채널형 트랜지스터이어도 좋다.

[0018] 또한, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터는 반도체층을 갖고, 반도체층은 비정질 실리콘이어도 좋다.

[0019] 또한, 본 발명에서, 제 1 트랜지스터의 제 2 단자와 제 1 트랜지스터의 게이트 단자의 사이에 용량 소자가 배치되어 있어도 좋다.

[0020] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 내지 제 4 화소와 제 1 구동 회로와 제 2 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선과 제 7 배선과 제 8 배선과 제 9 배선과 제 10 배선과 제 11 배선과 제 12 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 개재하여 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 6 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 3 화소는 상기 제 11 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 상기 제 4 화소는 상기 제 12 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 제 1 구동 회로는 제 1 시프트 레지스터를 갖고, 제 2 구동 회로는 제 2 시프트 레지스터를 갖고, 제 1 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 1 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 2 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터 및 제 8 트랜지스터를 갖고, 제 5 트랜지스터는 제 1 단자가 제 7 배선에 전기적으로 접속되고, 제 2 단자가 제 6 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 11 배선에 전기적으로 접속되고, 제 6 트랜지스터는 제 1 단자가 제 9 배선에 전기적으로 접속되고, 제 2 단자가 제 12 배선에 전기적으로 접속되고, 제 7 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 6 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 10 배선에 전기적으로 접속되고, 제 8 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 12 배선에 전기적으로

접속되고, 게이트 단자가 제 10 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

- [0021] 또, 본 발명에서, 제 5 배선 및 제 11 배선은 전기적으로 접속되고, 제 6 배선 및 제 12 배선은 전기적으로 접속되어 있어도 좋다.
- [0022] 또한, 본 발명에서, 제 5 배선 및 제 11 배선은 동일한 배선이고, 제 6 배선 및 제 12 배선은 동일한 배선이어도 좋다.
- [0023] 또한, 본 발명에서, 제 1 배선 및 제 7 배선은 전기적으로 접속되고, 제 2 배선 및 제 8 배선은 전기적으로 접속되고, 제 3 배선 및 제 9 배선은 전기적으로 접속되고, 제 4 배선 및 제 10 배선은 전기적으로 접속되어 있어도 좋다.
- [0024] 또한, 본 발명에서, 제 1 배선 및 제 7 배선은 동일한 배선이고, 제 2 배선 및 제 8 배선은 동일한 배선이고, 제 3 배선 및 제 9 배선은 동일한 배선이고, 제 4 배선 및 제 10 배선은 동일한 배선이어도 좋다.
- [0025] 또한, 본 발명에서, 제 1 배선 및 제 7 배선은 전기적으로 접속되고, 제 2 배선 및 제 8 배선은 전기적으로 접속되고, 제 3 배선 및 제 9 배선은 전기적으로 접속되고, 제 4 배선 및 제 10 배선은 전기적으로 접속되고, 제 5 배선 및 제 11 배선은 전기적으로 접속되고, 제 6 배선 및 제 12 배선은 전기적으로 접속되어 있어도 좋다.
- [0026] 또한, 본 발명에서, 제 1 배선 및 제 7 배선은 동일한 배선이고, 제 2 배선 및 제 8 배선은 동일한 배선이고, 제 3 배선 및 제 9 배선은 동일한 배선이고, 제 4 배선 및 제 10 배선은 동일한 배선이고, 제 5 배선 및 제 11 배선은 동일한 배선이고, 제 6 배선 및 제 12 배선은 동일한 배선이어도 좋다.
- [0027] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 내지 제 4 화소와 제 1 구동 회로와 제 2 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선과 제 7 배선과 제 8 배선과 제 9 배선과 제 10 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 1 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 3 화소는 상기 제 10 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 상기 제 4 화소는 상기 제 6 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 제 1 구동 회로는 제 1 시프트 레지스터를 갖고, 제 2 구동 회로는 제 2 시프트 레지스터를 갖고, 제 1 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 5 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 2 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터 및 제 8 트랜지스터를 갖고, 제 5 트랜지스터는 제 1 단자가 제 10 배선에 전기적으로 접속되고, 제 2 단자가 제 6 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 10 배선에 전기적으로 접속되고, 제 6 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 7 트랜지스터는 제 1 단자가 제 6 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 2 단자가 제 7 배선에 전기적으로 접속되고, 게이트 단자가 제 9 배선에 전기적으로 접속되고, 제 8 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 7 배선에 전기적으로 접속되고, 게이트 단자가 제 9 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.
- [0028] 또, 본 발명에서, 제 1 배선 및 제 6 배선은 전기적으로 접속되고, 제 5 배선 및 제 10 배선은 전기적으로 접속되어 있어도 좋다.
- [0029] 또한, 본 발명에서, 제 1 배선 및 제 6 배선은 동일한 배선이고, 제 5 배선 및 제 10 배선은 동일한 배선이어도 좋다.
- [0030] 또한, 본 발명에서, 제 2 배선 및 제 7 배선은 전기적으로 접속되고, 제 3 배선 및 제 8 배선은 전기적으로 접속되고, 제 4 배선 및 제 9 배선은 전기적으로 접속되어 있어도 좋다.
- [0031] 또한, 본 발명에서, 제 2 배선 및 제 7 배선은 동일한 배선이고, 제 3 배선 및 제 8 배선은 동일한 배선이고,

제 4 배선 및 제 9 배선은 동일한 배선이어도 좋다.

- [0032] 또한, 본 발명에서, 제 1 배선 및 제 6 배선은 전기적으로 접속되고, 제 2 배선 및 제 7 배선은 전기적으로 접속되고, 제 3 배선 및 제 8 배선은 전기적으로 접속되고, 제 4 배선 및 제 9 배선은 전기적으로 접속되고, 제 5 배선 및 제 10 배선은 전기적으로 접속되어 있어도 좋다.
- [0033] 또한, 본 발명에서, 제 1 배선 및 제 6 배선은 동일한 배선이고, 제 2 배선 및 제 7 배선은 동일한 배선이고, 제 3 배선 및 제 8 배선은 동일한 배선이고, 제 4 배선 및 제 9 배선은 동일한 배선이고, 제 5 배선 및 제 10 배선은 동일한 배선이어도 좋다.
- [0034] 또한, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터 및 제 8 트랜지스터는 N채널형 트랜지스터이어도 좋다.
- [0035] 또한, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 및 제 8 트랜지스터는 반도체층을 갖고, 반도체층은 비정질 실리콘이어도 좋다.
- [0036] 또한, 본 발명에서, 제 1 트랜지스터의 제 2 단자와 제 1 트랜지스터의 게이트 단자의 사이에 제 1 용량 소자가 배치되고, 제 5 트랜지스터의 제 2 단자와 제 5 트랜지스터의 게이트 단자의 사이에 제 2 용량 소자가 배치되어 있어도 좋다.
- [0037] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 내지 제 4 화소와 제 1 구동 회로와 제 2 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선과 제 7 배선과 제 8 배선과 제 9 배선과 제 10 배선과 제 11 배선과 제 12 배선과 제 13 배선과 제 14 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 6 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 3 화소는 상기 제 12 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 상기 제 4 화소는 상기 제 13 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 제 1 구동 회로는 제 1 시프트 레지스터를 갖고, 제 2 구동 회로는 제 2 시프트 레지스터를 갖고, 제 1 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 1 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 게이트 단자는 제 4 배선에 전기적으로 접속되고, 제 5 트랜지스터는 제 1 단자가 제 2 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 게이트 단자가 제 7 배선에 전기적으로 접속되고, 제 2 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터 및 제 10 트랜지스터를 갖고, 제 6 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 7 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 12 배선에 전기적으로 접속되고, 제 7 트랜지스터는 제 1 단자가 제 10 배선에 전기적으로 접속되고, 제 2 단자가 제 13 배선에 전기적으로 접속되고, 제 8 트랜지스터는 제 1 단자가 제 9 배선에 전기적으로 접속되고, 제 2 단자가 제 7 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 11 배선에 전기적으로 접속되고, 제 9 트랜지스터는 제 1 단자가 제 13 배선에 전기적으로 접속되고, 제 2 단자가 제 9 배선에 전기적으로 접속되고, 게이트 단자가 제 11 배선에 전기적으로 접속되고, 제 10 트랜지스터는 제 1 단자가 제 13 배선에 전기적으로 접속되고, 제 2 단자가 제 9 배선에 전기적으로 접속되고, 게이트 단자가 제 14 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.
- [0038] 또, 본 발명에서, 제 5 배선 및 제 12 배선은 전기적으로 접속되고, 제 6 배선 및 제 13 배선은 전기적으로 접속되어 있어도 좋다.
- [0039] 또한, 본 발명에서, 제 5 배선 및 제 12 배선은 동일한 배선이고, 제 6 배선 및 제 13 배선은 동일한 배선이어도 좋다.
- [0040] 또한, 본 발명에서, 제 1 배선 및 제 8 배선은 전기적으로 접속되고, 제 2 배선 및 제 9 배선은 전기적으로 접속되고, 제 3 배선 및 제 10 배선은 전기적으로 접속되고, 제 4 배선 및 제 11 배선은 전기적으로 접속되고, 제

7 배선 및 제 14 배선은 전기적으로 접속되어 있어도 좋다.

[0041] 또한, 본 발명에서, 제 1 배선 및 제 8 배선은 동일한 배선이고, 제 2 배선 및 제 9 배선은 동일한 배선이고, 제 3 배선 및 제 10 배선은 동일한 배선이고, 제 4 배선 및 제 11 배선은 동일한 배선이고, 제 7 배선 및 제 14 배선은 동일한 배선이어도 좋다.

[0042] 또한, 본 발명에서, 제 1 배선 및 제 8 배선은 전기적으로 접속되고, 제 2 배선 및 제 9 배선은 전기적으로 접속되고, 제 3 배선 및 제 10 배선은 전기적으로 접속되고, 제 4 배선 및 제 11 배선은 전기적으로 접속되고, 제 5 배선 및 제 12 배선은 전기적으로 접속되고, 제 6 배선 및 제 13 배선은 전기적으로 접속되고, 제 7 배선 및 제 14 배선은 전기적으로 접속되어 있어도 좋다.

[0043] 또한, 본 발명에서, 제 1 배선 및 제 8 배선은 동일한 배선이고, 제 2 배선 및 제 9 배선은 동일한 배선이고, 제 3 배선 및 제 10 배선은 동일한 배선이고, 제 4 배선 및 제 11 배선은 동일한 배선이고, 제 5 배선 및 제 12 배선은 동일한 배선이고, 제 6 배선 및 제 13 배선은 동일한 배선이고, 제 7 배선 및 제 14 배선은 동일한 배선이어도 좋다.

[0044] 또한, 본 발명의 액정 표시 장치는 액정 소자를 갖는 제 1 화소 내지 제 4 화소와 제 1 구동 회로와 제 2 구동 회로와 제 1 배선과 제 2 배선과 제 3 배선과 제 4 배선과 제 5 배선과 제 6 배선과 제 7 배선과 제 8 배선과 제 9 배선과 제 10 배선과 제 11 배선과 제 12 배선을 갖고, 상기 제 1 화소는 상기 제 5 배선을 개재하여 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 2 화소는 상기 제 6 배선을 통해서 상기 제 1 구동 회로에 전기적으로 접속되고, 상기 제 3 화소는 상기 제 11 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 상기 제 4 화소는 상기 제 12 배선을 통해서 상기 제 2 구동 회로에 전기적으로 접속되고, 제 1 구동 회로는 제 1 시프트 레지스터를 갖고, 제 2 구동 회로는 제 2 시프트 레지스터를 갖고, 제 1 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터를 갖고, 제 1 트랜지스터는 제 1 단자가 제 5 배선에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 5 배선에 전기적으로 접속되고, 제 2 트랜지스터는 제 1 단자가 제 3 배선에 전기적으로 접속되고, 제 2 단자가 제 6 배선에 전기적으로 접속되고, 제 3 트랜지스터는 제 1 단자가 제 2 트랜지스터의 게이트 단자에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 4 배선에 전기적으로 접속되고, 제 5 트랜지스터는 제 1 단자가 제 6 배선에 전기적으로 접속되고, 제 2 단자가 제 2 배선에 전기적으로 접속되고, 게이트 단자가 제 1 배선에 전기적으로 접속되고, 제 2 시프트 레지스터는 복수의 플립플롭을 갖고, 복수의 플립플롭 중 적어도 하나는 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터 및 제 10 트랜지스터를 갖고, 제 6 트랜지스터는 제 1 단자가 제 11 배선에 전기적으로 접속되고, 제 2 단자가 제 7 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 11 배선에 전기적으로 접속되고, 제 7 트랜지스터는 제 1 단자가 제 9 배선에 전기적으로 접속되고, 제 2 단자가 제 12 배선에 전기적으로 접속되고, 제 8 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 7 트랜지스터의 게이트 단자에 전기적으로 접속되고, 게이트 단자가 제 10 배선에 전기적으로 접속되고, 제 9 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 12 배선에 전기적으로 접속되고, 게이트 단자가 제 10 배선에 전기적으로 접속되고, 제 10 트랜지스터는 제 1 단자가 제 8 배선에 전기적으로 접속되고, 제 2 단자가 제 12 배선에 전기적으로 접속되고, 게이트 단자가 제 7 배선에 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

[0045] 또, 본 발명에서, 제 5 배선 및 제 11 배선은 전기적으로 접속되고, 제 6 배선 및 제 12 배선은 전기적으로 접속되어 있어도 좋다.

[0046] 또, 본 발명에서, 제 5 배선 및 제 11 배선은 동일한 배선이고, 제 6 배선 및 제 12 배선은 동일한 배선이어도 좋다.

[0047] 또, 본 발명에서, 제 1 배선 및 제 7 배선은 전기적으로 접속되고, 제 2 배선 및 제 8 배선은 전기적으로 접속되고, 제 3 배선 및 제 9 배선은 전기적으로 접속되고, 제 4 배선 및 제 10 배선은 전기적으로 접속되어 있어도 좋다.

[0048] 또, 본 발명에서, 제 1 배선 및 제 7 배선은 동일한 배선이고, 제 2 배선 및 제 8 배선은 동일한 배선이고, 제 3 배선 및 제 9 배선은 동일한 배선이고, 제 4 배선 및 제 10 배선은 동일한 배선이어도 좋다.

- [0049] 또, 본 발명에서, 제 1 배선 및 제 7 배선은 전기적으로 접속되고, 제 2 배선 및 제 8 배선은 전기적으로 접속되고, 제 3 배선 및 제 9 배선은 전기적으로 접속되고, 제 4 배선 및 제 10 배선은 전기적으로 접속되고, 제 5 배선 및 제 11 배선은 전기적으로 접속되고, 제 6 배선 및 제 12 배선은 전기적으로 접속되어 있어도 좋다.
- [0050] 또, 본 발명에서, 제 1 배선 및 제 7 배선은 동일한 배선이고, 제 2 배선 및 제 8 배선은 동일한 배선이고, 제 3 배선 및 제 9 배선은 동일한 배선이고, 제 4 배선 및 제 10 배선은 동일한 배선이고, 제 5 배선 및 제 11 배선은 동일한 배선이고, 제 6 배선 및 제 12 배선은 동일한 배선이어도 좋다.
- [0051] 또, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터 및 제 10 트랜지스터는 N채널형 트랜지스터이어도 좋다.
- [0052] 또, 본 발명에서, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 9 트랜지스터 및 제 10 트랜지스터는 반도체층을 갖고, 반도체층은 비정질 실리콘이어도 좋다.
- [0053] 또, 본 발명에서, 제 1 트랜지스터의 제 2 단자와 제 1 트랜지스터의 게이트 단자와의 사이에 제 1 용량 소자가 배치되고, 제 6 트랜지스터의 제 2 단자와 제 6 트랜지스터의 게이트 단자와의 사이에 제 2 용량 소자가 배치되어 있어도 좋다.
- [0054] 본 발명은 상기 기재의 액정 표시 장치를 구비하는 전자기기이다.
- [0055] 또, 본 명세서에 개시하는 스위치는 여러 가지 형태의 것을 사용할 수 있고, 일례로서, 전기적 스위치나 기계적인 스위치 등이 있다. 요컨대, 전류의 흐름을 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않고, 여러 가지 것을 사용할 수 있다. 예를 들면, 트랜지스터이어도 좋고, 다이오드(예를 들면, PN다이오드, PIN다이오드, 쇼트키 다이오드, 다이오드 접속의 트랜지스터 등)이어도 좋고, 사이리스터이어도 좋고, 이들을 조합한 논리 회로이어도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 단, 오프 전류가 적은 쪽이 바람직한 경우, 오프 전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는 LDD 영역을 형성하고 있는 것이나 멀티게이트 구조로 하고 있는 것 등이 있다. 또한, 스위치로서 동작시키는 트랜지스터의 소스 단자의 전위가, 저전위측 전원(V_{ss} , GND, 0V 등)에 가까운 상태로 동작하는 경우는 N채널형을, 반대로, 소스 단자의 전위가, 고전위측 전원(V_{dd} 등)에 가까운 상태로 동작하는 경우는 P채널형을 사용하는 것이 바람직하다. 왜냐하면, 게이트와 소스간의 전압의 절대치를 크게 할 수 있기 때문에, 스위치로서의 동작을 더욱 정확히 할 수 있기 때문이다.
- [0056] 또, N채널형과 P채널형의 양쪽을 사용하여, CMOS형의 스위치로 하여도 좋다. CMOS형의 스위치로 하면, P채널형 또는 N채널형 스위치가 도통하면 전류를 흘릴 수 있기 때문에, 스위치로서의 동작을 더욱 정확히 할 수 있다. 예를 들면, 스위치에 대한 입력신호의 전압이 높은 경우나, 낮은 경우에도, 적절히 전압을 출력시킬 수 있다. 또한, 스위치를 온 또는 오프시키기 위한 신호의 전압 진폭치를 작게 할 수 있기 때문에, 소비전력을 작게 할 수도 있다. 또한, 스위치로서 트랜지스터를 사용하는 경우는 입력단자(소스 단자 또는 드레인 단자의 한쪽)와 출력 단자(소스 단자 또는 드레인 단자의 다른쪽)와 도통을 제어하는 단자(게이트 단자)를 갖고 있다. 한편, 스위치로서 다이오드를 사용하는 경우는 도통을 제어하는 단자를 갖지 않은 경우가 있다. 그 때문에, 단자를 제어하기 위한 배선을 적게 할 수 있다.
- [0057] 또, 본 명세서에서, 접속되어 있는 것은 전기적으로 접속되어 있는 경우와 기능적으로 접속되어 있는 경우와 직접 접속되어 있는 경우를 포함하기로 한다. 따라서, 본 명세서가 개시하는 구성에서, 소정의 접속관계 이외의 것도 포함하기로 한다. 예를 들면, 어떤 부분과 어떤 부분의 사이에 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치나 트랜지스터나 용량 소자나 인덕터 소자나 저항 소자나 다이오드 등)가 1개 이상 배치되어 있어도 좋다. 또한, 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터나 NAND 회로나 NOR 회로 등)나 신호 변환 회로(DA 변환 회로나 AD 변환 회로나 감마보정 회로 등)나 전위 레벨 변환 회로(승압 회로나 강압 회로 등의 전원 회로나 H신호나 L신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등)나 전압원이나 전류원이나 전환 회로나 증폭 회로(앰프나 차동증폭 회로나 소스 플로우 회로나 버퍼 회로 등, 신호진폭이나 전류량을 크게 할 수 있는 회로 등)나 신호 생성 회로나 기억 회로나 제어 회로 등)가 사이에 1개 이상 배치되어 있어도 좋다. 또는 사이에 다른 소자나 다른 회로를 사이에 두지 않고, 직접 접속되고, 배치되어 있어도 좋다.
- [0058] 또, 소자나 회로를 사이에 개재하지 않고 접속되어 있는 경우만을 포함하는 경우는 직접 접속되어 있다고 기재

하기로 한다. 또한, 전기적으로 접속되어 있다고 기재하는 경우는 전기적으로 접속되어 있는 경우(요컨대, 사이에 다른 소자를 두고 접속되어 있는 경우)와 기능적으로 접속되어 있는 경우(요컨대, 사이에 다른 회로를 두고 접속되어 있는 경우)와 직접 접속되어 있는 경우(요컨대, 사이에 다른 소자나 다른 회로를 사이에 두지 않고 접속되어 있는 경우)를 포함하기로 한다.

[0059] 또, 표시 소자나 표시 장치나 발광 소자나 발광 장치는 여러 가지 형태를 사용할 수 있고, 또한, 여러 가지 소자를 가질 수 있다. 예를 들면, 표시 소자나 표시 장치나 발광 소자나 발광 장치로서는 EL 소자(유기 EL소자, 무기 EL 소자 또는 유기물 및 무기물을 포함하는 EL 소자), 전자 방출 소자, 액정 소자, 전자잉크, 그레이팅 라이팅 밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이, 또는 카본나노튜브, 등, 전기자기적 작용에 의해 콘트라스트가 변화하는 표시 매체를 적용할 수 있다. 또, EL 소자를 사용한 표시 장치로서는 EL 디스플레이, 전자 방출 소자를 사용한 표시 장치로서는 필드 이미션 디스플레이(FED)나 SED 방식 평면형 디스플레이(SED : Surface-conduction Electron-emitter Display) 등, 액정 소자를 사용한 표시 장치로서는 액정 디스플레이, 투과형 액정 디스플레이 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 전자잉크를 사용한 표시 장치로서는 전자페이퍼가 있다.

[0060] 또, 본 명세서에서, 트랜지스터는 여러 가지 형태의 트랜지스터를 적용시킬 수 있다. 따라서, 적용 가능한 트랜지스터의 종류에 한정은 없다. 따라서, 예를 들면, 비정질 실리콘이나 다결정 실리콘으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 적용할 수 있다. 이들에 의해, 단결정 반도체막을 사용하는 경우보다 낮은 제조온도로 제조할 수 있거나, 저비용으로 제조할 수 있고, 또한 대형기관상에 제조할 수 있고, 투명기관상에 제조할 수 있고, 광을 투과시키는 것이 가능한 트랜지스터를 제조할 수 있고, 또한 트랜지스터를 사용하여 표시 소자에서의 광의 투과를 제어할 수 있다. 또한, 반도체 기관이나 SOI 기관 등을 사용하여 형성할 수 있다. 또한, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 적용할 수 있다. 이들에 의해, 격차가 적은 트랜지스터를 제조할 수 있거나, 전류 공급 능력이 높은 트랜지스터를 제조할 수 있거나, 사이즈가 작은 트랜지스터를 제조할 수 있고, 또한, 소비전력이 적은 회로를 구성할 수 있다. 또한, ZnO, a-InGaZnO, SiGe, GaAs 등의 화합물 반도체를 갖는 트랜지스터나, 또, 이들을 박막화한 박막 트랜지스터 등을 적용할 수 있다. 이들에 의해, 낮은 제조온도에서 제조, 또한 실온에서 제조할 수 있고, 내열성이 낮은 기관, 예를 들면 플라스틱기관이나 필름기관에 직접 트랜지스터를 형성할 수 있다. 또한, 잉크젯이나 인쇄법을 이용하여 형성한 트랜지스터 등을 적용할 수 있다. 이들에 의해, 실온에서 제조, 또한, 진공도가 낮은 상태로 제조, 또한, 대형기관으로 제조할 수 있다. 또한, 마스크(레티클)를 사용하지 않아도 제조하는 것이 가능해지기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또한, 유기 반도체나 카본나노튜브를 갖는 트랜지스터, 그 밖의 트랜지스터를 적용할 수 있다. 이들에 의해, 구부리는 것이 가능한 기관 트랜지스터를 형성할 수 있다. 또, 비단결정 반도체막에는 수소 또는 할로젠이 포함되어 있어도 좋다. 또한, 트랜지스터가 형성되어 있는 기관의 종류는 여러 가지를 사용할 수 있고, 특정한 것에 한정되지 않는다. 따라서 예를 들면, 기관으로서, 단결정기관, SOI기관, 유리기관, 석영기관, 플라스틱기관, 종이기관, 셀로판기관, 석재기관, 스테인리스스틸기관, 스테인리스스틸포일을 갖는 기관 등을 사용할 수 있다. 또한, 어떤 기관으로 트랜지스터를 형성하고, 그 후, 다른 기관으로 트랜지스터를 이동시켜, 다른 기관에 배치하도록 하여도 좋다. 배치된 다른 기관으로서도 단결정기관, SOI기관, 유리기관, 석영기관, 플라스틱기관, 종이기관, 셀로판기관, 석재기관, 스테인리스스틸기관, 스테인리스스틸포일을 갖는 기관 등을 사용할 수 있다. 이들의 기관을 사용함으로써, 특성이 좋은 트랜지스터를 형성할 수 있고, 또한 소비전력이 작은 트랜지스터를 형성할 수 있고, 또한 깨지기 어려운 장치로 할 수 있고, 또한 내열성을 갖게 할 수 있다.

[0061] 또, 트랜지스터의 구성은 여러 가지 형태를 취할 수 있다. 특정한 구성에 한정되지 않는다. 예를 들면, 게이트 전극이 2개 이상으로 되어 있는 멀티 게이트 구조를 사용하여도 좋다. 멀티게이트 구조로 하면, 채널영역이 직렬로 접속되는 구성이 되기 때문에, 복수의 트랜지스터가 직렬로 접속된 듯한 구성이 된다. 멀티 게이트 구조로 함으로써, 오프 전류를 저감, 또한, 트랜지스터의 내압을 향상시켜 신뢰성을 향상시킬 수 있고, 또한, 포화영역에서 동작할 때에, 드레인과 소스간의 전압이 변화하여도, 드레인과 소스간의 전류가 그다지 변화하지 않고, 평탄한 특성으로 하는 것 등도 가능하다. 또한, 채널의 상하에 게이트 전극이 배치되어 있는 구조이어도 좋다. 채널의 상하에 게이트 전극이 배치되어 있는 구조로 함으로써, 채널영역이 증가하기 때문에, 전류값을 크게 할 수 있고, 또한, 공핍층이 생성되기 쉬워져 S치를 작게 할 수 있다. 채널의 상하에 게이트 전극이 배치되면, 복수의 트랜지스터가 병렬로 접속된 구성이 된다.

[0062] 또한, 채널의 위에 게이트 전극이 배치되어 있는 구조, 채널의 아래에 게이트 전극이 배치되어 있는 구조, 정스태거 구조, 역스태거 구조, 채널영역이 복수의 영역으로 분리되어 있는 구조, 게이트 전극이 병렬로 접속된 구

조, 또는 직렬로 접속된 구조로 하는 것이 가능하다. 또한, 채널(또는 그 일부)에 소스 전극이나 드레인 전극이 겹쳐 있어도 좋다. 채널(또는 그 일부)에 소스 전극이나 드레인 전극이 겹쳐 있는 구조로 함으로써, 채널의 일부에 전하가 쌓여, 동작이 불안정해지는 것을 막을 수 있다. 또한, LDD 영역이 형성된 구성으로 하는 것도 가능하다. LDD 영역을 형성함으로써, 오프 전류를 저감, 또한, 트랜지스터의 내압을 향상시켜 신뢰성을 향상시킬 수 있고, 또한, 포화영역에서 동작할 때에, 드레인과 소스간의 전압이 변화하여도, 드레인과 소스간의 전류가 그다지 변화하지 않고, 평탄한 특성으로 할 수 있다.

[0063] 또, 본 명세서에서의 트랜지스터는 여러 가지 타입을 사용할 수 있고, 여러 가지 기판에 형성시킬 수 있다. 따라서, 회로 전체가, 유리기판에 형성되어 있어도 좋고, 플라스틱기판에 형성되어 있어도 좋고, 단결정기판에 형성되어 있어도 좋고, SOI 기판에 형성되어 있어도 좋고, 어떠한 기판에 형성되어 있어도 좋다. 회로 전체가 같은 기판에 형성됨으로써, 부품 점수를 감소시켜 비용을 저감할 수 있고, 또한, 회로 부품과의 접속 점수를 감소시켜 신뢰성을 향상시키거나 할 수 있다. 또는 회로의 일부가 어떤 기판에 형성되어 있고, 회로의 다른 일부가 다른 기판에 형성되어 있어도 좋다. 요컨대, 회로 전체가 같은 기판에 형성되어 있지 않아도 좋다. 예를 들면, 회로의 일부는 유리기판에 트랜지스터를 사용하여 형성하고, 회로의 다른 일부는 단결정기판에 형성하고, 그 IC 칩을 COG(Chip On Glass)로 접속하여 유리기판에 배치하여도 좋다. 또는 그 IC 칩을 TAB(Tape Automated Bonding)나 프린트기판을 사용하여 유리기판과 접속하여도 좋다. 이와 같이, 회로의 일부가 같은 기판에 형성됨으로써, 부품 점수를 감소시켜 비용을 저감할 수 있고, 또한, 회로 부품과의 접속 점수를 감소시켜 신뢰성을 향상시키거나 할 수 있다. 또한, 구동전압이 높은 부분이나 구동 주파수가 높은 부분은 소비전력이 커져 버리기 때문에, 그와 같은 부분은 같은 기판에 형성하지 않도록 하면, 소비전력의 증가를 막을 수 있다.

[0064] 또, 본 명세서에서는 1화소는 밝기를 제어할 수 있는 요소 1개분을 나타내는 것으로 한다. 따라서, 일례로서는 1화소는 1개의 색 요소를 나타내는 것으로 하고, 그 색 요소 1개로 밝기를 표현한다. 따라서, 이때는 R(빨강) G(초록) B(파랑)의 색 요소로 이루어지는 컬러표시 장치의 경우에는 화상의 최소단위는 R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 또, 색 요소는 3색에 한정되지 않고, 그 이상의 수를 사용하여도 좋고, RGB 이외의 색을 추가하여도 좋다. 예를 들면, 백색을 첨가하고, RGBW(W는 백)로 하여도 좋다. 또한, RGB에, 예를 들면, 노랑, 청록색, 진홍색, 에머랄드그린, 주색(朱色) 등을 1색 이상 추가한 것이어도 좋다. 또한, 예를 들면 RGB의 중의 적어도 1색에 관해서, 유사한 색을 추가하여도 좋다. 예를 들면, R, G, B1, B2로 하여도 좋다. B1과 B2는 모두 청색이지만, 조금 주파수가 다르다. 이러한 색 요소를 사용함으로써, 더욱 실물에 가까운 표시를 할 수 있고, 소비전력을 저감할 수 있다. 또한, 다른 예로서는 1개의 색 요소에 관해서, 복수의 영역을 사용하여 밝기를 제어하는 경우는 그 영역 1개분을 1화소로 한다. 따라서, 일례로서는 면적 계조를 하는 경우, 1개의 색 요소에 관하여, 밝기를 제어하는 영역이 복수 있고, 그 전체로 계조를 표현하는 것이지만, 밝기를 제어하는 영역의 1개분을 1화소로 한다. 따라서, 그 경우는 1개의 색 요소는 복수의 화소로 구성되게 된다. 또한, 그 경우, 화소에 의해서, 표시에 기여하는 영역의 크기가 다른 경우가 있다. 또한, 1개의 색 요소에 관하여 복수 있는, 밝기를 제어하는 영역에서, 요컨대, 1개의 색 요소를 구성하는 복수의 화소에 있어서, 각각에 공급하는 신호를 약간 다르도록 하여, 시야각을 확대하도록 하여도 좋다. 또, 1화소(3색분)로 기재하는 경우는 R과 G와 B의 3화소분을 1화소로 생각하는 경우로 한다. 1화소(1색분)로 기재하는 경우는 1개의 색 요소에 관하여, 복수의 화소가 있는 경우, 이들을 정리하여 1화소라고 생각하는 경우로 한다.

[0065] 또, 본 명세서에서, 화소는 매트릭스형으로 배치(배열)되어 있는 경우를 포함하고 있다. 여기에서, 화소가 매트릭스로 배치(배열)되어 있는 것은 세로방향 또는 가로방향에서, 직선상에 나란히 배치되어 있는 경우나, 들쭉날쭉한 선상에 나열되어 있는 경우를 포함하고 있다. 따라서, 예를 들면 3색의 색 요소(예를 들면 RGB)로 풀컬러표시를 하는 경우에, 스트라이프 배치되어 있는 경우나, 3개의 색 요소의 도트가 소위 델타 배치되어 있는 경우도 포함하기로 한다. 또, 베이어 배치되어 있는 경우도 포함하고 있다. 또, 색 요소는 3색에 한정되지 않고, 그 이상이어도 좋고, 예를 들면, RGBW(W는 백)나, RGB에, 노랑, 청록색, 진홍색 등을 1색 이상 추가한 것 등이 있다. 또한, 색 요소의 도트마다 그 표시영역의 크기가 달라도 좋다. 이것에 의해, 소비전력을 저하, 또한, 표시 소자의 수명을 연장시킬 수 있다.

[0066] 또, 트랜지스터는 각각, 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 갖는 소자이고, 드레인 영역과 소스 영역의 사이에 채널영역을 갖고 있고, 드레인 영역과 채널영역과 소스 영역을 통해서 전류를 흘릴 수 있다. 여기에서, 소스와 드레인은 트랜지스터의 구조나 동작 조건 등에 의해서 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그래서, 본 명세서에서는 소스 및 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는 각각을 제 1 단자, 제 2 단자라고 표

기하는 경우가 있다. 또, 트랜지스터는 베이스와 이미터와 컬렉터를 포함하는 적어도 3개의 단자를 갖는 소자이어도 좋다. 이 경우도 같이, 이미터와 컬렉터를, 제 1 단자, 제 2 단자라고 표기하는 경우가 있다.

[0067] 또, 게이트는 게이트 전극과 게이트 배선(게이트선 또는 게이트 신호선 등이라고도 함)을 포함한 전체, 또는 이들의 일부를 말한다. 게이트 전극은 채널영역이나 LDD(Lightly Doped Drain)영역 등을 형성하는 반도체막과 게이트 절연막을 통해서 오버랩되어 있는 부분의 도전막을 말한다. 게이트 배선은 각 화소의 게이트 전극의 사이를 접속, 또는 게이트 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0068] 단, 게이트 전극으로서도 기능하고, 게이트 배선으로서도 기능하는 부분도 존재한다. 그와 같은 영역은 게이트 전극이라고 불러도 좋고, 게이트 배선이라고 불러도 좋다. 요컨대, 게이트 전극과 게이트 배선을 명확히 구별할 수 없는 영역도 존재한다. 예를 들면, 연신하여 배치되어 있는 게이트 배선과 오버랩되어 채널영역이 있는 경우, 그 영역은 게이트 배선으로서 기능하고 있지만, 게이트 전극으로서도 기능하게 된다. 따라서, 그와 같은 영역은 게이트 전극이라고 불러도 좋고, 게이트 배선이라고 불러도 좋다.

[0069] 또한, 게이트 전극과 같은 재료로 형성되어, 게이트 전극과 연결되는 영역도, 게이트 전극이라고 불러도 좋다. 마찬가지로, 게이트 배선과 같은 재료로 형성되어, 게이트 배선과 연결되는 영역도, 게이트 배선이라고 불러도 좋다. 이러한 영역은 엄밀한 의미에서는 채널영역과 오버랩하지 않았거나, 다른 게이트 전극과 접속시키는 기능을 갖지 않았거나 하는 경우가 있다. 그러나, 제조시에 마진을 형성하는 관계로, 게이트 전극이나 게이트 배선과 같은 재료로 형성되어, 게이트 전극이나 게이트 배선과 연결되는 영역이 있다. 따라서, 그와 같은 영역도 게이트 전극이나 게이트 배선이라고 불러도 좋다.

[0070] 또한, 예를 들면, 멀티게이트의 트랜지스터에 있어서, 1개의 트랜지스터의 게이트 전극과 다른 트랜지스터의 게이트 전극은 게이트 전극과 같은 재료로 형성된 도전막으로 접속되는 경우가 많다. 그와 같은 영역은 게이트 전극과 게이트 전극을 접속시키기 위한 영역이기 때문에, 게이트 배선이라고 불러도 좋지만, 멀티 게이트의 트랜지스터를 1개의 트랜지스터라고 간주할 수도 있기 때문에, 게이트 전극이라고 불러도 좋다. 요컨대, 게이트 전극이나 게이트 배선과 같은 재료로 형성되고, 이들과 이어져 배치되어 있는 것은 게이트 전극이나 게이트 배선이라고 불러도 좋다. 또한, 예를 들면, 게이트 전극과 게이트 배선을 접속시키고 있는 부분의 도전막도, 게이트 전극이라고 불러도 좋고, 게이트 배선이라고 불러도 좋다.

[0071] 또, 게이트 단자는 게이트영역, 또는 게이트 전극의 일부나, 또는 게이트 전극과 전기적으로 접속되어 있는 영역의 일부 또는 전부를 말한다.

[0072] 또, 소스는 소스 영역과 소스 전극과 소스 배선(소스선 또는 소스 신호선 등이라고도 함)을 포함한 전체, 또는 이들의 일부를 말한다. 소스 영역은 P형 불순물(붕소나 갈륨 등)이나 N형 불순물(인이나 비소 등)이 많이 포함되는 반도체영역을 말한다. 따라서, 조금만 P형 불순물이나 N형 불순물이 포함되는 영역, 소위, LDD(Lightly Doped Drain)영역은 소스 영역에는 포함되지 않는다. 소스 전극은 소스 영역은 다른 재료로 형성되고, 소스 영역과 전기적으로 접속되어 배치되어 있는 부분의 도전층을 말한다. 단, 소스 전극은 소스 영역도 포함하여 소스 전극이라고 부르는 경우도 있다. 소스 배선은 각 화소의 소스 전극의 사이를 접속, 또는 소스 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0073] 그렇지만, 소스 전극으로서도 기능하고, 소스 배선으로서도 기능하는 부분도 존재한다. 그와 같은 영역은 소스 전극이라고 불러도 좋고, 소스 배선이라고 불러도 좋다. 요컨대, 소스 전극과 소스 배선을 명확히 구별할 수 없는 영역도 존재한다. 예를 들면, 연신하여 배치되어 있는 소스 배선과 오버랩되어 소스 영역이 있는 경우, 그 영역은 소스 배선으로서 기능하고 있지만, 소스 전극으로서도 기능하고 있게 된다. 따라서, 그와 같은 영역은 소스 전극이라고 불러도 좋고, 소스 배선이라고 불러도 좋다.

[0074] 또한, 소스 전극과 같은 재료로 형성되고, 소스 전극과 연결되는 영역이나, 소스 전극과 소스 전극을 접속하는 부분도, 소스 전극이라고 불러도 좋다. 또한, 소스 영역과 오버랩되어 있는 부분도, 소스 전극이라고 불러도 좋다. 마찬가지로, 소스 배선과 같은 재료로 형성되고, 소스 배선과 연결되는 영역도, 소스 배선이라고 불러도 좋다. 이러한 영역은 엄밀한 의미에서는 다른 소스 전극과 접속시키는 기능을 갖지 않은 경우가 있다. 그러나, 제조시에 마진을 형성하는 관계로, 소스 전극이나 소스 배선과 같은 재료로 형성되고, 소스 전극이나 소스 배선과 연결되는 영역이 있다. 따라서, 그와 같은 영역도 소스 전극이나 소스 배선이라고 불러도 좋다.

[0075] 또한, 예를 들면, 소스 전극과 소스 배선을 접속하고 있는 부분의 도전막도, 소스 전극이라고 불러도 좋고, 소스 배선이라고 불러도 좋다.

- [0076] 또, 소스 단자는 소스 영역, 또는 소스 전극의 일부나, 소스 전극과 전기적으로 접속되어 있는 영역의 일부 또는 전부를 말한다.
- [0077] 또, 드레인에 관해서는 소스와 같다.
- [0078] 또, 본 명세서에서, 반도체장치는 반도체소자(트랜지스터나 다이오드 등)를 포함하는 회로를 갖는 장치를 말한다. 또한, 반도체 특성을 이용하는 것으로 기능할 수 있는 장치 전반이어도 좋다. 또한, 표시 장치는 표시 소자(액정 소자나 발광 소자 등)를 갖는 장치를 말한다. 또, 액정 소자나 EL 소자 등의 표시 소자를 포함하는 복수의 화소나 이들의 화소를 구동시키는 주변 구동 회로가 동일 기판상에 형성된 표시 패널 본체이어도 좋다. 또한, 와이어 본딩이나 범프 등에 의해서 기판상에 배치된 주변 구동 회로, 소위 칩 온 글래스(COG)로 접속된 IC 칩 등을 포함하고 있어도 좋다. 또, IC나 저항 소자나 용량 소자나 인덕터나 트랜지스터 등이 장착된 플렉시블 프린트회로(FPC) 또는 프린트 배선기판(PWB)도 포함하여도 좋다. 또, 편광판이나 위상차판 등의 광학시트를 포함하고 있어도 좋다. 또, 백라이트 유닛(도광판이나 프리즘시트나 확산시트나 반사시트나 광원(LED나 냉음극관 등)을 포함하고 있어도 좋다)을 포함하고 있어도 좋다. 또한, 발광 장치는 특히 EL 소자나 FED에서 사용하는 소자 등의 자발광형의 표시 소자를 갖고 있는 표시 장치를 말한다. 액정 표시 장치는 액정 소자를 갖고 있는 표시 장치를 말한다.
- [0079] 또, 본 명세서에서, 어떤 것의 위에 형성되어 있거나 또는 ~상에 형성되어 있다처럼, ~의 위에, 또는 ~상에 라는 기재에 관해서는 어떤 것의 위에 직접 접하고 있는 것에 한정되지 않는다. 직접 접하지 않은 경우, 요컨대, 사이에 다른 것이 두어져 있는 경우도 포함하기로 한다. 따라서 예를 들면, 층 A의 위에(또는 층 A상에), 층 B가 형성되어 있는 경우는 층 A의 위에 직접 접하여 층 B가 형성되어 있는 경우와 층 A의 위에 직접 접하여 다른 층(예를 들면 층 C나 층 D 등)이 형성되어 있고, 그 위에 직접 접하여 층 B가 형성되어 있는 경우를 포함하기로 한다. 또한, ~의 상방에라는 기재에 관해서도 마찬가지로, 어떤 것의 위에 직접 접하고 있는 것에 한정되지 않고, 사이에 다른 것이 두어져 있는 경우도 포함하기로 한다. 따라서 예를 들면, 층 A의 상방에, 층 B가 형성되어 있는 경우는 층 A의 위에 직접 접하여 층 B가 형성되어 있는 경우와 층 A의 위에 직접 접하여 다른 층(예를 들면 층 C나 층 D 등)이 형성되어 있고, 그 위에 직접 접하여 층 B가 형성되어 있는 경우를 포함하기로 한다. 또, ~의 아래에, 또는 ~의 하방에의 경우에 관해서도 마찬가지로, 직접 접하고 있는 경우와 접하지 않은 경우를 포함하기로 한다.

효 과

- [0080] 본 발명에 의해, 트랜지스터의 특성 열화를 억제할 수 있다. 그 때문에, 트랜지스터의 특성 열화가 원인인 시프트 레지스터의 오동작을 방지할 수 있다. 또한, 시프트 레지스터의 오동작이 원인인 액정 표시 장치의 표시 불량을 억제할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0081] 이하, 본 발명의 실시형태에 관해서 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0082] (실시형태 1)
- [0083] 본 실시형태는 본 발명의 표시 장치의 시프트 레지스터의 기본 구성에 관해서, 도면을 참조하여 설명한다. 도 1은 시프트 레지스터가 갖는 복수의 플립플롭 중, 어떤 1단(예를 들면 1단째)의 플립플롭을 도시하고 있다. 도 1에 도시하는 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)를 갖는다. 또, 플립플롭은 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 5 배선(115) 및 제 6 배선(116)에 접속되어 있다. 본 실시형태에 있어서, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 N채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압(V_{gs})이 임계치 전압(V_{th})을 상회하였을 때, 도통 상태가 되는 것으로 한다. 또, 제 1 배선(111) 및 제 2 배선(112)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다. 또한, 제 3 배선(113) 및 제 4 배선(114)을, 각각 제 1 신호선, 제 2 신호선이라고 불러도 좋다.
- [0084] 제 1 트랜지스터(101)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(111)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 5

배선(115)에 접속되어 있다. 제 3 트랜지스터(103)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 제 2 트랜지스터(102)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 3 배선(113)에 접속되어 있다. 제 4 트랜지스터(104)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 또, 제 1 트랜지스터(101)의 제 2 단자와 제 2 트랜지스터(102)의 게이트 단자와 제 3 트랜지스터(103)의 제 1 단자와의 접속 개소를 노드(121)로 한다.

[0085] 또, 제 3 트랜지스터(103)의 제 2 단자 및 제 4 트랜지스터(104)의 제 2 단자는 제 2 배선(112)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(103)의 게이트 단자 및 제 4 트랜지스터(104)의 게이트 단자는 제 4 배선(114)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.

[0086] 다음에, 도 1에서 도시한 플립플롭의 동작에 관해서, 도 2의 타이밍 차트 및 도 3을 참조하여 설명한다. 또, 도 2에 있어서, 세트 기간, 선택 기간, 비선택 기간에 관해서 설명한다. 또 선택 기간은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간으로 분할되고, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간을 차례로 반복하고 있다.

[0087] 또, 제 1 배선(111)에는 V1의 전위가, 제 2 배선(112)에는 V2의 전위가 공급되어 있다. 단, $V1 > V2$ 로 한다.

[0088] 단, 제 1 배선(111)에는 V1의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다. 또한, 제 2 배선(112)에는 V2의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다.

[0089] 또, 제 3 배선(113), 제 4 배선(114) 및 제 5 배선(115)에는 신호가 입력되어 있다. 제 3 배선(113)에 입력되는 신호는 제 1 클록 신호이고, 제 4 배선(114)에 입력되는 신호는 제 2 클록 신호이고, 제 5 배선(115)에 입력되는 신호는 스타트 신호이다. 또한, 제 3 배선(113), 제 4 배선(114) 및 제 5 배선(115)에 입력되는 신호는 H 신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털 신호이다.

[0090] 단, 제 3 배선(113)에는 제 1 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다. 또한, 제 4 배선(114)에는 제 2 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다. 또한, 제 5 배선(115)에는 스타트 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다.

[0091] 또한, 제 3 배선(113), 제 4 배선(114) 및 제 5 배선(115)에 입력되는 신호의 H신호의 전위는 V1, L신호의 전위는 V2는 한정되지 않고, H신호의 전위가 L신호의 전위보다도 높으면, 이들의 전위는 특별히 한정되지 않는다.

[0092] 또, 제 6 배선(116)으로부터는 신호가 출력된다. 제 6 배선(116)으로부터 출력되는 신호는 플립플롭의 출력 신호이고, 다음 단(段)의 플립플롭의 스타트 신호이기도 하다. 또한, 제 6 배선(116)으로부터 출력되는 신호는 다음 단의 플립플롭의 제 5 배선(115)에 입력된다. 또한, 제 6 배선(116)으로부터 출력되는 신호는 H신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털신호이다.

[0093] 도 2에 있어서, 신호(213)는 제 3 배선(113)에 입력되는 신호이고, 신호(214)는 제 4 배선(114)에 입력되는 신호이고, 신호(215)는 제 5 배선(115)에 입력되는 신호이고, 신호(216)는 제 6 배선(116)으로부터 출력되는 신호이다. 또한, 전위(221)는 도 1의 노드(121)의 전위이다.

[0094] 우선, 도 2의 기간 A 및 도 3a에 도시하는 세트 기간에서는 신호(213)가 L레벨이고, 신호(214)가 L레벨이 되고, 신호(215)가 H레벨이 된다. 따라서, 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 오프가 되고, 제 1 트랜지스터(101)는 온이 된다. 이때, 제 1 트랜지스터(101)의 제 2 단자가 소스 단자가 되고, 노드(121)의 전위(전위(221))는 제 5 배선(115)의 전위로부터 제 1 트랜지스터(101)의 임계치 전압(V_{th101})을 뺀 값이 되기 때문에, $V1 - V_{th101}$ 이 된다. 따라서, 제 2 트랜지스터(102)는 온이 되고, 제 6 배선(116)의 전위는 제 3 배선(113)의 전위와 같아지기 때문에 V2가 된다. 이와 같이, 세트 기간에서는 플립플롭은 제 2 트랜지스터(102)를 온한 채로, L레벨을 제 6 배선(116)으로부터 출력한다.

- [0095] 도 2의 기간 B 및 도 3b에 도시하는 선택 기간에서는 신호(213)가 H레벨이 되고, 신호(214)가 L레벨인채로 있고, 신호(215)가 L레벨이 된다. 따라서, 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 오프인채로 있고, 제 1 트랜지스터(101)는 오프가 된다. 이 때, 제 2 트랜지스터(102)의 제 2 단자가 소스 단자가 되고, 제 6 배선(116)의 전위가 상승하기 시작한다. 노드(121)의 전위(전위(221))는 노드(121)가 부유 상태(이하, 플로팅 상태라고도 함)로 되어 있기 때문에, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량의 용량 결합에 의해 제 6 배선(116)의 전위와 동시에 상승한다(부트스트랩 동작이라고도 함). 따라서, 제 2 트랜지스터(102)의 게이트와 소스간의 전압 V_{gs} 는 $V_{th102} + \alpha(V_{th102})$: 제 2 트랜지스터(102)의 임계치 전압, α : 임의의 정수)가 제 6 배선(116)의 전위는 H레벨(V_1)이 된다. 이와 같이, 선택 기간에서는 플립플롭은 노드(121)의 전위를 $V_1 + V_{th102} + \alpha$ 로 함으로써, H레벨을 제 6 배선(116)으로부터 출력할 수 있다.
- [0096] 도 2의 기간 C 및 도 3c에 도시하는 제 1 비선택 기간에서는 신호(213)가 L레벨이 되고, 신호(214)가 H레벨이 되고, 신호(215)가 L레벨인채로 있다. 따라서, 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 온이 되고, 제 1 트랜지스터(101)는 오프인채로 있다. 노드(121) 및 제 6 배선(116)은 각각 제 3 트랜지스터(103), 제 4 트랜지스터(104)를 통해서 제 2 배선(112)의 전위가 공급되기 때문에 L레벨이 된다.
- [0097] 도 2의 기간 D 및 도 3d에 도시하는 제 2 비선택 기간에서는 신호(213)가 L레벨인채로 있고, 신호(214)가 L레벨이 되고, 신호(215)가 L레벨인채로 있다. 따라서, 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 오프가 되고, 제 1 트랜지스터(101)는 오프인채로 있다. 따라서, 노드(121) 및 제 6 배선(116)은 L레벨을 유지한다.
- [0098] 도 2의 기간 E 및 도 3e에 도시하는 제 3 비선택 기간에서는 신호(213)가 H레벨이 되고, 신호(214)가 L레벨인채로 있고, 신호(215)가 L레벨인채로 있다. 따라서, 제 1 트랜지스터(101), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 오프인채로 있다. 따라서, 노드(121) 및 제 6 배선(116)은 L레벨을 유지한다.
- [0099] 이상으로부터, 도 1의 플립플롭은 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 제 1 비선택 기간에서만 온이 되기 때문에, 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)의 특성 열화(임계치 전압의 시프트)를 억제할 수 있다. 또, 도 1의 플립플롭은 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)는 각각 세트 기간만, 세트 기간 및 선택 기간에서만 온이 되기 때문에, 제 1 트랜지스터(101) 및 제 2 트랜지스터(102)의 특성 열화도 억제할 수 있다.
- [0100] 또, 도 1의 플립플롭은 비선택 기간 중, 제 1 비선택 기간에서 노드(121) 및 제 6 배선(116)에 V_2 가 공급되기 때문에 플립플롭의 오동작을 억제할 수 있다. 왜냐하면, 비선택 기간에서, 일정 기간마다(제 1 비선택 기간) 노드(121) 및 제 6 배선(116)에 V_2 가 공급되어 있고, 노드(121) 및 제 6 배선(116)의 전위를 안정적으로 V_2 로 유지할 수 있기 때문이다.
- [0101] 또, 도 1의 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 모두 N채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 1의 플립플롭은 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해진다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.
- [0102] 또한, 도 1의 플립플롭은 트랜지스터의 반도체층으로서 특성 열화(임계치 전압의 시프트)가 현저히 나타나는 비정질 실리콘을 사용하여도, 트랜지스터의 특성 열화를 억제할 수 있기 때문에, 장수명의 표시 패널 등의 반도체장치를 제작할 수 있다.
- [0103] 여기에서, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 갖는 기능을 설명한다. 제 1 트랜지스터(101)는 제 1 배선(111)의 전위를 공급하는 타이밍을 선택하는 기능을 갖고, 입력용 트랜지스터로서 기능한다. 제 2 트랜지스터(102)는 제 3 배선(113)의 전위를 제 6 배선(116)에 공급하는 타이밍을 선택하여, 노드(121)의 전위를 부트스트랩 동작에 의해서 상승시키는 기능을 갖고, 부트스트랩용 트랜지스터로서 기능한다. 제 3 트랜지스터(103)는 제 2 배선(112)의 전위를 노드(121)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 4 트랜지스터(104)는 제 2 배선(112)의 전위를 제 6 배선(116)에 공급하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.
- [0104] 또, 도 1과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 1에 한정되지 않는다. 도 1의 플립플롭의 동작을 설명한 도 3으로부터 알 수 있는 바와 같이, 본 실시형태에서는 세트 기간, 선택 기간, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간은 각각 도 3a 내지 3e에 도시하는 실선과 같이 도통을 취하고

있으면 좋다. 따라서, 이것을 만족시키기 위해서 트랜지스터 등을 배치하여, 동작시킬 수 있는 구성이면, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.

[0105] 예를 들면, 도 4에 도시하는 바와 같이, 도 1에 도시한 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이에 용량 소자(401)를 배치하여도 좋다. 용량 소자(401)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(401)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 1의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0106] 도 5의 플립플롭에서도, 도 1과 같은 동작을 할 수 있다. 도 5에 도시하는 바와 같이, 도 1에 도시한 제 1 트랜지스터(101)가 다이오드 접속으로 되어 있어도 좋다. 제 1 트랜지스터(101)가 다이오드 접속됨으로써, 제 1 배선(111)이 불필요하게 되어, 배선 및 전원(V1)을 1개씩 줄일 수 있다. 또, 도 1의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0107] 계속해서, 상술한 본 실시형태의 플립플롭을 갖는 시프트 레지스터에 관해서 도 6을 참조하여 설명한다.

[0108] 시프트 레지스터는 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614), 제 5 배선(615), 제 6 배선(616), 배선(622_1 내지 622_n) 및 n개(n단)의 플립플롭(601_1 내지 601_n)을 갖는다. 그리고, 1+3N단짜(N : 0 또는 양의 정수)의 플립플롭(601)은 제 1 배선(611), 제 2 배선(612), 제 3 배선(613) 및 제 4 배선(614)에 접속되어 있다. 2+3N단짜의 플립플롭(601)은 제 1 배선(611), 제 2 배선(612), 제 4 배선(614) 및 제 5 배선(615)에 접속되어 있다. 3+3N단짜의 플립플롭(601)은 제 1 배선(611), 제 2 배선(612), 제 5 배선(615) 및 제 3 배선(613)에 접속되어 있다. 또한, 예를 들면 i단짜의 플립플롭(601_i; 플립플롭(601_1 내지 601_n) 중 어느 하나) 중, 플립플롭(601_2) 내지 플립플롭(601_n-1)은 i-1단짜의 플립플롭(601_i-1) 및 i+1단짜의 플립플롭(601_i+1)에 접속되고, i단짜의 플립플롭(601_i)과 i+1단짜의 플립플롭(601_i+1)의 접속 개소는 배선(622_i; 배선(622_1 내지 622_n) 중 어느 하나)에 접속되어 있다. 또, 1단짜의 플립플롭(601_1)은 제 6 배선(616)과 2단짜의 플립플롭(601_2)에 접속되고, 1단짜의 플립플롭(601_1)과 2단짜의 플립플롭(601_2)의 접속 개소는 배선(622_1)에 접속되어 있다. 또, n단짜의 플립플롭(601_n)은 n-1단짜의 플립플롭(601_n-1)과 배선(622_n)에 접속되어 있다.

[0109] 또, 1+3N단짜의 플립플롭(601)에서는 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614)은 각각 도 1의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114)에 접속되어 있다. 2+3N단짜의 플립플롭(601)에서는 제 1 배선(611), 제 2 배선(612), 제 4 배선(614), 제 5 배선(615)은 각각 도 1의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114)에 접속되어 있다. 3+3N단짜의 플립플롭(601)에서는 제 1 배선(611), 제 2 배선(612), 제 5 배선(615), 제 3 배선(613)은 각각 도 1의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114)에 접속되어 있다. 또한, 예를 들면 i단짜의 플립플롭(601_i) 중, 플립플롭(601_2) 내지 플립플롭(601_n-1)의 도 1에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 i-1단짜의 플립플롭(601_i-1)의 도 1에 도시하는 제 6 배선(116), i+1단짜의 플립플롭(601_i+1)의 도 1에 도시하는 제 5 배선(115)에 접속되어 있다. 또, 1단짜의 플립플롭(601_1)의 도 1에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 도 6의 제 6 배선(616), 2단짜의 플립플롭(601_2)의 도 1에 도시하는 제 5 배선(115)에 접속되어 있다. 또, n단짜의 플립플롭(601_n)의 도 1에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 n-1단짜의 플립플롭(601_n-1)의 도 1에 도시하는 제 6 배선(116), 도 6의 배선(622_n)에 접속되어 있다.

[0110] 다음에, 도 6에 도시한 시프트 레지스터의 상면도의 1형태를 도 92에 도시한다. 또, 도 92에 도시하는 시프트 레지스터는 도 1의 플립플롭을 사용한 경우의 시프트 레지스터이고, n단짜의 플립플롭(601_n) 및 n+1단짜의 플립플롭(601_n+1)을 도시한다. 도 92의 시프트 레지스터가 갖는 플립플롭 각각은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)가 배치되어 있다. 그리고, 도 92의 시프트 레지스터가 갖는 플립플롭은 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614) 및 제 5 배선(615)에 접속되어 있다. 또, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 역스태거형의 트랜지스터 구조이고, 채널 에지형의 경우에 관해서 설명한다. 단, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 채널 보호형이어도 좋다.

또한, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)는 톱 게이트형의 트랜지스터로 하여도 좋다.

[0111] 또한, 도 92에 도시하는 시프트 레지스터의 레이아웃도는 제 1 도전막(9201), 반도체층(9202), 콘택트(9203) 및 제 2 도전막(9204)에 의해서 구성되어 있다. 또, 제 1 도전막(9201)은 게이트 전극으로서 기능한다. 반도체층(9202)은 불순물을 포함하지 않는 진성의 비결정 반도체막이다. 콘택트(9203)는 제 1 도전막(9201)과 제 2 도전막(9204)을 전기적으로 접속하기 위해서 기능한다.

[0112] 도 92의 시프트 레지스터는 제 1 배선(611)의 배선편을 제 3 배선(613)의 배선편, 제 4 배선(614)의 배선편 및 제 5 배선(615)의 배선편보다도 작게 할 수 있다. 왜냐하면, 제 1 배선(611)에 흐르는 전류는 제 3 배선(613), 제 4 배선(614) 및 제 5 배선(615)과 비교하여 작기 때문에, 제 1 배선(611)의 배선편을 작게 하여도 시프트 레지스터의 동작에 대한 영향은 적기 때문이다. 마찬가지로, 도 92의 시프트 레지스터는 제 2 배선(612)의 배선편을 제 3 배선(613)의 배선편, 제 4 배선(614)의 배선편 및 제 5 배선(615)의 배선편보다도 작게 할 수 있다. 단, 제 2 배선(612)에 흐르는 전류는 제 1 배선(611)에 흐르는 전류보다도 크기 때문에, 제 2 배선(612)의 배선편은 제 1 배선(611)의 배선편보다도 큰 것이 바람직하다. 따라서, 도 92의 시프트 레지스터는 1단분의 플립플롭의 피치를 작게 할 수 있다. 또한, 도 92의 시프트 레지스터는 각 트랜지스터를 효율적으로 배치할 수 있다. 또한, 도 92의 시프트 레지스터는 각 트랜지스터의 채널폭을 크게 할 수 있다.

[0113] 또한, 도 92의 시프트 레지스터는 제 2 트랜지스터(102)의 채널폭을 크게 하는 것으로, 부트스트랩 동작을 더욱 용이하게 할 수 있다. 왜냐하면, 제 2 트랜지스터(102)의 채널폭이 크기 때문에, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량이 커지기 때문이다. 또한, 도 92의 시프트 레지스터는 제 2 트랜지스터(102)의 채널폭을 크게 하는 것으로, 높은 구동 능력을 얻을 수 있다. 왜냐하면, 제 2 트랜지스터(102)의 채널폭이 크기 때문에, 제 2 트랜지스터(102)의 전류 공급 능력이 커지기 때문이다. 또, 이미 설명한 바와 같이, 도 92의 시프트 레지스터는 제 1 배선(611) 및 제 2 배선(612)의 배선편을 작게 하여, 각 트랜지스터를 배치할 수 있는 면적을 크게 할 수 있다. 그 경우, 도 92의 시프트 레지스터는 제 2 트랜지스터(102)의 채널폭을 우선적으로 크게 하는 것으로 더욱 높은 구동 능력을 얻을 수 있다. 따라서, 제 2 트랜지스터의 채널폭은 제 1 트랜지스터(101)의 채널폭, 제 3 트랜지스터(103)의 채널폭, 제 4 트랜지스터(104)의 채널폭보다도 크게 하는 것이 바람직하다.

[0114] 또한, 도 92의 시프트 레지스터는 제 2 트랜지스터(102)의 채널 형상을 U자형으로 하는 것으로, 제 2 트랜지스터(102)의 채널폭을 크게 할 수 있다.

[0115] 또, 도 92에 도시한 레이아웃도의 특징은 다른 시프트 레지스터에도 적용할 수 있다.

[0116] 다음에, 도 6에 도시한 시프트 레지스터의 동작에 관해서, 도 7의 타이밍 차트를 참조하여 설명한다.

[0117] 또, 제 1 배선(611)에는 V1의 전위가, 제 2 배선(612)에는 V2의 전위가 공급되어 있다. 단, $V1 > V2$ 로 한다.

[0118] 단, 제 1 배선(611)에는 V1의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다. 또한, 제 2 배선(612)에는 V2의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다.

[0119] 또, 제 3 배선(613), 제 4 배선(614), 제 5 배선(615), 제 6 배선(616)에는 신호가 입력되어 있다. 제 3 배선(613), 제 4 배선(614), 제 5 배선(615)에 입력되는 신호는 위상이 120도씩 어긋난 3상의 클록 신호이다. 제 6 배선(616)에 입력되는 신호는 스타트 신호이다. 또한, 제 3 배선(613), 제 4 배선(614), 제 5 배선(615), 제 6 배선(616)에 입력되는 신호는 H신호의 전위가 V1, L신호의 전위가 V2의 디지털 신호이다.

[0120] 단, 제 3 배선(613), 제 4 배선(614) 및 제 5 배선(615)에는 위상이 120도씩 어긋난 3상의 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다. 또한, 제 6 배선(616)에는 스타트 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다.

[0121] 또한, 제 3 배선(613), 제 4 배선(614), 제 5 배선(615) 및 제 6 배선(616)에 입력되는 신호의 H신호의 전위는 V1, L신호의 전위는 V2는 한정되지 않고, H신호의 전위가 L신호의 전위보다도 높으면, 그 전위는 특별히 한정되지 않는다.

[0122] 또, 배선(622)으로부터는 신호가 출력된다. 예를 들면, 배선(622_i; i는 임의의 정의 수)으로부터 출력되는 신

호는 i 단째의 플립플롭(601_i)의 출력 신호이고, $i+1$ 단째의 플립플롭(601 _{$i+1$}) 입력신호이기도 하다.

[0123] 도 7에 있어서, 신호(716)는 제 6 배선(616)에 입력되는 신호를 도시하고 있다. 또한, 신호(722₁), 신호(722 _{i}), 신호(722 _{$i+1$}), 신호(722 _{n})는 각각 1단째, i 단째, $i+1$ 단째, n 단째의 배선(622)으로부터 출력되는 신호(배선(622)의 전위)를 나타내고 있다.

[0124] 도 7에 도시하는 바와 같이, 예를 들면, i 단째의 플립플롭(601 _{i})이 선택 기간이 되면 배선(622 _{i})에 H신호(722 _{i})를 출력한다. 이때, $i+1$ 단째의 플립플롭(601 _{$i+1$})은 세트 기간이 되어 배선(622 _{$i+1$})에 L신호를 출력한다. 그 후, i 단째의 플립플롭(601 _{i})은 제 1 비선택 기간이 되어 배선(622 _{i})에 L신호를 출력한다. 이 때, $i+1$ 단째의 플립플롭(601 _{$i+1$})은 선택 기간이 되고 배선(622 _{$i+1$})에 H신호를 출력한다. 그 후, i 단째의 플립플롭(601 _{i})은 제 2 비선택 기간이 되어 배선(622 _{i})은 L레벨을 유지한 채로 부유 상태가 된다. 이 때, $i+1$ 단째의 플립플롭(601 _{$i+1$})은 제 1 비선택 기간이 되어 배선(622 _{$i+1$})에 L신호를 출력한다. 그 후, i 단째의 플립플롭(601 _{i})은 제 3 비선택 기간이 되어 배선(622 _{i})은 L레벨을 유지한 채로 부유 상태인채로 있다. 이 때, $i+1$ 단째의 플립플롭(601 _{$i+1$})은 제 2 비선택 기간이 되어 배선(622 _{$i+1$})은 L레벨을 유지한 채로 부유 상태가 된다. 그 후는 i 단째의 플립플롭(601 _{i})은 다음의 세트 기간까지 제 1 비선택 기간, 제 2 비선택 기간, 제 3 비선택 기간을 차례로 반복한다. 마찬가지로, $i+1$ 단째의 플립플롭(601 _{$i+1$})은 다음의 세트 기간(i 단째의 플립플롭(601 _{i})의 선택 기간)까지, 제 3 비선택 기간, 제 1 비선택 기간, 제 2 비선택 기간을 차례로 반복한다.

[0125] 이상으로부터, 도 6의 시프트 레지스터는 3상의 클록 신호를 사용할 수 있기 때문에, 상승 또는 하강의 회수를 줄일 수 있고, 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(601)의 단수(段數)가 단상(單相)의 클록 신호를 사용한 경우의 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다.

[0126] 또, 도 6의 시프트 레지스터는 각 단의 플립플롭(601)의 출력 신호를 버퍼를 통해서, 각각 각 단의 배선(622)에 출력하여도 좋고, 이러한 구성을 도 8에 도시한다. 도 8의 시프트 레지스터는 각 단의 플립플롭(601)이 버퍼(801)를 통해서 각각 각 단의 배선(622)에 접속되어 있기 때문에, 동작에서의 넓은 마진을 얻을 수 있다. 왜냐하면, 배선(622)에 큰 부하가 접속되고, 배선(622)의 신호에 지연이나 파형의 둔화가 생겨도, 시프트 레지스터의 동작에 영향을 미치지 않기 때문이다. 또, 버퍼(801)는 인버터나, NAND, NOR 등의 논리 회로나, 앰프 등이나, 이들을 조합한 회로를 사용할 수 있다.

[0127] 계속해서, 상술한 본 실시형태의 시프트 레지스터를 갖는 표시 장치에 관해서 도 9를 참조하여 설명한다.

[0128] 표시 장치는 신호선 구동 회로(901), 주사선 구동 회로(902) 및 화소부(903)를 갖고, 화소부(903)는 신호선 구동 회로(901)로부터 열방향으로 신장하여 배치된 복수의 신호선 S1 내지 S_m, 주사선 구동 회로(902)로부터 행방향으로 신장하여 배치된 복수의 주사선 G1 내지 G_n 및 신호선 S1 내지 S_m 및 주사선 G1 내지 G_n에 대응하여 매트릭스형으로 배치된 복수의 화소(904)를 갖는다. 그리고, 각 화소(904)는 신호선 S_j(신호선 S1 내지 S_m 중 어느 하나), 주사선 G_i(주사선 G1 내지 G_n 중 어느 하나)와 접속되어 있다.

[0129] 또, 주사선 G1 내지 G_n은 도 6 및 도 8의 배선(622₁ 내지 622 _{n})에 상당한다.

[0130] 또, 배선이나 전극은 알루미늄(Al), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오듐(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 동(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오브(Nb), 실리콘(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 및 산소(O)로부터 선택된 하나 또는 복수의 원소, 또는 군으로부터 선택되는 하나 또는 복수의 원소를 성분으로 하는 화합물이나 합금 재료(예를 들면, 인듐석산화물(ITO), 인듐아연산화물(IZO), 산화규소를 첨가한 인듐석산화물(ITSO), 산화아연(ZnO), 알루미늄 네오듐(Al-Nd), 마그네슘은(Mg-Ag) 등), 또는 이들의 화합물을 조합한 물질 등을 갖고 형성된다. 또는 이들과 질소와의 화합물(예를 들면, 질화티타늄, 질화탄탈륨, 질화몰리브덴 등)을 갖고 형성된다. 또, 실리콘(Si)에는 n 형 불순물(인 등)이나 p 형 불순물(붕소 등)을 많이 포함하고 있어도 좋다. 이들의 불순물을 포함함으로써, 도전율이 향상되거나, 또한, 통상의 도체와 같은 양상을 띠기 때문에, 배선이나 전극으로서 이용하기 쉬워진다. 또, 실리콘은 단결정이어도 좋고, 다결정(폴리실리콘)이어도 좋고, 비정질(어몰퍼스 실리콘)이어도 좋다. 단결정 실리콘이나 다결정 실리콘을 사용함으로써, 저항을 작게 할 수 있다. 또한, 비정질실리콘을 사용함으로써, 간단한 제조공정에서 제작할 수 있다. 또, 알루미늄이나 은은 도전율이 높기 때문에, 신호 지연을 저감할 수 있고, 또한, 에칭하기 쉽기 때문에, 패터닝하기 쉽고, 미세 가공을 할 수 있다. 또, 동은 도전율이 높기 때문에, 신호 지연을 저감할 수 있다. 또, 몰리브덴은 ITO나 IZO 등의 산화물 반도체나, 실리콘과 접촉하여도, 제

료의 불량 등의 문제가 생기지 않고 제조할 수 있거나, 패터닝이나 에칭을 하기 쉽고, 또한, 내열성이 높기 때문에 바람직하다. 또, 티타늄은 ITO나 IZO 등의 산화물 반도체나, 실리콘과 접촉하여도, 재료의 불량 등의 문제가 발생하지 않고 제조할 수 있거나, 내열성이 높기 때문에 바람직하다. 또, 텅스텐은 내열성이 높기 때문에 바람직하다. 또, 네오듐은 내열성이 높기 때문에 바람직하다. 특히, 네오듐과 알루미늄의 합금으로 하면, 내열성이 향상되어, 알루미늄이 돌기를 일으키기 어렵기 되기 때문에 바람직하다. 또, 실리콘은 트랜지스터가 갖는 반도체층과 동시에 형성할 수 있거나, 내열성이 높기 때문에 바람직하다. 또, 인듐석산화물(ITO), 인듐아연산화물(IZO), 산화규소를 첨가한 인듐석산화물(ITSO), 산화아연(ZnO), 실리콘(Si)은 투광성을 갖고 있기 때문에, 광을 투과시키는 부분에 사용할 수 있기 때문에 바람직하다. 예를 들면, 화소전극이나 공통전극으로서 사용할 수 있다.

[0131] 또, 이들이 단층으로 배선이나 전극을 형성하고 있어도 좋고, 다층 구조로 되어 있어도 좋다. 단층 구조로 형성함으로써, 제조공정을 간략화할 수 있고, 공정시간을 적게 할 수 있어, 비용을 저감할 수 있다. 또한, 다층 구조로 함으로써, 각각의 재료의 메리트를 살려, 1의 재료의 디메리트를, 다른 재료를 사용함으로써 저감시켜, 성능이 좋은 배선이나 전극을 형성할 수 있다. 예를 들면, 저항이 낮은 재료(알루미늄 등)를 다층 구조 중에 포함하도록 함으로써, 배선의 저저항화를 도모할 수 있다. 또한, 내열성이 높은 재료를 포함하도록 하면, 예를 들면, 내열성이 약하지만, 다른 메리트를 갖는 재료를, 내열성이 높은 재료의 사이에 두는 적층 구조로 함으로써, 배선이나 전극 전체로서, 내열성을 높게 할 수 있다. 예를 들면, 알루미늄을 포함하는 층을, 몰리브덴이나 티타늄을 포함하는 층의 사이에 둔 형태로 한 적층 구조로 하면 바람직하다. 또한, 다른 재료의 배선이나 전극 등과 직접 접하는 부분이 있는 경우, 서로 악영향을 미치는 경우가 있다. 예를 들면, 한쪽의 재료가 다른쪽의 재료 중으로 들어가, 성질을 바꾸어 버려, 원래의 목적을 다할 수 없게 되거나, 제조할 때에 문제가 생겨, 정상으로 제조할 수 없게 되거나 하는 경우가 있다. 그와 같은 경우, 어떤 층을 다른 층의 사이에 두거나, 덮거나 함으로써, 문제를 해결할 수 있다. 예를 들면, 인듐석산화물(ITO)과 알루미늄을 접촉시키고자 하는 경우는 사이에 티타늄이나 몰리브덴을 사이에 두는 것이 바람직하다. 또한, 실리콘과 알루미늄을 접촉시키고자 하는 경우는 사이에 티타늄이나 몰리브덴을 사이에 두는 것이 바람직하다.

[0132] 또, 상기 설명한 배선이나 전극은 다른 표시 장치 및 시프트 레지스터에도 적용할 수 있다.

[0133] 또, 신호선 구동 회로(901)는 신호선 S1 내지 Sm에 비디오 신호에 따른 전위 또는 전류를 입력한다. 또한, 신호선 구동 회로(901)는 화소부(903)와 동일 기관상에 형성될 필요는 없고, IC 등의 단결정기판에 형성되어 있어도 좋고, 일부를 화소부(903)와 동일 기관상에 형성되고, 나머지의 부분을 IC 등의 단결정기판에 형성하여도 좋다.

[0134] 또, 주사선 구동 회로(902)는 주사선 G1 내지 Gn에 신호를 입력하여, 주사선 G1 내지 Gn을 1행째부터 차례로 선택(이하, 주사한다라고도 함)한다. 그리고, 선택된 주사선에 접속되어 있는 복수의 화소(904)도 동시에 선택된다. 또, 1개의 주사선이 선택되어 있는 기간을 1게이트 선택 기간이라고 부르고, 1개의 주사선이 선택되지 않은 기간을 비선택 기간이라고 부른다. 또한, 주사선 구동 회로(902)는 도 6 또는 도 8에 도시한 시프트 레지스터를 적용할 수 있다. 또한, 주사선 구동 회로(902)는 화소부(903)와 동일 기관상에 형성되어 있는 것을 특징으로 한다.

[0135] 또, 화소(904)는 선택되어 있는 경우에는 신호선 구동 회로(901)로부터 신호선을 통해서 비디오 신호에 따른 전위 또는 전류가 입력된다. 단, 선택되지 않은 경우에는 비디오 신호에 따른 전위 또는 전류는 입력되지 않는다.

[0136] 다음에, 도 9에 도시한 표시 장치의 동작에 관해서, 도 10의 타이밍 차트를 참조하여 설명한다. 또, 도 10에 있어서, 1화면분의 화상을 표시하는 기간에 상당하는 1프레임 기간을 나타낸다. 또, 1프레임 기간은 특별히 한정하지 않지만, 화상을 보는 사람이 깜박임(플리커(flicker))을 느끼지 않도록 1/60초 이하로 하는 것이 바람직하다.

[0137] 또, 도 10의 타이밍 차트에서는 1행째의 주사선 G1, i행째의 주사선 Gi, i+1행째의 주사선 Gi+1 및 n행째의 주사선 Gn이 각각 선택되는 타이밍을 도시하고 있다.

[0138] 도 10에서, 예를 들면 i행째의 주사선 Gi가 선택되고, 주사선 Gi에 접속되어 있는 복수의 화소(904)가 선택된다. 그리고, 주사선 Gi에 접속되어 있는 복수의 화소(904)에는 각각 비디오 신호가 입력되고, 각각의 표시 소자의 휘도 또는 투과율이 비디오 신호에 따른 값이 된다. 그 후, i행째의 주사선 Gi가 비선택이 되면, i+1행째의 주사선 Gi+1이 선택되고, 주사선 Gi+1에 접속되어 있는 복수의 화소(904)가 선택된다. 그리고, 주사

선 Gi+1에 접속되어 있는 복수의 화소(904)에는 각각 비디오 신호가 입력되고, 각각의 표시 소자의 휘도 또는 투과율이 비디오 신호에 따른 값이 된다. 또, 각 화소(904)는 비선택 상태가 되어도 입력된 비디오 신호를 유지하기 위해서, 각각의 표시 소자는 비디오 신호에 따른 휘도 또는 투과율을 유지한다.

[0139] 이상으로부터, 주사선 G1 내지 Gn 각각은 1프레임 기간 중 1게이트 선택 기간에서 선택되고, 1게이트 선택 기간 이외에서는 비선택 기간이 되어 선택되지 않는다. 1게이트 선택 기간의 길이는 1프레임 기간의 길이를 n으로 나눈 것과 대체적으로 같기 때문에, 1프레임 기간 중 대부분의 기간은 비선택 기간이 된다. 요컨대, 주사선 구동 회로(902)에 도 6 또는 도 8에 도시한 시프트 레지스터를 적용한 경우에는 도 6 또는 도 8에 도시하는 플립 플롭(601_1 내지 601_i) 각각은 1프레임 기간 중 대부분의 기간에서 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간을 차례로 반복하고 있다. 따라서, 주사선 구동 회로(902)는 도 6 및 도 8에 도시하는 플립플롭(601_1 내지 601_i) 각각이 갖는 트랜지스터의 열화를 억제할 수 있기 때문에, 수명을 길게 할 수 있다. 또, 장수명의 주사선 구동 회로(902)를 화소부(903)와 일체로 형성한 도 9의 표시 장치도 수명을 길게 할 수 있다.

[0140] 또, 도 9와 같이, 화소를 선택하여, 화소에 비디오 신호를 기록할 수 있으면, 구동 회로의 수나 배치 등은 도 9에 한정되지 않는다.

[0141] 예를 들면, 도 11에 도시하는 바와 같이, 주사선 G1 내지 주사선 Gn을 제 1 주사선 구동 회로(1101) 및 제 2 주사선 구동 회로(1102)에 의해서 주사하여도 좋다. 또, 제 1 주사선 구동 회로(1101) 및 제 2 주사선 구동 회로(1102)는 도 9에 도시한 주사선 구동 회로(902)와 같은 구성이고, 같은 타이밍으로 주사선 G1 내지 주사선 Gn을 주사한다. 주사선 G1 내지 주사선 Gn을 제 1 주사선 구동 회로(1101) 및 제 2 주사선 구동 회로(1102)에 의해서 주사함으로써, 주사선 G1 내지 주사선 Gn 각각에 출력하는 신호의 지연이나 둔화가 저감되어, 주사선 G1 내지 주사선 Gn이 고속으로 주사된다. 요컨대, 도 11의 표시 장치는 패널 사이즈가 커져, 주사선 G1 내지 주사선 Gn의 배선저항이나 기생용량이 커져도, 주사선 G1 내지 주사선 Gn 각각에 출력하는 신호의 지연이나 둔화가 저감되기 때문에, 대형화를 가능하게 할 수 있다. 또, 도 11의 표시 장치는 패널 사이즈가 커지거나 또는 패널이 고세밀해져 화소수가 증가함으로써, 주사선 G1 내지 주사선 Gn을 고속으로 주사할 필요가 있어도, 주사선 G1 내지 주사선 Gn을 고속으로 주사할 수 있기 때문에, 대형화, 고세밀화를 가능하게 할 수 있다. 또, 도 11의 표시 장치는 제 1 주사선 구동 회로(1101) 및 제 2 주사선 구동 회로(1102) 중 한쪽에 불량이 생겨도, 다른쪽의 주사선 G1 내지 주사선 Gn을 주사할 수 있기 때문에, 용장성(冗長)을 갖게 할 수 있다. 또, 도 9의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다. 또, 도 11의 표시 장치에는 도 9와 같이 도 10의 타이밍 차트를 사용할 수 있다.

[0142] 도 12에 도시한 표시 장치에서도, 도 9와 같이 화소를 선택하여, 화소에 비디오 신호를 사용하여 기록할 수 있다. 도 12에 도시하는 바와 같이, 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)에 의해서, 주사선 G1 내지 주사선 Gn을 1행마다 주사하여도 좋다. 또, 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)는 도 9에 도시한 주사선 구동 회로(902)와 같은 구성이고, 구동타이밍이 다르다. 제 1 주사선 구동 회로(1201)가 홀수행제의 주사선을 주사하고, 제 2 주사선 구동 회로(1202)가 짝수행제의 주사선을 주사함으로써, 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)의 구동 주파수를 작게 할 수 있고, 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)가 갖는 플립플롭부의 1단분의 피치가 넓어진다. 요컨대, 도 12의 표시 장치는 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)의 구동 주파수를 작게 할 수 있기 때문에, 전력 절감화를 실현할 수 있다. 또, 도 12의 표시 장치는 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)가 갖는 플립플롭의 1단분의 피치가 넓어지기 때문에, 효율적으로 레이아웃할 수 있고, 프레임을 작게 할 수 있다. 또, 도 12의 표시 장치는 제 1 주사선 구동 회로(1201) 및 제 2 주사선 구동 회로(1202)를 좌우에 배치하기 때문에, 가장자리를 좌우 균일하게 할 수 있다. 또, 도 9의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다. 또, 도 12의 표시 장치에는 도 9와 같이 도 10의 타이밍 차트를 사용할 수 있다.

[0143] 또한, 도 44에 도시한 표시 장치에서도, 도 9와 같이 화소를 선택하여, 화소에 비디오 신호를 사용하여 기록할 수 있다. 도 44에 도시하는 바와 같이, 제 1 주사선 구동 회로(4402) 및 제 2 주사선 구동 회로(4403)에 의해서, 주사선 G1 내지 주사선 Gn을 1행마다 주사하여도 좋다. 또한, 화소(904)는 1행마다 좌우의 신호선에 접속되어 있다. 예를 들면, j열째의 복수의 화소(904)는 i행째에서는 신호선 Sj(신호선 S1 내지 신호선 Sm+1 중 어느 하나)에 접속되고, i+1행째에서는 신호선 Sj+1에 접속되고, i-1행째에서는 신호선 Sj+1에 접속되어 있다.

[0144] 도 44에 도시한 표시 장치의 동작에 관해서, 도 45의 타이밍 차트를 참조하여 설명한다. 또, 도 45에 있어서,

1화면분의 화상을 표시하는 기간에 상당하는 1프레임 기간을 도시한다. 또, 1프레임 기간은 특별히 한정하지 않지만, 화상을 보는 사람이 깜박임(플리커)을 느끼지 않도록 1/60초 이하로 하는 것이 바람직하다.

[0145] 또, 도 45의 타이밍 차트로서는 1행째의 주사선 G_1 , $i-1$ 행째의 주사선 G_{i-1} , i 행째의 주사선 G_i , $i+1$ 행째의 주사선 G_{i+1} 및 n 행째의 주사선 G_n 이 각각 선택되는 타이밍을 도시하고 있다. 도 45의 타이밍 차트에서는 1개의 선택 기간을 선택 기간 T_a 와 선택 기간 T_b 로 분할하고 있다.

[0146] 또, 도 44의 표시 장치는 1프레임 기간에서 각 신호선에 1열마다 양극의 비디오 신호와 음극의 비디오 신호를 입력하는 것만으로, 도트 반전 구동을 할 수 있다. 또한, 도 44의 표시 장치는 1프레임 기간마다, 각 신호선에 입력하는 비디오 신호의 극성을 반전하는 것으로 프레임 반전 구동을 할 수 있다. 또, 도 45의 타이밍 차트에서는 표시 장치가 도트 반전 구동 및 프레임 반전 구동을 하는 경우에 관해서 설명한다.

[0147] 도 45에서, 예를 들면 i 행째의 주사선 G_i 의 선택 기간 T_a 는 $i-1$ 행째의 주사선 G_{i-1} 의 선택 기간과 겹쳐 있고, i 행째의 주사선 G_i 의 선택 기간 T_b 는 $i+1$ 행째의 주사선 G_{i+1} 의 선택 기간과 겹쳐 있다. 따라서, 선택 기간 T_a 에서, $i-1$ 행 · $j+1$ 열째의 화소(904)에 입력되는 비디오 신호와 같은 것이, i 행 j 열째의 화소(904)에 입력된다. 또한, 선택 기간 T_b 에서, i 행 j 열째의 화소(904)에 입력되는 비디오 신호와 같은 것이, $i+1$ 행 · $j-1$ 열째의 화소(904)에 입력된다. 또, 선택 기간 T_b 에서 화소(904)에 입력되는 비디오 신호가 원래의 비디오 신호이고, 선택 기간 T_a 에서 화소(904)에 입력되는 비디오 신호가 화소(904)의 프리차지용 비디오 신호이다. 따라서, 화소(904) 각각은 선택 기간 T_a 에서 입력되는 비디오 신호에 의해서 프리차지되어, 선택 기간 T_b 에서 입력되는 비디오 신호를 유지한다.

[0148] 이상으로부터, 도 44의 표시 장치는 화소(904)에 고속으로 비디오 신호를 사용하여 기록할 수 있기 때문에, 대역폭, 고세밀화를 용이하게 실현할 수 있다. 또, 도 44의 표시 장치는 1프레임 기간에서 신호선 각각은 같은 극성의 비디오 신호가 입력되기 때문에, 각 신호선의 충방전이 적고, 저소비전력화를 실현할 수 있다. 또한, 도 44의 표시 장치는 비디오 신호를 공급하기 위한 IC의 부하가 대폭으로 저감되기 때문에, IC의 발열이나 소비 전력 등을 저감할 수 있다. 또, 도 44의 표시 장치는 제 1 주사선 구동 회로(4402) 및 제 2 주사선 구동 회로(4403)의 구동 주파수를 약 반으로 할 수 있다.

[0149] 또, 도 9, 도 11, 도 12, 및 도 44의 표시 장치는 화소(904)의 구성에 의해서 다른 배선 등을 추가하여도 좋다. 예를 들면, 일정한 전위로 유지되고 있는 전원선, 새로운 주사선 및 용량선 등을 추가하여도 좋다. 또, 새롭게 주사선을 추가하는 경우에는 도 6 및 도 8에 도시한 시프트 레지스터를 적용한 주사선 구동 회로를 새롭게 추가하여도 좋다.

[0150] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.

[0151] (실시형태 2)

[0152] 본 실시형태에서는 실시형태 1과는 다른 구성의 플립플롭을 도 13에 도시한다. 또, 실시형태 1과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0153] 도 13에 도시하는 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104) 및 제 5 트랜지스터(1305)를 갖는다. 또, 플립플롭은 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 5 배선(115), 제 6 배선(116) 및 제 7 배선(1317)에 접속되어 있다. 본 실시형태에 있어서, 제 5 트랜지스터(1305)는 N채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압(V_{gs})이 임계치 전압(V_{th})을 상회하였을 때, 도통 상태가 되는 것으로 한다. 또, 제 7 배선(1317)을, 제 3 신호선이라고 불러도 좋다.

[0154] 제 1 트랜지스터(101)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(111)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(115)에 접속되어 있다. 제 3 트랜지스터(103)의 제 1 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 제 2 트랜지스터(102)의 제 1 단자는 제 3 배선(113)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되어 있다. 제 4 트랜지스터(104)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 배선(114)에 접속되어 있다. 제 5 트랜지스터(1305)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단

자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 7 배선(1317)에 접속되어 있다.

- [0155] 또, 제 3 트랜지스터(103)의 제 2 단자, 제 4 트랜지스터(104)의 제 2 단자 및 제 5 트랜지스터(1305)의 제 2 단자는 제 2 배선(112)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(103)의 게이트 단자 및 제 4 트랜지스터(104)의 게이트 단자는 제 4 배선(114)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.
- [0156] 다음에, 도 13에서 도시한 플립플롭의 동작에 관해서, 도 14의 타이밍 차트를 참조하여 설명한다. 또, 도 14는 도 13의 플립플롭을 도 1에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 2의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.
- [0157] 또, 제 7 배선(1317)에는 신호가 입력되어 있다. 제 7 배선(1317)에 입력되는 신호는 제 3 클록 신호이다. 또한, 제 7 배선(1317)에 입력되는 신호는 H신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털 신호이다.
- [0158] 단, 제 7 배선(1317)에는 제 3 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다.
- [0159] 도 14에 있어서, 신호(1417)는 제 7 배선(1317)에 입력되는 신호이다.
- [0160] 도 13의 플립플롭에서는 세트 기간 및 제 2 비선택 기간에서 제 5 트랜지스터(1305)가 온이 된다. 그리고, 제 6 배선(116)은 제 5 트랜지스터(1305)를 통해서 제 2 배선(112)의 전위가 공급되기 때문에 L레벨을 유지한다.
- [0161] 이상으로부터, 도 13의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간, 제 3 비선택 기간 중, 제 1 비선택 기간 및 제 2 비선택 기간에서 제 6 배선(116)에 V2가 공급되기 때문에 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서, 일정 기간마다(제 1 비선택 기간 및 제 2 비선택 기간) 제 6 배선(116)에 V2가 공급되어 있어, 제 6 배선(116)의 전위를 안정적으로 V2로 유지할 수 있기 때문이다.
- [0162] 또, 도 13의 플립플롭의 제 5 트랜지스터(1305)는 세트 기간 및 제 2 비선택 기간에서만 온이 되기 때문에, 제 5 트랜지스터(1305)의 특성 열화를 억제할 수 있다.
- [0163] 또, 도 13의 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104) 및 제 5 트랜지스터(1305)가 모두 N채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 13의 플립플롭은 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해진다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.
- [0164] 또한, 도 13의 플립플롭은 트랜지스터의 반도체층으로서 특성 열화(임계치 전압의 시프트)가 현저히 나타나는 비정질 실리콘을 사용하여도, 트랜지스터의 특성 열화를 억제할 수 있기 때문에, 장수명의 표시 패널 등의 반도체장치를 제작할 수 있다.
- [0165] 여기에서, 제 5 트랜지스터(1305)가 갖는 기능을 설명한다. 제 5 트랜지스터(1305)는 제 2 배선(112)의 전위를 제 6 배선(116)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.
- [0166] 또, 도 13과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 13에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.
- [0167] 예를 들면, 도 15에 도시하는 바와 같이, 도 13에 도시한 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이에 용량 소자(1501)를 배치하여도 좋다. 용량 소자(1501)를 배치함으로써, 선택 기간에서의 부스트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(1501)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 13의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

- [0168] 도 16의 플립플롭에서도, 도 13과 같은 동작을 할 수 있다. 도 16에 도시하는 바와 같이, 도 13에 도시한 제 1 트랜지스터(101)가 다이오드 접속하여도 좋다. 제 1 트랜지스터(101)가 다이오드 접속됨으로써, 제 1 배선(111)이 불필요하게 되어, 배선 및 전원(V1)을 1개씩 줄일 수 있다. 또, 도 13의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0169] 계속해서, 상술한 본 실시형태의 플립플롭을 갖는 시프트 레지스터에 관해서 도 17을 참조하여 설명한다. 또, 도 1에 도시한 플립플롭을 갖는 시프트 레지스터를 설명한 도 6과 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.
- [0170] 시프트 레지스터는 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614), 제 5 배선(615), 제 6 배선(616), 배선(622_1 내지 622_n) 및 n개(n단)의 플립플롭(1701_1 내지 1701_n)을 갖는다. 그리고, n개(n단)의 플립플롭(1701_1 내지 1701_n) 각각은 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614), 제 5 배선(615)에 접속되어 있다. 또한, 예를 들면 i단째의 플립플롭(1701_i; 플립플롭 1701_1 내지 1701_n 중 어느 하나) 중, 플립플롭(1701_2) 내지 플립플롭(n-1)은 i-1단째의 플립플롭(1701_i-1) 및 i+1단째의 플립플롭(1701_i+1)에 접속되고, i단째의 플립플롭(1701_i)과 i+1단째의 플립플롭(1701_i+1)의 접속 개소는 배선(622_i; 배선(622_1 내지 622_n) 중 어느 하나)에 접속되어 있다. 또, 1단째의 플립플롭(1701_1)은 제 6 배선(616)과 2단째의 플립플롭(1701_2)에 접속되고, 1단째의 플립플롭(1701_1)과 2단째의 플립플롭(1701_2)의 접속 개소는 배선(622_1)에 접속되어 있다. 또, n단째의 플립플롭(1701_n)은 n-1단째의 플립플롭(1701_n-1)과 배선(622_n)에 접속되어 있다.
- [0171] 또, 1+3N단째의 플립플롭(1701)에서는 제 1 배선(611), 제 2 배선(612), 제 3 배선(613), 제 4 배선(614), 제 5 배선(615)은 각각 도 13의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 7 배선(1317)에 접속되어 있다. 2+3N단째의 플립플롭(1701)에서는 제 1 배선(611), 제 2 배선(612), 제 4 배선(614), 제 5 배선(615), 제 3 배선(613)은 각각 도 13의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 7 배선(1317)에 접속되어 있다. 3+3N단째의 플립플롭(1701)에서는 제 1 배선(611), 제 2 배선(612), 제 5 배선(615), 제 3 배선(613), 제 4 배선(614)은 각각 도 13의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 7 배선(1317)에 접속되어 있다. 또한, 예를 들면 i단째의 플립플롭(1701_i) 중, 플립플롭(1701_2) 내지 플립플롭(1701_n-1)의 도 13에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 i-1단째의 플립플롭(1701_i-1)의 도 13에 도시하는 제 6 배선(116), i+1단째의 플립플롭(1701_i+1)의 도 13에 도시하는 제 5 배선(115)에 접속되어 있다. 또, 1단째의 플립플롭(1701_1)의 도 13에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 도 17의 제 6 배선(616), 2단째의 플립플롭(1701_2)의 도 13에 도시하는 제 5 배선(115)에 접속되어 있다. 또, n단째의 플립플롭(1701_n)의 도 13에 도시하는 제 5 배선(115) 및 제 6 배선(116)은 각각 n-1단째의 플립플롭(1701_n-1)의 도 13에 도시하는 제 6 배선(116), 도 17의 배선(622_n)에 접속되어 있다.
- [0172] 또, 도 17에 도시한 시프트 레지스터는 도 6에 도시한 시프트 레지스터와 같은 동작을 할 수 있다. 따라서, 도 17에 도시한 시프트 레지스터에는 도 7의 타이밍 차트를 사용할 수 있다.
- [0173] 따라서, 도 17의 시프트 레지스터는 실시형태 1과 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우의 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다.
- [0174] 또, 도 17의 시프트 레지스터는 각 단의 플립플롭(1701)의 출력 신호를, 버퍼를 통해서, 각각 각 단의 배선(622)에 출력하여도 좋고, 이러한 구성을 도 18에 도시한다. 도 18의 시프트 레지스터는 각 단의 플립플롭(1701)가 버퍼(1801)를 통해서 각각 각 단의 배선(622)에 접속되어 있기 때문에, 동작에서의 넓은 마진을 얻을 수 있다. 왜냐하면, 배선(622)에 큰 부하가 접속되고, 배선(622)의 신호에 지연이나 파형의 둔화가 생겨도, 시프트 레지스터의 동작에 영향을 미치지 않기 때문이다. 또, 버퍼(1801)는 인버터나, NAND, NOR 등의 논리 회로나, 앰프 등이나, 이들을 조합한 회로를 사용할 수 있다.
- [0175] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1과 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.
- [0176] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치

의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.

- [0177] (실시형태 3)
- [0178] 본 실시형태에서는 실시형태 1 및 실시형태 2와는 다른 구성의 플립플롭을 도 19에 도시한다. 또, 실시형태 1 및 실시형태 2와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0179] 도 19에 도시하는 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104), 제 5 트랜지스터(1305), 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908) 및 제 9 트랜지스터(1909)를 갖고 있다. 또, 플립플롭은 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 5 배선(115), 제 6 배선(116) 및 제 7 배선(1317)에 접속되어 있다. 본 실시형태에 있어서, 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908) 및 제 9 트랜지스터(1909)는 N채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압(V_{gs})이 임계치 전압(V_{th})을 상회하였을 때, 도통 상태가 되는 것으로 한다.
- [0180] 제 1 트랜지스터(101)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(111)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(115)에 접속되어 있다. 제 3 트랜지스터(103)의 제 1 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 제 2 트랜지스터(102)의 제 1 단자는 제 3 배선(113)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되어 있다. 제 4 트랜지스터(104)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 배선(114)에 접속되어 있다. 제 5 트랜지스터(1305)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 7 배선(1317)에 접속되어 있다. 제 6 트랜지스터(1906)의 제 1 단자는 제 8 트랜지스터(1908)의 게이트 단자에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되고, 게이트 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되어 있다. 제 7 트랜지스터(1907)의 제 1 단자는 제 1 배선(111)에 접속되고, 제 2 단자는 제 8 트랜지스터(1908)의 게이트 단자에 접속되고, 게이트 단자는 제 1 배선(111)에 접속되어 있다. 제 8 트랜지스터(1908)의 제 1 단자는 제 3 배선(113)에 접속되고, 제 2 단자는 제 9 트랜지스터(1909)의 게이트 단자에 접속되어 있다. 제 9 트랜지스터(1909)의 제 1 단자는 제 6 배선(116)에 접속되고, 제 2 단자는 제 2 배선(112)에 접속되어 있다. 또, 제 6 트랜지스터(1906)의 제 1 단자, 제 7 트랜지스터(1907)의 제 2 단자 및 제 8 트랜지스터(1908)의 게이트 단자의 접속 개소를 노드(1922)로 한다. 또한, 제 8 트랜지스터(1908)의 제 2 단자 및 제 9 트랜지스터(1909)의 게이트 단자의 접속 개소를 노드(1923)로 한다.
- [0181] 또, 제 3 트랜지스터(103)의 제 2 단자, 제 4 트랜지스터(104)의 제 2 단자, 제 5 트랜지스터(1305)의 제 2 단자, 제 6 트랜지스터(1906)의 제 2 단자 및 제 9 트랜지스터(1909)의 제 2 단자는 제 2 배선(112)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(103)의 게이트 단자 및 제 4 트랜지스터(104)의 게이트 단자는 제 4 배선에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 1 트랜지스터(101)의 제 1 단자, 제 7 트랜지스터(1907)의 제 1 단자 및 제 7 트랜지스터(1907)의 게이트 단자는 제 1 배선(111)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 2 트랜지스터(102)의 제 1 단자 및 제 8 트랜지스터(1908)의 제 1 단자는 제 3 배선(113)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.
- [0182] 다음에, 도 19에서 도시한 플립플롭의 동작에 관해서, 도 20의 타이밍 차트를 참조하여 설명한다. 또, 도 20은 도 19의 플립플롭을 도 1 및 도 13에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 2 및 도 14의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.
- [0183] 도 20에서, 전위(2022)는 도 19의 노드(1922)의 전위이고, 전위(2023)는 도 19의 노드(1923)의 전위이다.
- [0184] 도 19의 플립플롭에서는 제 3 비선택 기간에서 제 9 트랜지스터(1909)가 온이 된다. 그리고, 제 6 배선(116)은 제 9 트랜지스터(1909)를 통해서 제 2 배선(112)의 전위가 공급되기 때문에 L레벨을 유지한다.
- [0185] 구체적으로 제 9 트랜지스터(1909)의 온 및 오프의 제어를 설명한다. 우선, 제 6 트랜지스터(1906) 및 제 7 트랜지스터(1907)는 인버터를 구성하고 있고, 제 6 트랜지스터(1906)의 게이트 단자에 H레벨이 입력되면, 노드(1922)의 전위(전위(2022))가 대략 V_2 가 된다. 단, 이 때의 전위(2022)와 이 때의 제 6 트랜지스터(1906)와

제 7 트랜지스터(1907)의 저항에 의해서 결정하기 때문에, V2보다도 조금 높은 값이 된다. 또한, 제 6 트랜지스터(1906)의 게이트 단자에 L레벨이 입력되면, 노드(1922)의 전위가 제 1 배선(111)의 전위로부터 제 7 트랜지스터(1907)의 임계치 전압을 뺀 값이 되기 때문에 $V1 - V_{th1907}$ 이 된다. 따라서 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서는 노드(121)가 L레벨이고 노드(1922)가 H레벨이 되기 때문에 제 8 트랜지스터(1908)는 온이 된다. 따라서, 제 9 트랜지스터(1909)는 제 3 배선(113)에 입력되는 신호에 의해서 제어되기 때문에, 제 3 비선택 기간에서 온이 되고, 제 1 비선택 기간 및 제 2 비선택 기간에서 오프가 된다. 한편, 세트 기간 및 비선택 기간에서 노드(121)가 H레벨이고, 노(1922)가 L레벨이 되기 때문에 제 8 트랜지스터(1908)는 오프가 된다. 따라서 제 9 트랜지스터(1909)의 게이트 단자의 전위가 세트 기간 전의 기간인 제 1 비선택 기간의 전위, 요컨대 L레벨을 유지하기 때문에, 제 9 트랜지스터(1909)는 오프가 된다.

[0186] 이상으로부터, 도 19의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서, 배선(116)에 V2가 공급되기 때문에, 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서 제 6 배선(116)에 V2를 공급할 수 있기 때문이다. 또한, 도 19의 플립플롭은 비선택 기간에서 제 6 배선(116)에 V2가 공급되기 때문에, 제 6 배선(116)의 노이즈를 적게 할 수 있다.

[0187] 또, 도 19의 플립플롭은 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908) 및 제 9 트랜지스터(1909)의 특성 열화를 억제할 수 있다. 왜냐하면, 제 6 트랜지스터(1906)는 세트 기간 및 선택 기간에서만 온이 되기 때문이다. 또한, 제 7 트랜지스터(1907)는 선택 기간 후의 제 1 비선택 기간 중 노드(1922)의 전위가 $V1 - V_{th1907}$ 까지 상승하는 기간에서만 온이 되기 때문이다. 또한, 제 8 트랜지스터(1908)는 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간 중 노드(1923)의 전위가 $V1 - \beta$ ($\beta : V_{th1907} + V_{th1908}$)까지 상승하는 기간에서만 온이 되기 때문이다. 또한, 제 9 트랜지스터(1909)는 제 3 비선택 기간에서만 온이 되기 때문이다.

[0188] 또, 도 19의 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104), 제 5 트랜지스터(1305), 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908) 및 제 9 트랜지스터(1909)가 모두 N채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 19의 플립플롭은 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해진다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.

[0189] 또한, 도 19의 플립플롭은 트랜지스터의 반도체층으로서 특성 열화(임계치 전압의 시프트)가 현저히 나타나는 비정질 실리콘을 사용하여도, 트랜지스터의 특성 열화를 억제할 수 있기 때문에, 장수명의 표시 패널 등의 반도체장치를 제작할 수 있다.

[0190] 여기에서, 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908) 및 제 9 트랜지스터(1909)가 갖는 기능을 설명한다. 제 6 트랜지스터(1906)는 제 2 배선(112)의 전위를 노드(1922)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 7 트랜지스터(1907)는 제 1 배선(111)의 전위를 노드(1922)에 공급하는 타이밍을 선택하는 기능을 갖고, 다이오드로서 기능한다. 제 8 트랜지스터(1908)는 제 3 배선(113)의 전위를 노드(1923)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 9 트랜지스터(1909)는 제 2 배선(112)의 전위를 제 6 배선(116)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.

[0191] 또, 도 19와 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 19에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.

[0192] 예를 들면, 도 21에 도시하는 바와 같이, 도 19에 도시한 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이에 용량 소자(2101)를 배치하여도 좋다. 용량 소자(2101)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(2101)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투과전극층을 사용하여도 좋다. 또, 도 19의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

- [0193] 도 22의 플립플롭에서도, 도 19와 같은 동작을 할 수 있다. 도 22에 도시하는 바와 같이, 도 19에 도시한 제 1 트랜지스터(101)가 다이오드 접속하여도 좋다. 제 1 트랜지스터(101)가 다이오드 접속됨으로써, 제 1 배선(111)에 흐르는 전류가 작아지기 때문에, 제 1 배선(111)의 배선편을 작게 할 수 있다. 또, 도 19의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0194] 또한, 본 실시형태에 개시한 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용할 수 있다. 실시형태 1 및 실시형태 2와 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우의 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다.
- [0195] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1 및 실시형태 2와 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.
- [0196] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0197] (실시형태 4)
- [0198] 본 실시형태에서는 실시형태 1, 실시형태 2 및 실시형태 3과는 다른 구성의 플립플롭을 도 23에 도시한다. 또, 실시형태 1, 실시형태 2 및 실시형태 3과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0199] 도 23에 도시하는 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104), 제 5 트랜지스터(1305), 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908), 제 9 트랜지스터(1909), 제 10 트랜지스터(2310), 제 11 트랜지스터(2311) 및 제 12 트랜지스터(2312)를 갖고 있다. 또, 플립플롭은 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 5 배선(115), 제 6 배선(116) 및 제 7 배선(1317)에 접속되어 있다. 본 실시형태에 있어서, 제 10 트랜지스터(2310), 제 11 트랜지스터(2311) 및 제 12 트랜지스터(2312)는 N채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압(V_{gs})이 임계치 전압(V_{th})을 상회하였을 때, 도통 상태가 되는 것으로 한다.
- [0200] 제 1 트랜지스터(101)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(111)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(115)에 접속되어 있다. 제 3 트랜지스터(103)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 제 2 트랜지스터(102)의 제 1 단자는 제 3 배선(113)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되어 있다. 제 4 트랜지스터(104)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되고, 게이트 단자는 제 4 배선(114)에 접속되어 있다. 제 5 트랜지스터(1305)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되고, 게이트 단자는 제 7 배선(1317)에 접속되어 있다. 제 6 트랜지스터(1906)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 8 트랜지스터(1908)의 게이트 단자 및 제 11 트랜지스터(2311)의 게이트 단자에 접속되고, 게이트 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되어 있다. 제 7 트랜지스터(1907)의 제 1 단자는 제 1 배선(111)에 접속되고, 제 2 단자는 제 8 트랜지스터(1908)의 게이트 단자 및 제 11 트랜지스터(2311)의 게이트 단자에 접속되고, 게이트 단자는 제 1 배선(111)에 접속되어 있다. 제 8 트랜지스터(1908)의 제 1 단자는 제 3 배선(113)에 접속되고, 제 2 단자는 제 9 트랜지스터(1909)의 게이트 단자 및 제 10 트랜지스터(2310)의 게이트 단자에 접속되어 있다. 제 9 트랜지스터(1909)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 6 배선(116)에 접속되어 있다. 제 10 트랜지스터(2310)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되어 있다. 제 11 트랜지스터(2311)의 제 1 단자는 제 7 배선(1317)에 접속되고, 제 2 단자는 제 12 트랜지스터(2312)의 게이트 단자에 접속되어 있다. 제 12 트랜지스터(2312)의 제 1 단자는 제 2 배선(112)에 접속되고, 제 2 단자는 제 2 트랜지스터(102)의 게이트 단자에 접속되어 있다. 또, 제 11 트랜지스터(2311)의 제 2 단자 및 제 12 트랜지스터(2312)의 게이트 단자의 접속 개소를 노드(2324)로 한다.
- [0201] 또, 제 3 트랜지스터(103)의 제 1 단자, 제 4 트랜지스터(104)의 제 1 단자, 제 5 트랜지스터(1305)의 제 1 단

자, 제 6 트랜지스터(1906)의 제 1 단자, 제 9 트랜지스터(1909)의 제 1 단자, 제 10 트랜지스터(2310)의 제 1 단자 및 제 12 트랜지스터(2312)의 제 1 단자는 제 2 배선(112)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(103)의 게이트 단자 및 제 4 트랜지스터(104)의 게이트 단자는 제 4 배선(114)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 1 트랜지스터(101)의 제 1 단자, 제 7 트랜지스터(1907)의 제 1 단자 및 제 7 트랜지스터(1907)의 게이트 단자는 제 1 배선(111)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 2 트랜지스터(102)의 제 1 단자 및 제 8 트랜지스터(1908)의 제 1 단자는 제 3 배선(113)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 5 트랜지스터(1305)의 게이트 단자 및 제 11 트랜지스터(2311)의 제 1 단자는 제 7 배선(1317)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.

[0202] 다음에, 도 23에서 도시한 플립플롭의 동작에 관해서, 도 24의 타이밍 차트를 참조하여 설명한다. 도 24는 도 23의 플립플롭을 도 1, 도 13 및 도 19에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 2, 도 14 및 도 20의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.

[0203] 도 24에 있어서, 전위(2424)는 도 23의 노드(2324)의 전위이다.

[0204] 도 23의 플립플롭에서는 제 3 비선택 기간에서 제 10 트랜지스터(2310)가 온이 된다. 그리고, 노드(121)는 제 10 트랜지스터(2310)를 통해서 제 2 배선(112)의 전위가 공급되기 때문에 L레벨을 더욱 안정적으로 유지할 수 있다. 또, 도 23의 플립플롭에서는 제 1 비선택 기간에서 제 12 트랜지스터(2312)가 온이 된다. 그리고, 노드(121)는 제 12 트랜지스터(2312)를 통해서 제 2 배선(112)의 전위가 공급되기 때문에 L레벨을 더욱 안정적으로 유지할 수 있다.

[0205] 구체적으로 제 12 트랜지스터(2312)의 온 및 오프의 제어를 설명한다. 또, 제 10 트랜지스터(2310)의 온 및 오프의 제어는 실시형태 3에 개시한 제 9 트랜지스터(1909)의 온 및 오프의 제어와 같다. 우선, 도 19의 플립플롭과 같이 제 6 트랜지스터(1906) 및 제 7 트랜지스터(1907)는 인버터를 구성하고 있다. 따라서, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서는 노드(121)가 L레벨이고, 노드(1922)가 H레벨이 되기 때문에 제 11 트랜지스터(2311)는 온이 된다. 따라서, 제 12 트랜지스터(2312)는 제 7 배선(1317)에 입력되는 신호에 의해서 제어되기 때문에, 제 2 비선택 기간에서 온이 되고, 제 1 비선택 기간 및 제 3 비선택 기간에서 오프가 된다. 한편, 세트 기간 및 선택 기간에서는 노드(121)가 H레벨이고, 노드(1922)가 L레벨이 되기 때문에 제 11 트랜지스터(2311)는 오프가 된다. 따라서, 제 12 트랜지스터(2312)의 게이트 단자의 전위가 세트 기간 전의 기간인 제 1 비선택 기간의 전위, 요컨대 L레벨을 유지하기 때문에, 제 12 트랜지스터(2312)는 오프가 된다.

[0206] 이상으로부터, 도 23의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서 제 6 배선(116) 및 노드(121)에 V2가 공급되기 때문에, 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서 제 6 배선(116) 및 노드(121)에 V2를 공급할 수 있기 때문이다. 또한, 도 23의 플립플롭은 비선택 기간에서 제 6 배선(116) 및 노드(121)에 V2가 공급되기 때문에, 제 6 배선(116) 및 노드(121)의 노이즈를 적게 할 수 있다.

[0207] 또, 도 23의 플립플롭은 제 10 트랜지스터(2310), 제 11 트랜지스터(2311) 및 제 12 트랜지스터(2312)의 특성 열화를 억제할 수 있다. 왜냐하면, 제 10 트랜지스터(2310)는 제 3 비선택 기간에서만 온이 되기 때문이다. 또한, 제 11 트랜지스터(2311)는 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간 중 노드(2324)의 전위가 $V_1 - \gamma$ ($\gamma : V_{th1907} + V_{th2311}$)까지 상승하는 기간에서만 온이 되기 때문이다. 또한, 제 12 트랜지스터(2312)는 제 2 비선택 기간에서만 온이 되기 때문이다.

[0208] 또, 도 23의 플립플롭은 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104), 제 5 트랜지스터(1305), 제 6 트랜지스터(1906), 제 7 트랜지스터(1907), 제 8 트랜지스터(1908), 제 9 트랜지스터(1909), 제 10 트랜지스터(2310), 제 11 트랜지스터(2311) 및 제 12 트랜지스터(2312)가 모두 N채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 23의 플립플롭은 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해진다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.

[0209] 또한, 도 23의 플립플롭은 트랜지스터의 반도체층으로서 특성 열화(임계치 전압의 시프트)가 현저히 나타나는

비정질 실리콘을 사용하여도, 트랜지스터의 특성 열화를 억제할 수 있기 때문에, 장수명의 표시 패널 등의 반도체 장치를 제작할 수 있다.

- [0210] 여기에서, 제 10 트랜지스터(2310), 제 11 트랜지스터(2311) 및 제 12 트랜지스터(2312)가 갖는 기능을 설명한다. 제 10 트랜지스터(2310)는 제 2 배선(112)의 전위를 노드(121)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 11 트랜지스터(2311)는 제 7 배선(1317)의 전위를 노드(2324)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 12 트랜지스터(2312)는 제 2 배선(112)의 전위를 노드(121)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.
- [0211] 또, 도 23과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 23에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.
- [0212] 예를 들면, 도 25에 도시하는 바와 같이, 도 23에 도시한 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이에 용량 소자(2501)를 배치하여도 좋다. 용량 소자(2501)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(102)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(2501)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 23의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0213] 도 26의 플립플롭에서도, 도 23과 같은 동작을 할 수 있다. 도 26에 도시하는 바와 같이, 도 23에 도시한 제 1 트랜지스터(101)가 다이오드 접속하여도 좋다. 제 1 트랜지스터(101)가 다이오드 접속됨으로써, 제 1 배선(111)에 흐르는 전류가 작아지기 때문에, 제 1 배선(111)의 배선평을 작게 할 수 있다.
- [0214] 또한, 본 실시형태에 개시한 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용할 수 있다. 실시형태 1, 실시형태 2 및 실시형태 3과 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우와 비교하여 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다.
- [0215] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1, 실시형태 2 및 실시형태 3과 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.
- [0216] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0217] (실시형태 5)
- [0218] 본 실시형태에서는 플립플롭이 갖는 트랜지스터에 P채널형 트랜지스터를 적용한 경우에 관해서 도 27을 참조하여 설명한다. 또, P채널형 트랜지스터로 구성되는 플립플롭은 N채널형 트랜지스터로 구성되는 플립플롭과 기본적인 구성은 같다. 단, 전원전위 및 신호의 H레벨, L레벨이 반전하고 있다.
- [0219] 도 27은 시프트 레지스터가 갖는 복수의 플립플롭 중, 어떤 1단(예를 들면 1단제)의 플립플롭을 도시하고 있다. 도 27에 도시하는 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)를 갖는다. 또, 플립플롭은 제 1 배선(2711), 제 2 배선(2712), 제 3 배선(2713), 제 4 배선(2714), 제 5 배선(2715) 및 제 6 배선(2716)에 접속되어 있다. 본 실시형태에 있어서, 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)는 P채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압의 절대치($|V_{gs}|$)가 임계치 전압($|V_{th}|$)을 상회하였을 때(V_{gs} 가 V_{th} 를 하회하였을 때), 도통 상태가 되는 것으로 한다. 또, 제 1 배선(2711) 및 제 2 배선(2712)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다. 또한, 제 3 배선(2713) 및 제 4 배선(2714)을, 각각 제 1 신호선, 제 2 신호선이라고 불러도 좋다.
- [0220] 또, 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)는 각각

도 1의 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103) 및 제 4 트랜지스터(104)에 상당한다. 또한, 제 1 배선(2711), 제 2 배선(2712), 제 3 배선(2713), 제 4 배선(2714), 제 5 배선(2715) 및 제 6 배선(2716)은 각각 도 1의 제 1 배선(111), 제 2 배선(112), 제 3 배선(113), 제 4 배선(114), 제 5 배선(115), 제 6 배선(116)에 상당한다.

[0221] 제 1 트랜지스터(2701)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(2711)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(2715)에 접속되어 있다. 제 3 트랜지스터(2703)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 2 트랜지스터(2702)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 제 4 트랜지스터(2704)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 또, 제 1 트랜지스터(2701)의 제 2 단자와 제 2 트랜지스터(2702)의 게이트 단자와 제 3 트랜지스터(2703)의 제 2 단자의 접속 개소를 노드(2721)로 한다.

[0222] 또, 제 3 트랜지스터(2703)의 제 2 단자 및 제 4 트랜지스터(2704)의 제 2 단자는 제 2 배선(2712)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(2703)의 게이트 단자 및 제 4 트랜지스터(2704)의 게이트 단자는 제 4 배선(2714)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.

[0223] 다음에, 도 27에서 도시한 플립플롭의 동작에 관해서, 도 28의 타이밍 차트 및 도 29를 참조하여 설명한다. 또, 도 28에 있어서, 세트 기간, 선택 기간, 비선택 기간에 관해서 설명한다. 또, 비선택 기간은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간으로 분할되고, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간을 차례로 반복하고 있다.

[0224] 또, 제 1 배선(2711)에는 V2의 전위가, 제 2 배선(2712)에는 V1의 전위가 공급되어 있다. 단, $V1 > V2$ 로 한다.

[0225] 단, 제 1 배선(2711)에는 V2의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다. 또한, 제 2 배선(2712)에는 V1의 전위가 공급되어 있는 것에 한정되지 않고, 다른 전위가 공급되어 있어도 좋고, 디지털 신호 또는 아날로그 신호가 입력되어 있어도 좋다.

[0226] 또, 제 3 배선(2713), 제 4 배선(2714) 및 제 5 배선(2715)에는 신호가 입력되어 있다. 제 3 배선(2713)에 입력되는 신호는 제 1 클록 신호이고, 제 4 배선(2714)에 입력되는 신호는 제 2 클록 신호이고, 제 5 배선(2715)에 입력되는 신호는 스타트 신호이다. 또한, 제 3 배선(2713), 제 4 배선(2714) 및 제 5 배선(2715)에 입력되는 신호는 H신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털 신호이다.

[0227] 단, 제 3 배선(2713)에는 제 1 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다. 또한, 제 4 배선(2714)에는 제 2 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다. 또한, 제 5 배선(2715)에는 스타트 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다.

[0228] 또한, 제 3 배선(2713), 제 4 배선(2714) 및 제 5 배선(2715)에 입력되는 신호의 H신호의 전위는 V1, L신호의 전위는 V2는 한정되지 않고, H신호의 전위가 L신호의 전위보다도 높으면, 그 전위는 특별히 한정되지 않는다.

[0229] 또, 제 6 배선(2716)으로부터는 신호가 출력된다. 제 6 배선(2716)으로부터 출력되는 신호는 플립플롭의 출력 신호이고, 다음 단의 플립플롭의 스타트 신호이기도 하다. 또한, 제 6 배선(2716)으로부터 출력되는 신호는 다음 단의 플립플롭의 제 5 배선(2715)에 입력된다. 또한, 제 6 배선(2716)으로부터 출력되는 신호는 H신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털 신호이다.

[0230] 도 28에 있어서, 신호(2813)는 제 3 배선(2713)에 입력되는 신호이고, 신호(2814)는 제 4 배선(2714)에 입력되는 신호이고, 신호(2815)는 제 5 배선(2715)에 입력되는 신호이고, 신호(2816)는 제 6 배선(2716)으로부터 출력되는 신호이다. 또한, 전위(2821)는 도 27의 노드(2721)의 전위이다.

- [0231] 우선, 도 28의 기간 A 및 도 29a에 도시하는 세트 기간에서는 신호(2813) 및 신호(2814)가 H레벨이고, 신호(2815)가 L레벨이 된다. 따라서, 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)는 오프가 되고, 제 1 트랜지스터(2701)는 온이 된다. 이 때, 제 1 트랜지스터(2701)의 제 2 단자가 소스 단자가 되고, 노드(2721)의 전위(전위(2821))는 제 5 배선(2715)의 전위와 제 1 트랜지스터(2701)의 임계치 전압의 절대치와의 합이 되기 때문에 $V_2 + |V_{th2701}|$ 가 된다. 따라서, 제 2 트랜지스터(2702)는 온이 되고, 제 6 배선(2716)의 전위는 제 3 배선(2713)의 전위와 같아지기 때문에 V_1 이 된다. 이와 같이, 세트 기간에서는 플립플롭은 제 2 트랜지스터(2702)를 온한 채로, H레벨을 제 6 배선(2716)으로부터 출력한다.
- [0232] 도 28의 기간 B 및 도 29b에 도시하는 선택 기간에서는 신호(2813)가 L레벨이 되고, 신호(2814)가 H레벨인채로 있고, 신호(2815)가 H레벨이 된다. 따라서, 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)는 오프인채로 있고, 제 1 트랜지스터(2701)는 오프가 된다. 이 때, 제 2 트랜지스터(2702)의 제 2 단자가 소스 단자가 되고, 제 6 배선(2716)의 전위가 감소하기 시작한다. 노드(2721)의 전위(전위(2821))는 노드(2721)가 부유 상태(이하, 플로팅 상태라고도 함)로 되어 있기 때문에, 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이의 기생용량의 용량 결합에 의해 제 6 배선(2716)의 전위와 동시에 감소한다(부트스트랩 동작이라고도 함). 따라서, 제 2 트랜지스터(2702)의 게이트와 소스간의 전압 V_{gs} 는 $-|V_{th2702}| - \alpha(V_{th2702} : \text{제 2 트랜지스터(2702)의 임계치 전압, } \alpha : \text{임의의 정의 수})$ 가, 제 6 배선(2716)의 전위는 L레벨(V_2)이 된다. 이와 같이, 선택 기간에서는 플립플롭은 노드(2721)의 전위를 $V_2 - |V_{th2702}| - \alpha$ 로 함으로써, L레벨을 제 6 배선(2716)으로부터 출력할 수 있다.
- [0233] 도 28의 기간 C 및 도 29c에 도시하는 제 1 비선택 기간에서는 신호(2813)가 H레벨이 되고, 신호(2814)가 L레벨이 되고, 신호(2815)가 H레벨인채로 있다. 따라서, 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)가 온이 되고, 제 1 트랜지스터(2701)는 오프인채로 있다. 노드(2721) 및 제 6 배선(2716)은 각각 제 3 트랜지스터(2703), 제 4 트랜지스터(2704)를 통해서 제 2 배선(2712)의 전위가 공급되기 때문에 H레벨이 된다.
- [0234] 도 28의 기간 D 및 도 29d에 도시하는 제 2 비선택 기간에서는 신호(2813)가 H레벨인채로 있고, 신호(2814)가 H레벨이 되고, 신호(2815)가 H레벨인채로 있다. 따라서, 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)가 오프가 되고, 제 1 트랜지스터(2701)는 오프인채로 있다. 따라서, 노드(2721) 및 제 6 배선(2716)은 H레벨을 유지한다.
- [0235] 도 28의 기간 E 및 도 29e에 도시하는 제 3 비선택 기간에서는 신호(2813)가 L레벨이 되고, 신호(2814)가 H레벨인채로 있고, 신호(2815)가 H레벨인채로 있다. 따라서, 제 1 트랜지스터(2701), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)가 오프인채로 있다. 따라서, 노드(2721) 및 제 6 배선(2716)은 H레벨을 유지한다.
- [0236] 이상으로부터, 도 27의 플립플롭은 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)는 제 1 비선택 기간에서만 온이 되기 때문에, 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)의 특성 열화(임계치 전압의 시프트)를 억제할 수 있다. 또, 도 27의 플립플롭은 제 1 트랜지스터(2701) 및 제 2 트랜지스터(2702)는 각각 세트 기간만, 세트 기간 및 선택 기간에서만 온이 되기 때문에, 제 1 트랜지스터(2701) 및 제 2 트랜지스터(2702)의 특성 열화도 억제할 수 있다.
- [0237] 또, 도 27의 플립플롭은 비선택 기간 중, 제 1 비선택 기간에서 노드(2721) 및 제 6 배선(2716)에 V_1 이 공급되기 때문에 플립플롭의 오동작을 억제할 수 있다. 왜냐하면, 비선택 기간에서, 일정 기간마다(제 1 비선택 기간) 노드(2721) 및 제 6 배선(2716)에 V_1 이 공급되어 있어, 노드(2721) 및 제 6 배선(2716)의 전위를 안정적으로 V_1 로 유지할 수 있기 때문이다.
- [0238] 또, 도 27의 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)가 모두 P채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 27의 플립플롭은 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.
- [0239] 여기에서, 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703) 및 제 4 트랜지스터(2704)가 갖는 기능을 설명한다. 제 1 트랜지스터(2701)는 제 1 배선(2711)의 전위를 공급하는 타이밍을 선택하는 기능을 갖고, 입력용 트랜지스터로서 기능한다. 제 2 트랜지스터(2702)는 제 3 배선(2713)의 전위를 제 6 배선(2716)에 공급하는 타이밍을 선택하여, 노드(2721)의 전위를 부트스트랩 동작에 의해서 감소시키는 기능을 갖고, 부트스트랩용 트랜지스터로서 기능한다. 제 3 트랜지스터(2703)는 제 2 배선(2712)의 전위를 노드(2721)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 4 트랜지스터(2704)는 제

2 배선(2712)의 전위를 제 6 배선(2716)에 공급하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.

- [0240] 또, 도 27과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 27에 한정되지 않는다. 도 27의 플립 플롭의 동작을 설명한 도 29로부터 알 수 있는 바와 같이, 본 실시형태에서는 세트 기간, 선택 기간, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간은 각각 도 29a 내지 29e에 도시하는 실선과 같이 도통을 취하고 있으면 좋다. 따라서, 이것을 만족시키기 위해서 트랜지스터 등을 배치하고, 동작시킬 수 있는 구성이면, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.
- [0241] 예를 들면, 도 30에 도시하는 바와 같이, 도 27에 도시한 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이에 용량 소자(3001)를 배치하여도 좋다. 용량 소자(3001)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(3001)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 27의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0242] 또, 용량 소자(3001)는 도 4의 용량 소자(401)에 상당한다.
- [0243] 도 31의 플립플롭에서도, 도 27과 같은 동작을 할 수 있다. 도 31에 도시하는 바와 같이, 도 27에 도시한 제 1 트랜지스터(2701)가 다이오드 접속으로 되어 있어도 좋다. 제 1 트랜지스터(2701)가 다이오드 접속됨으로써, 제 1 배선(2711)이 불필요하게 되어, 배선 및 전원(V2)을 1개씩 줄일 수 있다. 또, 도 27의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0244] 또한, 본 실시형태에 개시한 플립플롭을 도 6 및 도 8의 시프트 레지스터에 적용할 수 있다. 실시형태 1 내지 실시형태 4와 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(601)의 단수가 단상의 클록 신호를 사용한 경우와 비교하여 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다. 단, 제 1 배선(611) 및 제 2 배선(612)에 공급되는 전위와 제 3 배선(613), 제 4 배선(614), 제 5 배선(615) 및 제 6 배선(616)에 입력되는 신호와 배선(622)에 출력되는 신호는 각각, N채널형 트랜지스터로 구성된 플립플롭을 도 6 및 도 8의 시프트 레지스터에 적용한 경우와 비교하여, H레벨, L레벨이 반전하고 있다.
- [0245] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1 내지 실시형태 4와 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.
- [0246] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0247] (실시형태 6)
- [0248] 본 실시형태에서는 실시형태 5와는 다른 구성의 P채널형 트랜지스터로 구성된 플립플롭을 도 32에 도시한다. 또, 실시형태 5와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0249] 도 32에 도시하는 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704) 및 제 5 트랜지스터(3205)를 갖는다. 또, 플립플롭은 제 1 배선(2711), 제 2 배선(2712), 제 3 배선(2713), 제 4 배선(2714), 제 5 배선(2715), 제 6 배선(2716) 및 제 7 배선(3217)에 접속되어 있다. 본 실시형태에 있어서, 제 5 트랜지스터(3205)는 P채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압의 절대치($|V_{gs}|$)가 임계치 전압($|V_{th}|$)을 상회하였을 때(V_{gs} 가 V_{th} 를 하회하였을 때), 도통 상태가 되는 것으로 한다. 또, 제 7 배선(3217)을, 제 3 신호선이라고 불러도 좋다.
- [0250] 또, 제 5 트랜지스터(3205)는 도 13의 제 5 트랜지스터(1305)에 상당한다. 또한, 제 7 배선(3217)은 도 13의 제 7 배선(1317)에 상당한다.

- [0251] 제 1 트랜지스터(2701)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(2711)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(2715)에 접속되어 있다. 제 3 트랜지스터(2703)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 2 트랜지스터(2702)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 제 4 트랜지스터(2704)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 5 트랜지스터(3205)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 7 배선(3217)에 접속되어 있다.
- [0252] 또, 제 3 트랜지스터(2703)의 제 1 단자, 제 4 트랜지스터(2704)의 제 1 단자 및 제 5 트랜지스터(3205)의 제 1 단자는 제 2 배선(2712)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(2703)의 게이트 단자 및 제 4 트랜지스터(2704)의 게이트 단자는 제 4 배선(2714)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.
- [0253] 다음에, 도 32에서 도시한 플립플롭의 동작에 관해서, 도 33의 타이밍 차트를 참조하여 설명한다. 또, 도 33은 도 32의 플립플롭을 도 27에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 28의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.
- [0254] 또, 제 7 배선(3217)에는 신호가 입력되어 있다. 제 7 배선(3217)에 입력되는 신호는 제 3 클록 신호이다. 또한, 제 7 배선(3217)에 입력되는 신호는 H신호의 전위가 V1(이하, H레벨이라고도 함), L신호의 전위가 V2(이하, L레벨이라고도 함)의 디지털 신호이다.
- [0255] 단, 제 7 배선(3217)에는 제 3 클록 신호가 입력되어 있는 것에 한정되지 않고, 다른 신호가 입력되어도 좋고, 일정한 전위 또는 전류가 입력되어 있어도 좋다.
- [0256] 도 33에서, 신호(3317)는 제 7 배선(3217)에 입력되는 신호이다.
- [0257] 도 32의 플립플롭에서는 세트 기간 및 제 2 비선택 기간에서 제 5 트랜지스터(3205)가 온이 된다. 그리고, 제 6 배선(2716)은 제 5 트랜지스터(3205)를 통해서 제 2 배선(2712)의 전위가 공급되기 때문에 H레벨을 유지한다.
- [0258] 이상으로부터, 도 32의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간, 제 3 비선택 기간 중, 제 1 비선택 기간 및 제 2 비선택 기간에서 제 6 배선(2716)에 V1이 공급되기 때문에 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서, 일정 기간마다(제 1 비선택 기간 및 제 2 비선택 기간) 제 6 배선(2716)에 V1이 공급되어 있고, 제 6 배선(2716)의 전위를 안정적으로 V1로 유지할 수 있기 때문이다.
- [0259] 또, 도 32의 플립플롭은 제 5 트랜지스터(3205)는 세트 기간 및 제 2 비선택 기간에서만 온이 되기 때문에, 제 5 트랜지스터(3205)의 특성 열화를 억제할 수 있다.
- [0260] 또, 도 32의 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704) 및 제 5 트랜지스터(3205)가 모두 P채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 32의 플립플롭은 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.
- [0261] 여기에서, 제 5 트랜지스터(3205)가 갖는 기능을 설명한다. 제 5 트랜지스터(3205)는 제 2 배선(2712)의 전위를 제 6 배선(2716)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.
- [0262] 또, 도 32와 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 32에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.
- [0263] 예를 들면, 도 34에 도시하는 바와 같이, 도 32에 도시한 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이에 용량 소자(3401)를 배치하여도 좋다. 용량 소자(3401)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(3401)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층

으로서 증간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 32의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0264] 또, 용량 소자(3401)는 도 15의 용량 소자(1501)에 상당한다.

[0265] 도 35의 플립플롭에서도, 도 32와 같은 동작을 할 수 있다. 도 35에 도시하는 바와 같이, 도 32에 도시한 제 1 트랜지스터(2701)가 다이오드 접속되어 있어도 좋다. 제 1 트랜지스터(2701)가 다이오드 접속됨으로써, 제 1 배선(2711)이 불필요하게 되어, 배선 및 전원(V2)을 1개씩 줄일 수 있다. 또, 도 32의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0266] 또한, 본 실시형태에 개시한 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용할 수 있다. 실시형태 1 내지 실시형태 5와 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우와 비교하여 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다. 단, 제 1 배선(611) 및 제 2 배선(612)에 공급되는 전위와 제 3 배선(613), 제 4 배선(614), 제 5 배선(615) 및 제 6 배선(616)에 입력되는 신호와 배선(622)에 출력되는 신호는 각각, N채널형 트랜지스터로 구성된 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용한 경우와 비교하여, H레벨, L레벨이 반전하고 있다.

[0267] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1 내지 실시형태 5와 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.

[0268] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.

[0269] (실시형태 7)

[0270] 본 실시형태에서는 실시형태 5 및 실시형태 6과는 다른 구성의 플립플롭을 도 36에 도시한다. 또, 실시형태 5 및 실시형태 6과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0271] 도 36에 도시하는 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704), 제 5 트랜지스터(3205), 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608) 및 제 9 트랜지스터(3609)를 갖고 있다. 또, 플립플롭은 제 1 배선(2711), 제 2 배선(2712), 제 3 배선(2713), 제 4 배선(2714), 제 5 배선(2715), 제 6 배선(2716) 및 제 7 배선(3217)에 접속되어 있다. 본 실시형태에 있어서, 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608) 및 제 9 트랜지스터(3609)는 P채널형 트랜지스터로 하고, 그 게이트와 소스간의 전압의 절대치($|V_{gs}|$)가 임계치 전압($|V_{th}|$)을 상회하였을 때(V_{gs} 가 V_{th} 를 하회하였을 때), 도통 상태가 되는 것으로 한다.

[0272] 제 1 트랜지스터(2701)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(2711)에 접속되고, 제 2 단자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(2715)에 접속되어 있다. 제 3 트랜지스터(2703)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 2 트랜지스터(2702)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 제 4 트랜지스터(2704)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 5 트랜지스터(3205)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 7 배선(3217)에 접속되어 있다. 제 6 트랜지스터(3606)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 8 트랜지스터(3208)의 게이트 단자에 접속되고, 게이트 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되어 있다. 제 7 트랜지스터(3607)의 제 1 단자는 제 1 배선(2711)에 접속되고, 제 2 단자는 제 8 트랜지스터(3608)의 게이트 단자에 접속되고, 게이트 단자는 제 1 배선(2711)에 접속되어 있다. 제 8 트랜지스터(3608)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 9 트랜지스터(3609)의 게이트 단자에 접속되어 있다. 제 9 트랜지스터(3609)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 또, 제 6 트랜지스터(3606)의 제 2 단자, 제 7 트랜지스터(3607)의 제 2 단자 및 제 8 트랜지스터(3608)의 게이트 단자의 접속 개소를 노트

(3622)로 한다. 또한, 제 8 트랜지스터(3608)의 제 2 단자 및 제 9 트랜지스터(3609)의 게이트 단자의 접속 개소를 노드(3623)로 한다.

[0273] 또, 제 3 트랜지스터(2703)의 제 1 단자, 제 4 트랜지스터(2704)의 제 1 단자, 제 5 트랜지스터(3205)의 제 1 단자, 제 6 트랜지스터(3606)의 제 1 단자 및 제 9 트랜지스터(3609)의 제 1 단자는 제 2 배선(2712)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(2703)의 게이트 단자 및 제 4 트랜지스터(2704)의 게이트 단자는 제 4 배선(2714)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 1 트랜지스터(2701)의 제 1 단자, 제 7 트랜지스터(3607)의 제 1 단자 및 제 7 트랜지스터(3607)의 게이트 단자는 제 1 배선(2711)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 2 트랜지스터(2702)의 제 1 단자 및 제 8 트랜지스터(3608)의 제 1 단자는 제 3 배선(2713)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.

[0274] 다음에, 도 36에서 도시한 플립플롭의 동작에 관해서, 도 37의 타이밍 차트를 참조하여 설명한다. 또, 도 37은 도 36의 플립플롭을 도 27 및 도 32에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 28 및 도 33의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.

[0275] 도 37에 있어서, 전위(3722)는 도 36의 노드(3622)의 전위이고, 전위(3723)는 도 36의 노드(3623)의 전위이다.

[0276] 도 36의 플립플롭에서는 제 3 비선택 기간에서 제 9 트랜지스터(3609)가 온이 된다. 그리고, 제 6 배선(2716)은 제 9 트랜지스터(3609)를 통해서 제 2 배선(2712)의 전위가 공급되기 때문에 H레벨을 유지한다.

[0277] 구체적으로 제 9 트랜지스터(3609)의 온 및 오프의 제어를 설명한다. 우선, 제 6 트랜지스터(3606) 및 제 7 트랜지스터(3607)는 인버터를 구성하고 있고, 트랜지스터(3606)의 게이트 단자에 L레벨이 입력되면, 노드(3622)의 전위(전위(3722))가 대략 V_1 이 된다. 단, 이 때의 전위(3722)는 이 때의 제 6 트랜지스터(3606)와 제 7 트랜지스터(3607)의 저항비에 의해서 결정하기 때문에, V_1 보다도 조금 낮은 값이 된다. 또한, 제 6 트랜지스터(3606)의 게이트 단자에 H레벨이 입력되면, 노드(3622)의 전위가 제 1 배선(2711)의 전위와 제 7 트랜지스터(3607)의 임계치 전압의 절대치의 합이 되기 때문에 $V_2 + |V_{th3607}|$ 이 된다. 따라서, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서는 노드(2721)가 H레벨이고, 노드(3622)가 L레벨이 되기 때문에 제 8 트랜지스터(3608)는 온이 된다. 따라서, 제 9 트랜지스터(3609)는 제 3 배선(2713)에 입력되는 신호에 의해서 제어되기 때문에, 제 3 비선택 기간에서 온이 되고, 제 1 비선택 기간 및 제 2 비선택 기간에서 오프가 된다. 한편, 세트 기간 및 선택 기간에서는 노드(2721)가 L레벨이고, 노드(3622)가 H레벨이 되기 때문에 제 8 트랜지스터(3608)는 오프가 된다. 따라서, 제 9 트랜지스터(3609)의 게이트 단자의 전위가 세트 기간 전의 기간인 제 1 비선택 기간의 전위, 요컨대 H레벨을 유지하기 때문에, 제 9 트랜지스터(3609)는 오프가 된다.

[0278] 이상으로부터, 도 36의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서 제 6 배선(2716)에 V_1 이 공급되기 때문에, 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서 제 6 배선(2716)에 V_1 을 공급할 수 있기 때문이다. 또한, 도 36의 플립플롭은 비선택 기간에서 제 6 배선(2716)에 V_1 이 공급되기 때문에, 제 6 배선(2716)의 노이즈를 적게 할 수 있다.

[0279] 또, 도 36의 플립플롭은 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608) 및 제 9 트랜지스터(3609)의 특성 열화를 억제할 수 있다. 왜냐하면, 제 6 트랜지스터(3606)는 세트 기간 및 선택 기간에서만 온이 되기 때문이다. 또한, 제 7 트랜지스터(3607)는 선택 기간 후의 제 1 비선택 기간 중 노드(3622)의 전위가 $V_2 + |V_{th3607}|$ 까지 감소하는 기간에서만 온이 되기 때문이다. 또한, 제 8 트랜지스터(3608)는 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간 중 노드(3623)의 전위가 $V_2 + \delta$ ($\delta : |V_{th3607}| + |V_{th3608}|$)까지 감소하는 기간에서만 온이 되기 때문이다. 또한, 제 9 트랜지스터(3609)는 제 3 비선택 기간에서만 온이 되기 때문이다.

[0280] 또, 도 36의 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704), 제 5 트랜지스터(3205), 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608) 및 제 9 트랜지스터(3609)가 모두 P채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 36의 플립플롭은 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.

[0281] 여기에서, 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608) 및 제 9 트랜지스터(3609)가 갖는 기능을 설명한다. 제 6 트랜지스터(3606)는 제 2 배선(2712)의 전위를 노드(3622)에 공급하는 타이밍을

선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 7 트랜지스터(3607)는 제 1 배선(2711)의 전위를 노드(3622)에 공급하는 타이밍을 선택하는 기능을 갖고, 다이오드로서 기능한다. 제 8 트랜지스터(3608)는 제 3 배선(2713)의 전위를 노드(3623)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 9 트랜지스터(3609)는 제 2 배선(2712)의 전위를 제 6 배선(2716)에 공급하는 타이밍을 선택하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.

[0282] 또, 도 36과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 36에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.

[0283] 예를 들면, 도 38에 도시하는 바와 같이, 도 36에 도시한 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이에 용량 소자(3801)를 배치하여도 좋다. 용량 소자(3801)를 배치함으로써, 선택 기간에서의 부트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(3801)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 36의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0284] 도 39의 플립플롭에서도, 도 36과 같은 동작을 할 수 있다. 도 39에 도시하는 바와 같이, 도 36에 도시한 제 1 트랜지스터(2701)가 다이오드 접속하여도 좋다. 제 1 트랜지스터(2701)가 다이오드 접속됨으로써, 제 1 배선(2711)에 흐르는 전류가 작아지기 때문에, 제 1 배선(2711)의 배선펙을 작게 할 수 있다. 또, 도 36의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.

[0285] 또한, 본 실시형태에 개시한 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용할 수 있다. 실시형태 1 내지 실시형태 6과 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우의 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다. 단, 제 1 배선(611) 및 제 2 배선(612)에 공급되는 전위와 제 3 배선(613), 제 4 배선(614), 제 5 배선(615) 및 제 6 배선(616)에 입력되는 신호와 배선(622)에 출력되는 신호는 각각, N채널형 트랜지스터로 구성된 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용한 경우와 비교하여, H레벨, L레벨이 반전하고 있다.

[0286] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1 내지 실시형태 6과 같이 화소부와 일체로 형성한 주사전 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.

[0287] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의 구성도 자유롭게 조합하여 실시할 수 있다.

[0288] (실시형태 8)

[0289] 본 실시형태에서는 실시형태 5, 실시형태 6 및 실시형태 7과는 다른 구성의 플립플롭을 도 40에 도시한다. 또, 실시형태 5, 실시형태 6 및 실시형태 7과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0290] 도 40에 도시하는 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704), 제 5 트랜지스터(3205), 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608), 제 9 트랜지스터(3609), 제 10 트랜지스터(4010), 제 11 트랜지스터(4011) 및 제 12 트랜지스터(4012)를 갖고 있다. 또, 플립플롭은 제 1 배선(2711), 제 2 배선(2712), 제 3 배선(2713), 제 4 배선(2714), 제 5 배선(2715), 제 6 배선(2716) 및 제 7 배선(3217)에 접속되어 있다. 본 실시형태에 있어서, 제 10 트랜지스터(4010), 제 11 트랜지스터(4011) 및 제 12 트랜지스터(4012)는 P채널형 트랜지스터로 하고, 그 게이트와 소스 간의 전압의 절대치($|V_{gs}|$)가 임계치 전압($|V_{th}|$)을 상회하였을 때(V_{gs} 가 V_{th} 를 하회하였을 때), 도통 상태가 되는 것으로 한다.

[0291] 제 1 트랜지스터(2701)의 제 1 단자(소스 단자 및 드레인 단자의 한쪽)는 제 1 배선(2711)에 접속되고, 제 2 단

자(소스 단자 및 드레인 단자의 다른쪽)는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 5 배선(2715)에 접속되어 있다. 제 3 트랜지스터(2703)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 2 트랜지스터(2702)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 제 4 트랜지스터(2704)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 4 배선(2714)에 접속되어 있다. 제 5 트랜지스터(3205)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되고, 게이트 단자는 제 7 배선(3217)에 접속되어 있다. 제 6 트랜지스터(3606)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 8 트랜지스터(3608)의 게이트 단자 및 제 11 트랜지스터(4011)의 게이트 단자에 접속되고, 게이트 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되어 있다. 제 7 트랜지스터(3607)의 제 1 단자는 제 1 배선(2711)에 접속되고, 제 2 단자는 제 8 트랜지스터(3608)의 게이트 단자 및 제 11 트랜지스터(4011)의 게이트 단자에 접속되고, 게이트 단자는 제 1 배선(2711)에 접속되어 있다. 제 8 트랜지스터(3608)의 제 1 단자는 제 3 배선(2713)에 접속되고, 제 2 단자는 제 9 트랜지스터(3609)의 게이트 단자 및 제 10 트랜지스터(4010)의 게이트 단자에 접속되어 있다. 제 9 트랜지스터(3609)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 6 배선(2716)에 접속되어 있다. 제 10 트랜지스터(4010)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되어 있다. 제 11 트랜지스터(4011)의 제 1 단자는 제 7 배선(3217)에 접속되고, 제 2 단자는 제 12 트랜지스터(4012)의 게이트 단자에 접속되어 있다. 제 12 트랜지스터(4012)의 제 1 단자는 제 2 배선(2712)에 접속되고, 제 2 단자는 제 2 트랜지스터(2702)의 게이트 단자에 접속되어 있다. 또, 제 11 트랜지스터(4011)의 제 2 단자 및 제 12 트랜지스터(4012)의 게이트 단자의 접속 개소를 노드(4024)로 한다.

[0292] 또, 제 3 트랜지스터(2703)의 제 2 단자, 제 4 트랜지스터(2704)의 제 2 단자, 제 5 트랜지스터(3205)의 제 2 단자, 제 6 트랜지스터(3606)의 제 2 단자, 제 9 트랜지스터(3609)의 제 2 단자, 제 10 트랜지스터(4010)의 제 2 단자 및 제 12 트랜지스터(4012)의 제 2 단자는 제 2 배선(2712)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 3 트랜지스터(2703)의 게이트 단자 및 제 4 트랜지스터(2704)의 게이트 단자는 제 4 배선(2714)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 1 트랜지스터(2701)의 제 1 단자, 제 7 트랜지스터(3607)의 제 1 단자 및 제 7 트랜지스터(3607)의 게이트 단자는 제 1 배선(2711)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 2 트랜지스터(2702)의 제 1 단자 및 제 8 트랜지스터(3608)의 제 1 단자는 제 3 배선(2713)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다. 또한, 제 5 트랜지스터(3205)의 게이트 단자 및 제 11 트랜지스터(4011)의 제 1 단자는 제 7 배선(3217)에 접속되어 있는 것에 한정되지 않고, 각각의 배선에 접속되어 있어도 좋다.

[0293] 다음에, 도 40에서 도시한 플립플롭의 동작에 관해서, 도 41의 타이밍 차트를 참조하여 설명한다. 도 41은 도 40의 플립플롭을 도 27, 도 32 및 도 36에 도시한 플립플롭과 같이 동작시키는 경우의 타이밍 차트이다. 또, 도 28, 도 33 및 도 37의 타이밍 차트와 공통되는 부분은 공통된 부호를 참조하여 설명을 생략한다.

[0294] 도 41에 있어서, 전위(4124)는 도 40의 노드(4024)의 전위이다.

[0295] 도 40의 플립플롭에서는 제 3 비선택 기간에서 제 10 트랜지스터(4010)가 온이 된다. 그리고, 노드(2721)는 제 10 트랜지스터(4010)를 통해서 제 2 배선(2712)의 전위가 공급되기 때문에 H레벨을 더욱 안정적으로 유지할 수 있다. 또, 도 40의 플립플롭에서는 제 1 비선택 기간에서 제 12 트랜지스터(4012)가 온이 된다. 그리고, 노드(2721)는 제 12 트랜지스터(4012)를 통해서 제 2 배선(2712)의 전위가 공급되기 때문에 H레벨을 더욱 안정적으로 유지할 수 있다.

[0296] 구체적으로 제 12 트랜지스터(4012)의 온 및 오프의 제어를 설명한다. 또, 제 10 트랜지스터(4010)의 온 및 오프의 제어는 실시형태 7에 개시한 제 9 트랜지스터(3609)의 온 및 오프의 제어와 같다. 우선, 도 36의 플립플롭과 같이 제 6 트랜지스터(3606) 및 제 7 트랜지스터(3607)는 인버터를 구성하고 있다. 따라서, 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서는 노드(2721)가 H레벨이고, 노드(3622)가 L레벨이 되기 때문에 제 11 트랜지스터(4011)는 온이 된다. 따라서, 제 12 트랜지스터(4012)는 제 7 배선(3217)에 입력되는 신호에 의해서 제어되기 때문에, 제 2 비선택 기간에서 온되고, 제 1 비선택 기간 및 제 3 비선택 기간에서 오프가 된다. 한편, 세트 기간 및 선택 기간에서는 노드(2721)가 L레벨이고, 노드(3622)가 H레벨이 되기 때문에 제 11 트랜지스터(4011)는 오프가 된다. 따라서, 제 12 트랜지스터(4012)의 게이트 단자의 전위가 세트 기간 전의 기간인 제 1 비선택 기간의 전위, 요컨대 H레벨을 유지하기 때문에, 제 12 트랜지스터(4012)는 오프가 된다.

- [0297] 이상으로부터, 도 40의 플립플롭은 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간에서 제 6 배선(2716) 및 노드(2721)에 V1이 공급되기 때문에, 플립플롭의 오동작을 더욱 억제할 수 있다. 왜냐하면, 비선택 기간에서 제 6 배선(2716) 및 노드(2721)에 V1을 공급할 수 있기 때문이다. 또한, 도 40의 플립플롭은 비선택 기간에서 제 6 배선(2716) 및 노드(2721)에 V1이 공급되기 때문에, 제 6 배선(2716) 및 노드(2721)의 노이즈를 적게 할 수 있다.
- [0298] 또, 도 40의 플립플롭은 제 10 트랜지스터(4010), 제 11 트랜지스터(4011) 및 제 12 트랜지스터(4012)의 특성 열화를 억제할 수 있다. 왜냐하면, 제 10 트랜지스터(4010)는 제 3 비선택 기간에서만 온이 되기 때문이다. 또한, 제 11 트랜지스터(4011)는 제 1 비선택 기간, 제 2 비선택 기간 및 제 3 비선택 기간 중 노드(4024)의 전위가 $V2 + \varepsilon$ ($\varepsilon : |V_{th3607}| + |V_{th4011}|$)까지 감소하는 기간에서만 온이 되기 때문이다. 또한, 제 12 트랜지스터(4012)는 제 2 비선택 기간에서만 온이 되기 때문이다.
- [0299] 또, 도 40의 플립플롭은 제 1 트랜지스터(2701), 제 2 트랜지스터(2702), 제 3 트랜지스터(2703), 제 4 트랜지스터(2704), 제 5 트랜지스터(3205), 제 6 트랜지스터(3606), 제 7 트랜지스터(3607), 제 8 트랜지스터(3608), 제 9 트랜지스터(3609), 제 10 트랜지스터(4010), 제 11 트랜지스터(4011) 및 제 12 트랜지스터(4012)가 모두 P채널형 트랜지스터로 구성되어 있는 것을 특징으로 한다. 따라서, 도 40의 플립플롭은 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다.
- [0300] 여기에서, 제 10 트랜지스터(4010), 제 11 트랜지스터(4011) 및 제 12 트랜지스터(4012)가 갖는 기능을 설명한다. 제 10 트랜지스터(4010)는 제 2 배선(2712)의 전위를 노드(2721)에 공급하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 11 트랜지스터(4011)는 제 7 배선(3217)의 전위를 노드(4024)에 공급하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다. 제 12 트랜지스터(4012)는 제 2 배선(2712)의 전위를 노드(2721)에 공급하는 기능을 갖고, 스위칭 트랜지스터로서 기능한다.
- [0301] 또, 도 40과 같은 동작을 하는 것이면, 트랜지스터의 배치 및 수 등은 도 23에 한정되지 않는다. 따라서, 트랜지스터, 그 밖의 소자(저항 소자, 용량 소자 등), 다이오드, 스위치, 여러 가지 논리 회로 등을 새롭게 배치하여도 좋다.
- [0302] 예를 들면, 도 42에 도시하는 바와 같이, 도 40에 도시한 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이에 용량 소자(4201)를 배치하여도 좋다. 용량 소자(4201)를 배치함으로써, 선택 기간에서의 부스트스트랩 동작을 더욱 안정적으로 할 수 있다. 또한, 제 2 트랜지스터(2702)의 게이트 단자와 제 2 단자의 사이의 기생용량을 작게 할 수 있기 때문에, 각 트랜지스터를 고속으로 스위칭시킬 수 있다. 또, 용량 소자(4201)는 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 배선층을 사용하여도 좋고, 절연층으로서 게이트 절연막을 사용하고 도전층으로서 게이트 전극층 및 불순물이 첨가된 반도체층을 사용하여도 좋고, 절연층으로서 층간막(절연막)을 사용하고 도전층으로서 배선층 및 투명전극층을 사용하여도 좋다. 또, 도 40의 구성과 공통되는 부분은 공통된 부호를 사용하고 그 설명을 생략한다.
- [0303] 도 43의 플립플롭에서도, 도 40과 같은 동작을 할 수 있다. 도 43에 도시하는 바와 같이, 도 40에 도시한 제 1 트랜지스터(2701)가 다이오드 접속하여도 좋다. 제 1 트랜지스터(2701)가 다이오드 접속됨으로써, 제 1 배선(2711)에 흐르는 전류가 작아지기 때문에, 제 1 배선(2711)의 배선펙을 작게 한다.
- [0304] 또한, 본 실시형태에 개시한 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용할 수 있다. 실시형태 1 내지 실시형태 7과 같이, 3상의 클록 신호를 사용할 수 있기 때문에 전력 절감화를 실현할 수 있다. 또한, 본 실시형태의 시프트 레지스터는 각 클록 신호선(제 3 배선(613), 제 4 배선(614), 제 5 배선(615))에 접속되어 있는 플립플롭(1701)의 단수가 단상의 클록 신호를 사용한 경우와 비교하여 2/3가 되기 때문에, 각 클록 신호선의 부하를 작게 할 수 있다. 단, 제 1 배선(611) 및 제 2 배선(612)에 공급되는 전위와 제 3 배선(613), 제 4 배선(614), 제 5 배선(615) 및 제 6 배선(616)에 입력되는 신호와 배선(622)에 출력되는 신호는 각각, N채널형 트랜지스터로 구성된 플립플롭을 도 17 및 도 18의 시프트 레지스터에 적용한 경우와 비교하여, H레벨, L레벨이 반전하고 있다.
- [0305] 또한, 본 실시형태에 개시한 시프트 레지스터를 도 9, 도 11, 도 12 및 도 44의 표시 장치에 적용할 수 있다. 실시형태 1 내지 실시형태 7과 같이 화소부와 일체로 형성한 주사선 구동 회로에 본 실시형태를 적용함으로써, 표시 장치의 수명을 길게 할 수 있다.
- [0306] 또, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 시프트 레지스터나 플립플롭의

구성도 자유롭게 조합하여 실시할 수 있다.

- [0307] (실시형태 9)
- [0308] 본 실시형태에서는 실시형태 1 내지 실시형태 8에 개시한 표시 장치가 갖는 화소의 일례에 관해서 도 46을 참조하여 설명한다.
- [0309] 도 46의 화소 구성에 관해서 설명한다. 도 46a에 도시하는 화소는 트랜지스터(4601), 용량 소자(4602), 표시 소자(4621)를 갖는다. 또, 화소는 제 1 배선(4611), 제 2 배선(4612) 및 제 3 배선(4613)에 접속되어 있다. 또한, 표시 소자(4621)에는 도 46b에 도시하는 바와 같이 화소전극(4623)과 대향전극(4622)과의 사이의 전계에 의해서 광의 투과율이 변화하는 액정 소자(4631)를 사용한 경우에 관해서 설명한다. 또, 제 1 배선(4611)을 신호선이라고 불러도 좋다. 또한, 제 2 배선(4612)을 주사선이라고 불러도 좋다. 또한, 제 3 배선(4613)을 유지용량선이라고 불러도 좋다.
- [0310] 또, 트랜지스터(4601)는 N채널형의 트랜지스터를 나타내고 있지만, P채널형의 트랜지스터이어도 좋다. 실시형태 1 내지 실시형태 4에서는 트랜지스터(4601)로서 N채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해지기 때문이다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 또한, 실시형태 5 내지 실시형태 8에서는 트랜지스터(4601)로서 P채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다.
- [0311] 또, 제 1 배선(4611)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 신호선 S1 내지 Sm의 어느 하나에 상당한다. 제 2 배선(4612)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 주사선 G1 내지 Gn의 어느 하나에 상당한다.
- [0312] 또, 제 3 배선(4613)은 도 9, 도 11, 도 12 및 도 44에는 도시하지 않았지만, 이미 설명한 바와 같이 필요에 따라서 도 9, 도 11, 도 12 및 도 44에 추가하면 좋다.
- [0313] 또, 용량 소자(4602)는 표시 소자(4621)의 화소전극(4623)의 전위를 유지하는 역할을 하고 있다. 따라서, 용량 소자(4602)는 화소전극(4623)과 제 3 배선(4613)과의 사이에 접속되어 있지만 이것에 한정되지 않는다. 화소전극(4623)의 전위를 유지할 수 있도록 배치되어 있으면 좋고, 다른(예를 들면, 전행) 화소의 제 2 배선(4612)에 접속되어 있어도 좋고, 대향전극(4622) 또는 대향전극(4622)에 상당하는 전극에 접속되어 있어도 좋다. 또한, 표시 소자(4621)가 용량성을 갖고 있으면, 용량 소자(4602) 및 제 3 배선(4613)은 반드시 필요하지 않다.
- [0314] 동작방법으로서 제 1 배선(4611)을 선택하여, 트랜지스터(4601)를 온 상태로 하고, 제 1 배선(4611)으로부터 비디오 신호를 화소전극(4623) 및 용량 소자(4602)에 입력한다. 이와 같이 하면, 표시 소자(4621)가 비디오 신호에 따른 투과율이 된다.
- [0315] 여기에서, 표시 장치를 고화질화할 수 있는 구동 방법에 관해서 설명한다. 또, 표시 장치를 고화질화할 수 있는 구동 방법으로서, 오버드라이브 구동 방법, 코먼선(유지 용량선)을 제어하는 구동 방법, 백라이트 스캔, 고주파 구동 방법 등을 설명한다. 또한, 이들의 구동 방법은 자유롭게 조합하여 실시할 수 있다.
- [0316] 우선, 오버드라이브 구동에 관해서, 도 47을 참조하여 설명한다. 도 47a는 표시 소자의 입력전압에 대한 출력 휘도의 시간 변화를 나타낸 것이다. 파선으로 도시한 입력전압 1에 대한 표시 소자의 출력 휘도의 시간 변화는 마찬가지로 파선으로 도시한 출력 휘도 1과 같이 된다. 즉, 목적으로 하는 출력 휘도 Low를 얻기 위한 전압은 V_i 이지만, 입력전압으로서 V_i 를 그대로 입력한 경우는 목적으로 하는 출력 휘도 Low에 도달할 때까지, 소자의 응답속도에 대응한 시간을 요하여 버린다.
- [0317] 오버드라이브 구동은 이 응답속도를 빠르게 하기 위한 기술이다. 구체적으로는 우선, V_i 보다도 큰 전압인 V_o 를 소자에 일정시간 부여하는 것으로 소자의 응답속도를 높여, 목적으로 하는 출력 휘도 Low에 가깝게 한 후에, 입력전압을 V_i 로 되돌리는 방법이다. 이때의 입력전압은 입력전압 2, 출력 휘도는 출력 휘도 2로 나타내게 된다. 출력 휘도 2의 그래프는 목적으로 하는 휘도 Low에 도달할 때까지의 시간이, 출력 휘도 1의 그래프보다도 짧게 되어 있다.
- [0318] 또, 도 47a에서는 입력전압에 대하여 출력 휘도가 정(正)의 변화를 하는 경우에 관해서 설명하였지만, 입력전압

에 대하여 출력 휘도가 부(負)의 변화를 하는 경우도, 본 발명은 포함하고 있다.

- [0319] 이러한 구동을 실현하기 위한 회로에 관해서, 도 47b 및 도 47c를 참조하여 설명한다. 우선, 도 47b를 참조하여, 입력 영상 신호 Gi가 아날로그치(이산치이어도 좋다)를 취하는 신호이고, 출력영상 신호 Go도 아날로그치를 취하는 신호인 경우에 관해서 설명한다. 도 47b에 도시하는 오버드라이브회로는 부호화회로(4701), 프레임 메모리(4702), 보정 회로(4703), DA 변환 회로(4704)를 구비한다.
- [0320] 입력 영상 신호 Gi는 우선, 부호화회로(4701)에 입력되어 부호화된다. 요컨대, 아날로그 신호로부터, 적절한 비트수의 디지털 신호로 변환된다. 그 후, 변환된 디지털 신호는 프레임 메모리(4702)와 보정 회로(4703)에 각각 입력된다. 보정 회로(4703)에는 프레임 메모리(4702)에 보유되어 있던 전(前)프레임의 영상 신호도 동시에 입력된다. 그리고, 보정 회로(4703)에서, 상기 프레임의 영상 신호와 전프레임의 영상 신호로부터, 미리 준비된 수치 테이블에 따라서, 보정된 영상 신호를 출력한다. 이 때, 보정 회로(4703)에 출력전환신호를 입력하여, 보정된 영상 신호와 상기 프레임의 영상 신호를 바꿔 출력할 수 있도록 하여도 좋다. 다음에, 보정된 영상 신호 또는 상기 프레임의 영상 신호는 DA 변환 회로(4704)에 입력된다. 그리고, 보정된 영상 신호 또는 상기 프레임의 영상 신호에 따른 값의 아날로그 신호인 출력영상 신호 Go가 출력된다. 이렇게 하여, 오버드라이브 구동을 실현할 수 있다.
- [0321] 계속해서, 도 47c를 참조하여, 입력 영상 신호 Gi가 디지털값을 취하는 신호이고, 출력영상 신호 Go도 디지털값을 취하는 신호인 경우에 관해서 설명한다. 도 47c에 도시하는 오버드라이브회로는 프레임 메모리(4712), 보정 회로(4713)를 구비한다.
- [0322] 입력 영상 신호 Gi는 디지털 신호이고, 우선, 프레임 메모리(4712)와 보정 회로(4713)에 각각 입력된다. 보정 회로(4713)에는 프레임 메모리(4712)에 보유되어 있던 전프레임의 영상 신호도, 동시에 입력된다. 그리고, 보정 회로(4713)에 있어서, 상기 프레임의 영상 신호와 전프레임의 영상 신호로부터, 미리 준비된 수치 테이블에 따라서, 보정된 영상 신호를 출력한다. 이 때, 보정 회로(4713)에 출력전환신호를 입력하여, 보정된 영상 신호와 상기 프레임의 영상 신호를 바꿔 출력할 수 있도록 하여도 좋다. 이렇게 하여, 오버드라이브 구동을 실현할 수 있다.
- [0323] 또, 보정된 영상 신호를 얻기 위한 수치 테이블의 조합은 1SF에서 취할 수 있는 계조의 수와 2SF에서 취할 수 있는 계조의 수의 곱이 된다. 이 조합의 수는 작을수록, 보정 회로(4713) 내에 격납하는 데이터량이 작아지기 때문에 바람직하다. 본 실시형태에서는 명화상을 표시하는 서브프레임이 최고 휘도가 될 때까지의 중간조에서는 암화상의 휘도는 0이고, 명화상을 표시하는 서브프레임이 최고 휘도가 되고 나서 최고 계조가 될 때까지는 명화상의 휘도는 일정하기 때문에, 이 조합의 수를 대폭으로 작게 할 수 있다.
- [0324] 또, 본 발명에서의 오버드라이브회로는 입력 영상 신호 Gi가 아날로그 신호이고, 출력영상 신호 Go가 디지털 신호인 경우도 포함한다. 이 때는 도 47b에 도시한 회로에서, DA 변환 회로(4704)를 생략하면 좋다. 또한, 본 발명에서의 오버드라이브회로는 입력 영상 신호 Gi가 디지털 신호이고, 출력영상 신호 Go가 아날로그 신호인 경우도 포함한다. 이 때는 도 47b에 도시한 회로에서, 부호화회로(4701)를 생략하면 좋다.
- [0325] 다음에, 코멘션의 전위를 조작하는 구동에 관해서, 도 48을 참조하여 설명한다. 도 48a는 액정 소자와 같은 용량적인 성질을 가지는 표시 소자를 사용한 표시 장치에서, 주사선 1개에 대하여, 코멘션이 1개 배치되어 있을 때의, 복수의 화소 회로를 도시한 도면이다. 도 48a에 도시하는 화소 회로는 트랜지스터(4801), 보조용량(4802), 표시 소자(4803), 영상 신호선(4804), 주사선(4805), 코멘션(4806)을 구비하고 있다.
- [0326] 또, 트랜지스터(4801), 보조용량(4802), 표시 소자(4803), 영상 신호선(4804), 주사선(4805), 코멘션(4806) 각각은 도 46에 도시한 트랜지스터(4601), 용량 소자(4602), 표시 소자(4621), 제 1 배선(4611), 제 2 배선(4612), 제 3 배선(4613)에 상당한다.
- [0327] 트랜지스터(4801)의 게이트 단자는 주사선(4805)에 전기적으로 접속되고, 트랜지스터(4801)의 소스 단자 또는 드레인 단자의 한쪽은 영상 신호선(4804)에 전기적으로 접속되고, 트랜지스터(4801)의 소스 단자 또는 드레인 단자의 다른쪽은 보조용량(4802)의 한쪽의 단자, 및 표시 소자(4803)의 한쪽의 단자에 전기적으로 접속되어 있다. 또한, 보조용량(4802)의 다른쪽의 단자는 코멘션(4806)에 전기적으로 접속되어 있다.
- [0328] 우선, 주사선(4805)에 의해서 선택된 화소는 트랜지스터(4801)가 온이 되기 때문에, 각각, 영상 신호선(4804)을 통해서, 표시 소자(4803) 및 보조용량(4802)에 영상 신호에 대응한 전압이 가해진다. 이 때, 그 영상 신호가, 코멘션(4806)에 접속된 모든 화소에 대하여 최저 계조를 표시시키는 것인 경우, 또는 코멘션(4806)에 접속된 모든 화소에 대하여 최고 계조를 표시시키는 것인 경우는 화소에 각각 영상 신호선(4804)을 통해서 영상 신호를

기록할 필요는 없다. 영상 신호선(4804)을 통해서 영상 신호를 기록하는 대신에, 코먼선(4806)의 전위를 움직이는 것으로, 표시 소자(4803)에 가해지는 전압을 바꿀 수 있다.

[0329] 계속해서, 도 48b는 액정 소자와 같은 용량적인 성질을 가지는 표시 소자를 사용한 표시 장치에서, 주사선 1개에 대하여, 코먼선이 2개 배치되어 있을 때의, 복수의 화소 회로를 도시한 도면이다. 도 48b에 도시하는 화소 회로는 트랜지스터(4811), 보조용량(4812), 표시 소자(4813), 영상 신호선(4814), 주사선(4815), 제 1 코먼선(4816), 제 2 코먼선(4817)을 구비하고 있다.

[0330] 트랜지스터(4811)의 게이트 단자는 주사선(4815)에 전기적으로 접속되고, 트랜지스터(4811)의 소스 단자 또는 드레인 단자의 한쪽은 영상 신호선(4814)에 전기적으로 접속되고, 트랜지스터(4811)의 소스 단자 또는 드레인 단자의 다른쪽은 보조용량(4812)의 한쪽의 단자, 및 표시 소자(4813)의 한쪽의 단자에 전기적으로 접속되어 있다. 또한, 보조용량(4812)의 다른쪽의 단자는 제 1 코먼선(4816)에 전기적으로 접속되어 있다. 또한, 상기 화소와 인접하는 화소에서는 보조용량(4812)의 다른쪽의 단자는 제 2 코먼선(4817)에 전기적으로 접속되어 있다.

[0331] 도 48b에 도시하는 화소 회로는 코먼선 1개에 대하여 전기적으로 접속되어 있는 화소가 적기 때문에, 영상 신호선(4814)을 통해서 영상 신호를 기록하는 대신에, 제 1 코먼선(4816) 또는 제 2 코먼선(4817)의 전위를 움직이는 것으로, 표시 소자(4813)에 가해지는 전압을 바꿀 수 있는 빈도가 현저히 커진다. 또한, 소스 반전 구동 또는 도트 반전 구동이 가능하게 된다. 소스 반전 구동 또는 도트 반전 구동에 의해, 소자의 신뢰성을 향상시켜, 플리커를 억제할 수 있다.

[0332] 다음에, 주사형 백라이트에 관해서, 도 49를 참조하여 설명한다. 도 49a는 냉음극관을 병치한 주사형 백라이트를 도시하는 도면이다. 도 49a에 도시하는 주사형 백라이트는 확산판(4901)과 N개의 냉음극관(4902-1부터 4902-N)을 구비한다. N개의 냉음극관(4902-1부터 4902-N)을, 확산판(4901)의 뒤에 병치하는 것으로, N개의 냉음극관(4902-1부터 4902-N)은 그 휘도를 변화시켜 주사할 수 있다.

[0333] 주사할 때의 각 냉음극관의 휘도의 변화를, 도 49c를 참조하여 설명한다. 우선, 냉음극관(4902-1)의 휘도를, 일정시간 변화시킨다. 그리고, 그 후에, 냉음극관(4902-1)의 옆에 배치된 냉음극관(4902-2)의 휘도를, 같은 시간만큼 변화시킨다. 이와 같이, 냉음극관(4902-1)부터 냉음극관(4902-N)까지, 휘도를 차례로 변화시킨다. 또, 도 49c에서는 일정시간 변화시키는 휘도는 원래의 휘도보다 작은 것으로 하였지만, 원래의 휘도보다 커도 좋다. 또한, 냉음극관(4902-1)부터 냉음극관(4902-N)까지 주사한다고 하였지만, 역방향으로 냉음극관(4902-N)부터 냉음극관(4902-1)까지 주사하여도 좋다.

[0334] 또, 휘도가 작은 기간의 백라이트 휘도는 암화상을 삽입하는 서브프레임의 최고 휘도와 같은 정도로 하는 것이 적합하다. 구체적으로는 암화상을 1SF에 삽입하는 경우는 1SF의 최고 휘도 L_{max1} , 암화상을 2SF에 삽입하는 경우는 2SF의 최고 휘도 L_{max2} 로 하는 것이 바람직하다.

[0335] 또, 주사형 백라이트의 광원으로서, LED를 사용하여도 좋다. 그 경우의 주사형 백라이트는 도 49b와 같이 된다. 도 49b에 도시하는 주사형 백라이트는 확산판(4911)과 LED를 병치한 광원(4912-1부터 4912-N)을 구비한다. 주사형 백라이트의 광원으로서, LED를 사용한 경우, 백라이트를 얇고, 가볍게 할 수 있는 이점이 있다. 또한, 색재현 범위를 확대할 수 있다고 하는 이점이 있다. 또, LED를 병치한 광원(4912-1부터 4912-N)의 각각에 병치한 LED도, 마찬가지로 주사할 수 있기 때문에, 점 주사형의 백라이트로 할 수도 있다. 점 주사형으로 하면, 동화상의 화질을 더욱 향상시킬 수 있다.

[0336] 다음에, 고주파 구동에 관해서, 도 50을 참조하여 설명한다. 도 50a는 프레임 주파수가 60Hz일 때 암화상을 삽입하여 구동할 때의 도면이다. 5001은 상기 프레임의 명화상, 5002는 상기 프레임의 암화상, 5003은 다음 프레임의 명화상, 5004는 다음 프레임의 암화상이다. 60Hz로 구동하는 경우는 영상 신호의 프레임 레이트와 정합성을 취하기 쉽고, 화상 처리회로가 복잡해지지 않는다고 하는 이점이 있다.

[0337] 도 50b는 프레임 주파수가 90Hz일 때 암화상을 삽입하여 구동할 때의 도면이다. 5011은 상기 프레임의 명화상, 5012는 상기 프레임의 암화상, 5013은 상기 프레임과 다음 프레임과 다다음 프레임으로부터 작성한 제 1 화상의 명화상, 5014는 상기 프레임과 다음 프레임과 다다음 프레임으로부터 작성한 제 1 화상의 암화상, 5015는 상기 프레임과 다음 프레임과 다다음 프레임으로부터 작성한 제 2 화상의 명화상, 5016은 상기 프레임과 다음 프레임과 다다음 프레임으로부터 작성한 제 2 화상의 암화상이다. 90Hz로 구동하는 경우는 주변 구동 회로의 동작 주파수를 그 만큼 고속화하지 않고, 효과적으로 동화상의 화질을 향상시킬 수 있다고 하는 이점이 있다.

[0338] 도 50c는 프레임 주파수가 120Hz일 때 암화상을 삽입하여 구동할 때의 도면이다. 5021은 상기 프레임의

명화상, 5022는 상기 프레임의 암화상, 5023은 상기 프레임과 다음 프레임으로부터 작성한 화상의 명화상, 5024는 상기 프레임과 다음 프레임으로부터 작성한 화상의 암화상, 5025는 다음 프레임의 명화상, 5026은 다음 프레임의 암화상, 5027은 다음 프레임과 다다음 프레임으로부터 작성한 화상의 명화상, 5028은 다음 프레임과 다다음 프레임으로부터 작성한 화상의 암화상이다. 120Hz로 구동하는 경우는 동화상의 화질 개선 효과가 현저하여, 거의 잔상을 느끼지 않는다는 이점이 있다.

- [0339] 도 46에 도시한 화소의 상면도 및 단면도를 도 51 내지 도 55에 도시한다. 도 51 내지 도 55는 액정의 동작 모드가 각각 다르다.
- [0340] 우선, 도 51은 액정 표시 장치의 화소 구조 중, TN 방식이라고 불리는 것에, 박막 트랜지스터(TFT)를 조합한 경우의 화소의 단면도와 상면도이다. 도 51a는 화소의 단면도이고, 도 51b는 화소의 상면도이다. 또한, 도 51a에 도시하는 화소의 단면도는 도 51b에 도시하는 화소의 상면도에서의 선분 a-a'에 대응하고 있다. 도 51에 도시하는 화소 구조의 액정 표시 장치에 본 발명을 적용함으로써, 저가로 액정 표시 장치를 제조할 수 있다.
- [0341] 도 51a를 참조하여, TN 방식의 액정 표시 장치의 화소 구조에 관해서 설명한다. 액정 표시 장치는 액정 패널이라고 불리는, 화상을 표시하는 기간부분을 갖는다. 액정 패널은 가공을 실시한 2장의 기판을, 수 μ m의 갭을 갖게 하여 접합하여, 2장의 기판간에 액정 재료를 주입하는 것으로 제작된다. 도 51a에 있어서, 2장의 기판은 제 1 기판(5101), 및 제 2 기판(5116)이다. 제 1 기판에는 TFT 및 화소전극을 제작하고, 또한, 제 2 기판에는 차광막(5114), 컬러필터(5115), 제 4 도전층(5113), 스페이서(5117), 및 제 2 배향막(5112)을 제작하여도 좋다.
- [0342] 또, 본 발명은 제 1 기판(5101)에 TFT를 제작하지 않아도 실시 가능하다. TFT를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, TFT를 제작하여 본 발명을 실시하는 경우는 더욱 대형의 표시 장치를 얻을 수 있다.
- [0343] 또, 도 51에 도시하는 TFT는 비정질 반도체를 사용한 보텀 게이트형의 TFT이고, 대면적의 기판을 사용하여, 저가로 제작할 수 있다고 하는 이점이 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 사용할 수 있는 TFT의 구조는 보텀 게이트형의 TFT에서는 채널 에치형, 채널 보호형 등이 있다. 또한, 탑 게이트형이어도 좋다. 또, 비정질 반도체뿐만 아니라, 다결정 반도체도 사용할 수 있다.
- [0344] 또, 본 발명은 제 2 기판(5116)에 차광막(5114)을 제작하지 않아도 실시 가능하다. 차광막(5114)을 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 차광막(5114)을 제작하여 본 발명을 실시하는 경우는 흑표시시에 광누설이 적은 표시 장치를 얻을 수 있다.
- [0345] 또, 본 발명은 제 2 기판(5116)에 컬러필터(5115)를 제작하지 않아도 실시 가능하다. 컬러필터(5115)를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 컬러필터(5115)를 제작하여 본 발명을 실시하는 경우는 컬러 표시를 할 수 있는 표시 장치를 얻을 수 있다.
- [0346] 또, 본 발명은 제 2 기판(5116)에 스페이서(5117)를 제작하지 않고, 구형(球形)의 스페이서를 퍼트리는 것이어도 실시 가능하다. 구형의 스페이서를 퍼트리는 것으로 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 스페이서(5117)를 제작하여 본 발명을 실시하는 경우는 스페이서의 위치가 흩어지지 않기 때문에, 2장의 기판간의 거리를 일정하게 할 수 있고, 표시 불균일함이 적은 표시 장치를 얻을 수 있다.
- [0347] 다음에, 제 1 기판(5101)에 실시하는 가공에 관해서 설명한다. 제 1 기판(5101)은 투광성을 갖는 기판이 적합하고, 예를 들면 석영기판, 유리기판 또는 플라스틱기판이어도 좋다. 또, 제 1 기판(5101)은 차광성의 기판이어도 좋고, 반도체 기판, SOI(Silicon On Insulator)기판이어도 좋다.
- [0348] 우선, 제 1 기판(5101)에 제 1 절연막(5102)을 성막하여도 좋다. 제 1 절연막(5102)은 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막(SiO_xN_y) 등의 절연막이어도 좋다. 또는 이들의 막의 적어도 2개의 막을 조합한 적층 구조의 절연막을 사용하여도 좋다. 제 1 절연막(5102)을 성막하여 본 발명을 실시하는 경우는 기판으로부터의 불순물이 반도체층에 영향을 미쳐, TFT의 성질이 변화하여 버리는 것을 막을 수 있기 때문에, 신뢰성이 높은 표시 장치를 얻을 수 있다. 또, 제 1 절연막(5102)을 성막하지 않고 본 발명을 실시하는 경우는 공정수가 감소

하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다.

- [0349] 다음에, 제 1 기판(5101) 또는 제 1 절연막(5102)상에, 제 1 도전층(5103)을 형성한다. 또, 제 1 도전층(5103)은 형상을 가공하여 형성하여도 좋다. 형상을 가공하는 공정은 다음과 같은 것이 적합하다. 우선, 제 1 도전층(5103)을 전체면에 성막한다. 이 때, 스퍼터장치, 또는 CVD 장치 등의 성막장치를 사용하여도 좋다. 다음에, 전체면에 성막한 제 1 도전층(5103)상에, 감광성의 레지스트 재료를 전면에 형성한다. 다음에, 포토리소그래피법이나 레이저 직묘법(直描法) 등에 의해서, 형성하고자 하는 형상에 따라서 레지스트 재료를 감광시킨다. 다음에, 감광시킨 레지스트 재료, 또는 감광시키지 않은 레지스트 재료 중, 어느 한쪽을, 에칭에 의해서 제거하는 것으로, 제 1 도전층(5103)을 형상 가공하기 위한 마스크를 얻을 수 있다. 그 후, 형성한 마스크 패턴에 따라서, 제 1 도전층(5103)을 에칭에 의해 제거하는 것으로, 원하는 패턴으로 제 1 도전층(5103)을 형상 가공할 수 있다. 또, 제 1 도전층(5103)을 에칭하는 방법에는 화학적인 방법(웨트 에칭)과 물리적인 방법(드라이 에칭)이 있지만, 제 1 도전층(5103)의 재료나, 제 1 도전층(5103)의 하층에 있는 재료의 성질 등을 감안하여, 적절하게 선택한다. 또, 제 1 도전층(5103)에 사용하는 재료는 Mo, Ti, Al, Nd, Cr 등이 적합하다. 또는 이들의 적층 구조이어도 좋다. 또, 이들의 합금을 단층 또는 적층 구조로 하여, 제 1 도전층(5103)으로서 형성하여도 좋다.
- [0350] 다음에, 제 2 절연막(5104)을 형성한다. 이때, 스퍼터장치, 또는 CVD 장치 등의 성막장치를 사용하여도 좋다. 또, 제 2 절연막(5104)에 사용하는 재료는 열산화막, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등이 적합하다. 또는 이들의 적층 구조이어도 좋다. 또, 제 1 반도체층(5105)에 접하는 부분의 제 2 절연막(5104)은 산화실리콘막인 것이 특히 적합하다. 그것은 산화실리콘막으로 하면 반도체층(5105)과의 계면에서의 트랩 준위가 적어지기 때문이다. 또, 제 1 도전층(5103)을 Mo로 형성할 때는 제 1 도전층(5103)과 접하는 부분의 제 2 절연막(5104)은 질화실리콘막이 바람직하다. 그것은 질화실리콘막은 Mo를 산화시키지 않기 때문이다.
- [0351] 다음에, 제 1 반도체층(5105)을 형성한다. 그 후, 제 2 반도체층(5106)을 연속하여 형성하는 것이 적합하다. 또, 제 1 반도체층(5105) 및 제 2 반도체층(5106)은 형상을 가공하여 형성하여도 좋다. 형상을 가공하는 방법은 상술한 포토리소그래피법 등의 방법인 것이 적합하다. 또, 제 1 반도체층(5105)에 사용하는 재료는 실리콘 또는 실리콘게르마늄(SiGe) 등이 적합하다. 또한, 제 2 반도체층(5106)에 사용하는 재료는 인 등을 포함한 실리콘 등이 적합하다.
- [0352] 다음에, 제 2 도전층(5107)을 형성한다. 이 때, 스퍼터법 또는 인쇄법을 이용하는 것이 적합하다. 또, 제 2 도전층(5107)에 사용하는 재료는 투명성을 갖고 있어도 좋고, 반사성을 갖고 있어도 좋다. 투명성을 갖는 경우는 예를 들면, 산화인듐에 산화주석을 섞은 인듐주석산화물(ITO)막, 인듐주석산화물(ITO)에 산화규소를 섞은 인듐주석규소산화물(ITSO)막, 산화인듐에 산화아연을 섞은 인듐아연산화물(IZO)막, 산화아연막, 또는 산화주석막을 사용할 수 있다. 또, IZO는 ITO에 2 내지 20중량%의 산화아연(ZnO)을 혼합시킨 타깃을 사용하여 스퍼터링에 의해 형성되는 투명 도전 재료이다. 한편, 반사성을 갖는 경우는 Ti, Mo, Ta, Cr, W, Al 등을 사용할 수 있다. 또한, Ti, Mo, Ta, Cr, W와 Al을 적층시킨 2층 구조, Al을 Ti, Mo, Ta, Cr, W 등의 금속을 사이에 둔 3층 적층 구조로 하여도 좋다. 또, 제 2 도전층(5107)은 형상을 가공하여 형성하여도 좋다. 형상을 가공하는 방법은 상술한 포토리소그래피법 등의 방법인 것이 적합하다. 또, 에칭방법은 드라이 에칭으로 하는 것이 적합하다. 드라이 에칭은 ECR(Electron Cyclotron Resonance)나 ICP(Inductive Coupled Plasma) 등의 고밀도 플라즈마원을 사용한 드라이 에칭장치에 의해서 행하여져도 좋다.
- [0353] 다음에, TFT의 채널영역을 형성한다. 이 때, 제 2 도전층(5107)을 마스크로 하여, 제 2 반도체층(5106)의 에칭을 하여도 좋다. 이와 같이 하는 것으로, 마스크 매수를 줄일 수 있기 때문에, 제조비용을 저감할 수 있다. 도전성을 갖는 제 2 반도체층(5106)의 에칭을 하는 것으로, 제거된 부분이 TFT의 채널영역이 된다. 또, 제 1 반도체층(5105)과 제 2 반도체층(5106)을 연속으로 형성하지 않고, 제 1 반도체층(5105)의 형성 후, TFT의 채널영역이 되는 부분에 스톱퍼가 되는 막을 성막 및 패턴 가공하고, 그 후, 제 2 반도체층(5106)을 형성하여도 좋다. 이와 같이 하는 것으로, 제 2 도전층(5107)을 마스크로서 사용하지 않고, TFT의 채널영역을 형성할 수 있기 때문에, 레이아웃 패턴의 자유도가 커지는 이점이 있다. 또한, 제 2 반도체층(5106)의 에칭시에 제 1 반도체층(5105)까지 에칭하여 버리지 않기 때문에, 에칭 불량을 일으키지 않고, 확실히 TFT의 채널영역을 형성할 수 있는 이점이 있다.
- [0354] 다음에, 제 3 절연막(5108)을 형성한다. 제 3 절연막(5108)은 투명성을 갖고 있는 것이 적합하다. 또, 제 3 절연막(5108)에 사용하는 재료는 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘 등) 또는 저유전율의 유기 화합물 재료(감광성 또는 비감광성의 유기수지 재료) 등이 적합하다. 또한, 실록산을 포함하는 재료를 사용하

어도 좋다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성되는 재료이다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족탄화수소)가 사용된다. 치환기로서 플루오로기를 사용하여도 좋다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와 플루오로기를 사용하여도 좋다. 제 3 절연막(5108)은 적층 구조이어도 좋다. 또, 제 3 절연막(5108)은 형상을 가공하여 형성하여도 좋다. 형상을 가공하는 방법은 상술한 포토리소그래피법 등의 방법인 것이 적합하다. 이 때, 동시에 제 2 절연막(5104)도 에칭하는 것으로, 제 3 절연막(5108)뿐만 아니라, 제 1 도전층(5103)과의 콘택트 홀을 형성할 수 있다. 또, 제 3 절연막(5108)의 표면은 될 수 있는 한 평탄한 것이 적합하다. 그것은 액정이 접하는 면의 요철에 의해, 액정분자의 배향이 영향을 받기 때문이다.

[0355] 다음에, 제 3 도전층(5109)을 형성한다. 이 때, 스퍼터법 또는 인쇄법을 이용하는 것이 적합하다. 또, 제 3 도전층(5109)에 사용하는 재료는 제 2 도전층(5107)과 같이, 투명성을 갖고 있어도 좋고, 반사성을 갖고 있어도 좋다. 또, 제 3 도전층(5109)으로서 사용할 수 있는 재료는 제 2 도전층(5107)과 동일하여도 좋다. 또한, 제 3 도전층(5109)은 형상을 가공하여 형성하여도 좋다. 형상을 가공하는 방법은 제 2 도전층(5107)과 동일하여도 좋다.

[0356] 다음에, 제 1 배향막(5110)을 형성한다. 배향막(5110)에는 폴리이미드 등의 고분자막을 사용할 수 있다. 또, 제 1 배향막(5110)을 형성 후, 액정분자의 배향을 제어하기 위해서, 러빙을 하여도 좋다. 러빙은 천으로 배향막을 문지름으로써, 배향막에 선을 긋는 공정이다. 러빙을 함으로써, 배향막에 배향성을 갖게 할 수 있다.

[0357] 이상과 같이 제작한 제 1 기관(5101)과 차광막(5114), 컬러필터(5115), 제 4 도전층(5113), 스페이서(5117), 및 제 2 배향막(5112)을 제작한 제 2 기관(5116)을, 밀봉재에 의해서 수 μm 의 갭을 갖게 하여 접합하고, 2장의 기관간에 액정 재료를 주입하는 것으로, 액정 패널이 제작할 수 있다. 또, 도 51에 도시하는 TN 방식의 액정 패널에서는 제 4 도전층(5113)은 제 2 기관(5116)의 전면에 제작되어 있어도 좋다.

[0358] 다음에, 도 51에 도시하는 TN 방식의 액정 패널의 화소 구조의 특징에 관해서 설명한다. 도 51a에 도시한 액정 분자(5118)는 장축과 단축을 가진 가늘고 긴 분자이다. 액정분자(5118)의 방향을 나타내기 위해서, 도 51a에서는 그 길이에 의해서 표현하고 있다. 즉, 길게 표현된 액정분자(5118)는 그 장축의 방향이 지면에 평행하고, 짧게 표현된 액정분자(5118)일 수록, 그 장축의 방향이 지면의 법선방향에 가깝게 되어 있는 것으로 한다. 요컨대, 도 51a에 도시한 액정분자(5118)는 제 1 기관(5101)에 가까운 것과, 제 2 기관(5116)에 가까운 것에서는 그 장축의 방향이 90도 다르고, 이들의 중간에 위치하는 액정분자(5118)의 장축의 방향은 이들을 매끄럽게 연결하는 방향이 된다. 즉, 도 51a에 도시한 액정분자(5118)는 제 1 기관(5101)과 제 2 기관(5116)의 사이에서, 90도 뒤틀려 있는 배향 상태가 되어 있다.

[0359] 다음에, 도 51b를 참조하여, TN 방식의 액정 표시 장치에 본 발명을 적용한 경우의, 화소의 레이아웃의 일례에 관해서 설명한다. 본 발명을 적용한 TN 방식의 액정 표시 장치의 화소는 주사선(5121)과 영상 신호선(5122)과 용량선(5123)과 TFT(5124)와 화소전극(5125)과 화소용량(5126)을 구비하고 있어도 좋다.

[0360] 주사선(5121)은 TFT(5124)의 게이트 단자와 전기적으로 접속되기 때문에, 제 1 도전층(5103)으로 구성되어 있는 것이 적합하다.

[0361] 영상 신호선(5122)은 TFT(5124)의 소스 단자 또는 드레인 단자와 전기적으로 접속되기 때문에, 제 2 도전층(5107)으로 구성되어 있는 것이 적합하다. 또한, 주사선(5121)과 영상 신호선(5122)은 매트릭스형으로 배치되기 때문에, 적어도 다른 층의 도전층으로 형성되는 것이 적합하다.

[0362] 용량선(5123)은 화소전극(5125)과 평행하게 배치되는 것으로, 화소용량(5126)을 형성하기 위한 배선이고, 제 1 도전층(5103)으로 구성되어 있는 것이 적합하다. 또, 도 51b에 도시하는 바와 같이, 용량선(5123)은 영상 신호선(5122)을 따라, 영상 신호선(5122)을 둘러싸도록 연결되어 있어도 좋다. 이와 같이 하는 것으로, 영상 신호선(5122)의 전위 변화에 따라, 전위를 유지해야 하는 전극의 전위가 변화하여 버리는 현상, 소위 크로스토크를 저감할 수 있다. 또, 영상 신호선(5122)과의 교차용량을 저감시키기 위해서, 도 51b에 도시하는 바와 같이, 제 1 반도체층(5105)을 용량선(5123)과 영상 신호선(5122)의 교차영역에 형성하여도 좋다.

[0363] TFT(5124)는 영상 신호선(5122)과 화소전극(5125)을 도통시키는 스위치로서 동작한다. 또, 도 51b에 도시하는 바와 같이, TFT(5124)의 소스 영역 또는 드레인 영역의 어느 한쪽을, 소스 영역 또는 드레인 영역의 다른쪽을 둘러싸도록 배치하여도 좋다. 이와 같이 하는 것으로, 작은 면적으로 큰 채널폭을 얻을 수 있고, 스위칭 능력을 크게 할 수 있다. 또, 도 51b에 도시하는 바와 같이, TFT(5124)의 게이트 단자는 제 1 반도체층(5105)을 둘러싸도록 배치하여도 좋다.

- [0364] 화소전극(5125)은 TFT(5124)의 소스 단자 또는 드레인 단자의 한쪽에 전기적으로 접속된다. 화소전극(5125)은 영상 신호선(5122)에 의해서 전달된 신호전압을 액정 소자에 부여하기 위한 전극이다. 또한, 용량선(5123)과 화소용량(5126)을 형성하여도 좋다. 이와 같이 하는 것으로, 영상 신호선(5122)에 의해서 전달된 신호전압을 유지하는 역할도 가질 수 있다. 또, 화소전극(5125)은 도 51b에 도시하는 바와 같이, 직사각형이어도 좋다. 이와 같이 하는 것으로, 화소의 개구율을 크게 할 수 있기 때문에, 액정 표시 장치의 효율이 향상된다. 또한, 화소전극(5125)을, 투명성을 갖는 재료로 제작한 경우는 투과형의 액정 표시 장치를 얻을 수 있다. 투과형의 액정 표시 장치는 색의 재현성이 높고, 높은 화질을 가진 영상을 표시할 수 있다. 또한, 화소전극(5125)을, 반사성을 갖는 재료로 제작한 경우는 반사형의 액정 표시 장치를 얻을 수 있다. 반사형의 액정 표시 장치는 옥외 등의 밝은 환경하에서의 시인성이 높고, 또한, 백라이트가 불필요하기 때문에, 소비전력을 대단히 작게 할 수 있다. 또, 화소전극(5125)을, 투명성을 갖는 재료 및 반사성을 갖는 재료의 양쪽을 사용하여 작성한 경우는 양자의 이점을 함께 가진, 반투과형의 액정 표시 장치를 얻을 수 있다. 또, 화소전극(5125)을, 반사성을 갖는 재료로 제작한 경우는 화소전극(5125)의 표면에 요철을 갖게 하여도 좋다. 이와 같이 하는 것으로, 반사광이 난 반사하기 때문에, 반사광의 강도 분포의 각도 의존성이 작아지는 이점이 있다. 요컨대, 어떤 각도에서 보아도, 일정한 밝기를 가진 반사형의 액정 표시 장치를 얻을 수 있다.
- [0365] 다음에, 도 52를 참조하여, VA(Vertical Alignment) 모드의 액정 표시 장치에, 본 발명을 적용한 경우를 설명한다. 도 52는 VA 모드의 액정 표시 장치의 화소 구조 중, 배향 제어용 돌기를 사용하는 것으로, 액정분자가 여러 가지 방향을 가지도록 제어하여, 시야각을 크게 한, 소위 MVA(Multi-domain Vertical Alignment) 방식에, 본 발명을 적용한 경우의, 화소의 단면도와 상면도이다. 도 52a는 화소의 단면도이고, 도 52b는 화소의 상면도이다. 또한, 도 52a에 도시하는 화소의 단면도는 도 52b에 도시하는 화소의 상면도에서의 선분 a-a'에 대응하고 있다. 도 52에 도시하는 화소 구조의 액정 표시 장치에 본 발명을 적용함으로써, 시야각이 크고, 응답속도가 빠르고, 콘트라스트가 큰 액정 표시 장치를 얻을 수 있다.
- [0366] 도 52a를 참조하여, MVA 방식의 액정 표시 장치의 화소 구조에 관해서 설명한다. 액정 표시 장치는 액정 패널이라고 불리는, 화상을 표시하는 기간부분을 갖는다. 액정 패널은 가공을 실시한 2장의 기판을, 수 μ m의 갭을 갖게 하여 접합하여, 2장의 기판간에 액정 재료를 주입하는 것으로 제작된다. 도 52a에 있어서, 2장의 기판은 제 1 기판(5201), 및 제 2 기판(5216)이다. 제 1 기판에는 TFT 및 화소전극을 제작하고, 또한, 제 2 기판에는 차광막(5214), 컬러필터(5215), 제 4 도전층(5213), 스페이서(5217), 제 2 배향막(5212), 및 배향 제어용 돌기(5219)를 제작하여도 좋다.
- [0367] 또, 본 발명은 제 1 기판(5201)에 TFT를 제작하지 않아도 실시 가능하다. TFT를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, TFT를 제작하여 본 발명을 실시하는 경우는 더욱 대형의 표시 장치를 얻을 수 있다.
- [0368] 또, 도 52에 도시하는 TFT는 비정질 반도체를 사용한 보텀 게이트형의 TFT이고, 대면적의 기판을 사용하여, 저가로 제작할 수 있다고 하는 이점이 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 사용할 수 있는 TFT의 구조는 보텀 게이트형의 TFT에서는 채널 에치형, 채널 보호형 등이 있다. 또한, 톱 게이트형이어도 좋다. 또, 비정질 반도체뿐만 아니라, 다결정 반도체도 사용할 수 있다.
- [0369] 또, 본 발명은 제 2 기판(5216)에 차광막(5214)을 제작하지 않아도 실시 가능하다. 차광막(5214)을 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 차광막(5214)을 제작하여 본 발명을 실시하는 경우는 흑표시시에 광누설이 적은 표시 장치를 얻을 수 있다.
- [0370] 또, 본 발명은 제 2 기판(5216)에 컬러필터(5215)를 제작하지 않아도 실시 가능하다. 컬러필터(5215)를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 컬러필터(5215)를 제작하여 본 발명을 실시하는 경우는 컬러 표시를 할 수 있는 표시 장치를 얻을 수 있다.
- [0371] 또, 본 발명은 제 2 기판(5216)에 스페이서(5217)를 제작하지 않고, 구형의 스페이서를 퍼트리는 것이라도 실시 가능하다. 구형의 스페이서를 퍼트리는 것으로 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 스페이서(5217)를 제작하여 본 발명을 실시하는 경우는 스페이서의 위치가 흩어지지 않기 때문에, 2장의 기판간의 거리를 일정하게

할 수 있고, 표시 불균일함이 적은 표시 장치를 얻을 수 있다.

- [0372] 다음에, 제 1 기관(5201)에 실시하는 가공에 관해서는 도 51에서 설명한 방법을 이용하여도 좋기 때문에 생략한다. 여기에서, 제 1 기관(5201), 제 1 절연막(5202), 제 1 도전층(5203), 제 2 절연막(5204), 제 1 반도체층(5205), 제 2 반도체층(5206), 제 2 도전층(5207), 제 3 절연막(5208), 제 3 도전층(5209), 제 1 배향막(5210)이, 각각, 도 51에서의 제 1 기관(5101), 제 1 절연막(5102), 제 1 도전층(5103), 제 2 절연막(5104), 제 1 반도체층(5105), 제 2 반도체층(5106), 제 2 도전층(5107), 제 3 절연막(5108), 제 3 도전층(5109), 제 1 배향막(5110)과 대응한다. 또, 도시는 하지 않지만, 제 1 기관층에도, 배향 제어용 돌기를 형성하여도 좋다. 이와 같이 하는 것으로, 더욱 확실하게 액정분자의 배향을 제어할 수 있다. 또한, 제 1 배향막(5210) 및 제 2 배향막(5212)은 수직 배향막이어도 좋다. 이와 같이 하는 것으로, 액정분자(5218)를 수직으로 배향할 수 있다.
- [0373] 이상과 같이 제작한 제 1 기관(5201)과 차광막(5214), 컬러필터(5215), 제 4 도전층(5213), 스페이서(5217), 및 제 2 배향막(5212)을 제작한 제 2 기관(5216)을, 밀봉재에 의해서 수 μ m의 갭을 갖게 하여 접합하고, 2장의 기관간에 액정 재료를 주입하는 것으로, 액정 패널이 제작할 수 있다. 또, 도 52에 도시하는 MVA 방식의 액정 패널에서는 제 4 도전층(5213)은 제 2 기관(5216)의 전체면에 제작되어 있어도 좋다. 또한, 제 4 도전층(5213)에 접하여, 배향 제어용 돌기(5219)를 제작하여도 좋다. 또, 배향 제어용 돌기(5219)의 형상에 한정은 없지만, 매끄러운 곡면을 가진 형상인 것이 적합하다. 이와 같이 하는 것으로, 근접하는 액정분자(5218)의 배향이 극히 가까운 것이 되기 때문에, 배향 불량에 저감된다. 또한, 제 2 배향막(5212)이, 배향 제어용 돌기(5219)에 의해서 단(段) 끊김이 생기는 것에 의한 배향막의 불량도 저감할 수 있다.
- [0374] 다음에, 도 52에 도시하는 MVA 방식의 액정 패널의 화소 구조의 특징에 관해서 설명한다. 도 52a에 도시한 액정분자(5218)는 장축과 단축을 가진 가늘고 긴 분자이다. 액정분자(5218)의 방향을 나타내기 위해서, 도 52a에서는 그 길이에 의해서 표현하고 있다. 즉, 길게 표현된 액정분자(5218)는 그 장축의 방향이 지면에 평행하고, 짧게 표현된 액정분자(5218)일 수록, 그 장축의 방향이 지면의 법선방향에 가깝게 되어 있는 것으로 한다. 요컨대, 도 52a에 도시한 액정분자(5218)는 그 장축의 방향이 배향막의 법선방향을 향하도록 배향하고 있다. 따라서 배향 제어용 돌기(5219)가 있는 부분의 액정분자(5218)는 배향 제어용 돌기(5219)를 중심으로 하여 방사형으로 배향한다. 이 상태가 됨으로써, 시야각이 큰 액정 표시 장치를 얻을 수 있다.
- [0375] 다음에, 도 52b를 참조하여, MVA 방식의 액정 표시 장치에 본 발명을 적용한 경우의, 화소의 레이아웃의 일례에 관해서 설명한다. 본 발명을 적용한 MVA 방식의 액정 표시 장치의 화소는 주사선(5221)과 영상 신호선(5222)과 용량선(5223)과 TFT(5224)와 화소전극(5225)과 화소용량(5226)과 배향 제어용 돌기(5219)를 구비하고 있어도 좋다.
- [0376] 주사선(5221)은 TFT(5224)의 게이트 단자와 전기적으로 접속되기 때문에, 제 1 도전층(5203)으로 구성되어 있는 것이 적합하다.
- [0377] 영상 신호선(5222)은 TFT(5224)의 소스 단자 또는 드레인 단자와 전기적으로 접속되기 때문에, 제 2 도전층(5207)으로 구성되어 있는 것이 적합하다. 또한, 주사선(5221)과 영상 신호선(5222)은 매트릭스형으로 배치되기 때문에, 적어도, 다른 층의 도전층으로 형성되는 것이 적합하다.
- [0378] 용량선(5223)은 화소전극(5225)과 평행하게 배치되는 것으로, 화소용량(5226)을 형성하기 위한 배선이고, 제 1 도전층(5203)으로 구성되어 있는 것이 적합하다. 또, 도 52b에 도시하는 바와 같이, 용량선(5223)은 영상 신호선(5222)을 따라, 영상 신호선(5222)을 둘러싸도록 연결되어 있어도 좋다. 이와 같이 하는 것으로, 영상 신호선(5222)의 전위 변화에 따라, 전위를 유지해야 하는 전극의 전위가 변화하여 버리는 현상, 소위 크로스토크를 저감할 수 있다. 또, 영상 신호선(5222)과의 교차용량을 저감시키기 위해서, 도 52b에 도시하는 바와 같이, 제 1 반도체층(5205)을 용량선(5223)과 영상 신호선(5222)의 교차영역에 형성하여도 좋다.
- [0379] TFT(5224)는 영상 신호선(5222)과 화소전극(5225)을 도통시키는 스위치로서 동작한다. 또, 도 52b에 도시하는 바와 같이, TFT(5224)의 소스 영역 또는 드레인 영역의 어느 한쪽을, 소스 영역 또는 드레인 영역의 다른쪽을 둘러싸도록 배치하여도 좋다. 이와 같이 하는 것으로, 작은 면적으로 큰 채널폭을 얻을 수 있고, 스위칭 능력을 크게 할 수 있다. 또, 도 52b에 도시하는 바와 같이, TFT(5224)의 게이트 단자는 제 1 반도체층(5205)을 둘러싸도록 배치하여도 좋다.
- [0380] 화소전극(5225)은 TFT(5224)의 소스 단자 또는 드레인 단자의 한쪽에 전기적으로 접속된다. 화소전극(5225)은 영상 신호선(5222)에 의해서 전달된 신호전압을 액정 소자에 부여하기 위한 전극이다. 또한, 용량선(5223)과 화소용량(5226)을 형성하여도 좋다. 이와 같이 하는 것으로, 영상 신호선(5222)에 의해서 전달된 신호전압을

유지하는 역할도 가질 수 있다. 또, 화소전극(5225)은 도 52b에 도시하는 바와 같이, 직사각형이어도 좋다. 이와 같이 하는 것으로, 화소의 개구율을 크게 할 수 있기 때문에, 액정 표시 장치의 효율이 향상된다. 또한, 화소전극(5225)을, 투명성을 갖는 재료로 제작한 경우는 투과형의 액정 표시 장치를 얻을 수 있다. 투과형의 액정 표시 장치는 색의 재현성이 높고, 높은 화질을 가진 영상을 표시할 수 있다. 또한, 화소전극(5225)을, 반사성을 갖는 재료로 제작한 경우는 반사형의 액정 표시 장치를 얻을 수 있다. 반사형의 액정 표시 장치는 옥외 등의 밝은 환경하에서의 시인성이 높고, 또한, 백라이트가 불필요하기 때문에, 소비전력을 대단히 작게 할 수 있다. 또, 화소전극(5225)을, 투명성을 갖는 재료 및 반사성을 갖는 재료의 양쪽을 사용하여 작성한 경우는 양자의 이점을 함께 가진, 반투과형의 액정 표시 장치를 얻을 수 있다. 또, 화소전극(5225)을, 반사성을 갖는 재료로 제작한 경우는 화소전극(5225)의 표면에 요철을 갖게 하여도 좋다. 이와 같이 하는 것으로, 반사광이 난 반사하기 때문에, 반사광의 강도 분포의 각도 의존성이 작아지는 이점이 있다. 요컨대, 어떤 각도에서 보아도, 일정한 밝기를 가진 반사형의 액정 표시 장치를 얻을 수 있다.

[0381] 다음에, 도 53을 참조하여, VA(Vertical Alignment) 모드의 액정 표시 장치에, 본 발명을 적용한 경우의, 다른 예를 설명한다. 도 53은 VA 모드의 액정 표시 장치의 화소 구조 중, 제 4 도전층(5313)에 패턴 가공을 실시하는 것으로, 액정분자가 여러 가지 방향을 가지도록 제어하여, 시야각을 크게 한, 소위 PVA(Patterned Vertical Alignment) 방식에, 본 발명을 적용한 경우의, 화소의 단면도와 상면도이다. 도 53a는 화소의 단면도이고, 도 53b는 화소의 상면도이다. 또한, 도 53a에 도시하는 화소의 단면도는 도 53b에 도시하는 화소의 상면도에서의 선분 a-a'에 대응하고 있다. 도 53에 도시하는 화소 구조의 액정 표시 장치에 본 발명을 적용함으로써, 시야각이 크고, 응답속도가 빠르고, 콘트라스트가 큰 액정 표시 장치를 얻을 수 있다.

[0382] 도 53a를 참조하여, PVA 방식의 액정 표시 장치의 화소 구조에 관해서 설명한다. 액정 표시 장치는 액정 패널이라고 불리며, 화상을 표시하는 기간(基幹)부분을 갖는다. 액정 패널은, 가공을 실시한 2장의 기판을, 수 μ m의 갭을 갖게 하여 접합하여, 2장의 기판간에 액정 재료를 주입하는 것으로 제작된다. 도 53a에 있어서, 2장의 기판은 제 1 기판(5301), 및 제 2 기판(5316)이다. 제 1 기판에는 TFT 및 화소전극을 제작하고, 또한, 제 2 기판에는 차광막(5314), 컬러필터(5315), 제 4 도전층(5313), 스페이서(5317), 및 제 2 배향막(5312)을 제작하여도 좋다.

[0383] 또, 본 발명은 제 1 기판(5301)에 TFT를 제작하지 않아도 실시 가능하다. TFT를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, TFT를 제작하여 본 발명을 실시하는 경우는 더욱 대형의 표시 장치를 얻을 수 있다.

[0384] 또, 도 53에 도시하는 TFT는 비정질 반도체를 사용한 보텀 게이트형의 TFT이고, 대면적의 기판을 사용하여, 저가로 제작할 수 있다고 하는 이점이 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 사용할 수 있는 TFT의 구조는 보텀 게이트형의 TFT에서는 채널 에치형, 채널 보호형 등이 있다. 또한, 톱 게이트형이어도 좋다. 또, 비정질 반도체뿐만 아니라, 다결정 반도체도 사용할 수 있다.

[0385] 또, 본 발명은 제 2 기판(5316)에 차광막(5314)을 제작하지 않아도 실시 가능하다. 차광막(5314)을 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 차광막(5314)을 제작하여 본 발명을 실시하는 경우는 흑표시시에 광누설이 적은 표시 장치를 얻을 수 있다.

[0386] 또, 본 발명은 제 2 기판(5316)에 컬러필터(5315)를 제작하지 않아도 실시 가능하다. 컬러필터(5315)를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 컬러필터(5315)를 제작하여 본 발명을 실시하는 경우는 컬러 표시를 할 수 있는 표시 장치를 얻을 수 있다.

[0387] 또, 본 발명은 제 2 기판(5316)에 스페이서(5317)를 제작하지 않고, 구형의 스페이서를 퍼트리는 것이라도 실시 가능하다. 구형의 스페이서를 퍼트리는 것으로 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 스페이서(5317)를 제작하여 본 발명을 실시하는 경우는 스페이서의 위치가 흩어지지 않기 때문에, 2장의 기판간의 거리를 일정하게 할 수 있고, 표시 불균일함이 적은 표시 장치를 얻을 수 있다.

[0388] 다음에, 제 1 기판(5301)에 실시하는 가공에 관해서는 도 51에서 설명한 방법을 이용하여도 좋기 때문에 생략한다. 여기에서, 제 1 기판(5301), 제 1 절연막(5302), 제 1 도전층(5303), 제 2 절연막(5304), 제 1 반도체층

(5305), 제 2 반도체층(5306), 제 2 도전층(5307), 제 3 절연막(5308), 제 3 도전층(5309), 제 1 배향막(5310)이, 각각, 도 51에서의 제 1 기판(5101), 제 1 절연막(5102), 제 1 도전층(5103), 제 2 절연막(5104), 제 1 반도체층(5105), 제 2 반도체층(5106), 제 2 도전층(5107), 제 3 절연막(5108), 제 3 도전층(5109), 제 1 배향막(5110)과 대응한다. 또, 제 1 기판(5301)측의 제 3 도전층(5309)에, 전극 노치부를 형성하여도 좋다. 이와 같이 하는 것으로, 더욱 확실하게 액정분자의 배향을 제어할 수 있다. 또한, 제 1 배향막(5310) 및 제 2 배향막(5312)은 수직 배향막이어도 좋다. 이와 같이 하는 것으로, 액정분자(5318)를 수직으로 배향할 수 있다.

[0389] 이상과 같이 제작한 제 1 기판(5301)과 차광막(5314), 컬러필터(5315), 제 4 도전층(5313), 스페이서(5317), 및 제 2 배향막(5312)을 제작한 제 2 기판(5316)을, 밀봉재에 의해서 수 μ m의 갭을 갖게 하여 접합하고, 2장의 기판간에 액정 재료를 주입하는 것으로, 액정 패널을 제작할 수 있다. 또, 도 53에 도시하는 PVA 방식의 액정 패널에서는 제 4 도전층(5313)은 패턴 가공을 실시하여, 전극 노치부(5319)를 제작하여도 좋다. 또, 전극 노치부(5319)의 형상에 한정은 없지만, 다른 방향을 가진 복수의 직사각형을 조합한 형상인 것이 적합하다. 이와 같이 하는 것으로, 배향이 다른 복수의 영역을 형성할 수 있기 때문에, 시야각의 큰 액정 표시 장치를 얻을 수 있다. 또한, 전극 노치부(5319)와 제 4 도전층(5313)의 경계에서의 제 4 도전층(5313)의 형상은 매끄러운 곡선인 것이 적합하다. 이와 같이 하는 것으로, 근접하는 액정분자(5318)의 배향이 극히 가까운 것이 되기 때문에, 배향 불량이 저감된다. 또한, 제 2 배향막(5312)이, 전극 노치부(5319)에 의해서 단 끊김이 생기는 것에 의한 배향막의 불량도 저감할 수 있다.

[0390] 다음에, 도 53에 도시하는 PVA 방식의 액정 패널의 화소 구조의 특징에 관해서 설명한다. 도 53a에 도시한 액정분자(5318)는 장축과 단축을 가진 가늘고 긴 분자이다. 액정분자(5318)의 방향을 나타내기 위해서, 도 53a에서는 그 길이에 의해서 표현하고 있다. 즉, 길게 표현된 액정분자(5318)는 그 장축의 방향이 지면에 평행하고, 짧게 표현된 액정분자(5318)일 수록, 그 장축의 방향이 지면의 법선방향에 가깝게 되어 있는 것으로 한다. 요컨대, 도 53a에 도시한 액정분자(5318)는 그 장축의 방향이 배향막의 법선방향을 향하도록 배향하고 있다. 따라서, 전극 노치부(5319)가 있는 부분의 액정분자(5318)는 전극 노치부(5319)와 제 4 도전층(5313)의 경계를 중심으로 하여 방사형으로 배향한다. 이 상태가 됨으로써, 시야각이 큰 액정 표시 장치를 얻을 수 있다.

[0391] 다음에, 도 53b를 참조하여, PVA 방식의 액정 표시 장치에 본 발명을 적용한 경우의, 화소의 레이아웃의 일례에 관해서 설명한다. 본 발명을 적용한 PVA 방식의 액정 표시 장치의 화소는 주사선(5321)과 영상 신호선(5322)과 용량선(5323)과 TFT(5324)와 화소전극(5325)과 화소용량(5326)과 전극 노치부(5319)를 구비하고 있어도 좋다.

[0392] 주사선(5321)은 TFT(5324)의 게이트 단자와 전기적으로 접속되기 때문에, 제 1 도전층(5303)으로 구성되어 있는 것이 적합하다.

[0393] 영상 신호선(5322)은 TFT(5324)의 소스 단자 또는 드레인 단자와 전기적으로 접속되기 때문에, 제 2 도전층(5307)으로 구성되어 있는 것이 적합하다. 또한, 주사선(5321)과 영상 신호선(5322)은 매트릭스형으로 배치되기 때문에, 적어도, 다른 층의 도전층으로 형성되는 것이 적합하다.

[0394] 용량선(5323)은 화소전극(5325)과 평행하게 배치되는 것으로, 화소용량(5326)을 형성하기 위한 배선이고, 제 1 도전층(5303)으로 구성되어 있는 것이 적합하다. 또, 도 53b에 도시하는 바와 같이, 용량선(5323)은 영상 신호선(5322)에 따라, 영상 신호선(5322)을 둘러싸도록 연결되어 있어도 좋다. 이와 같이 하는 것으로, 영상 신호선(5322)의 전위 변화에 따라, 전위를 유지해야 하는 전극의 전위가 변화하여 버리는 현상, 소위 크로스토크를 저감할 수 있다. 또, 영상 신호선(5322)과의 교차용량을 저감시키기 위해서, 도 53b에 도시하는 바와 같이, 제 1 반도체층(5305)을 용량선(5323)과 영상 신호선(5322)의 교차영역에 형성하여도 좋다.

[0395] TFT(5324)는 영상 신호선(5322)과 화소전극(5325)을 도통시키는 스위치로서 동작한다. 또, 도 53b에 도시하는 바와 같이, TFT(5324)의 소스 영역 또는 드레인 영역의 어느 한쪽을, 소스 영역 또는 드레인 영역의 다른쪽을 둘러싸도록 배치하여도 좋다. 이와 같이 하는 것으로, 작은 면적으로 큰 채널폭을 얻을 수 있고, 스위칭 능력을 크게 할 수 있다. 또, 도 53b에 도시하는 바와 같이, TFT(5324)의 게이트 단자는 제 1 반도체층(5305)을 둘러싸도록 배치하여도 좋다.

[0396] 화소전극(5325)은 TFT(5324)의 소스 단자 또는 드레인 단자의 한쪽에 전기적으로 접속된다. 화소전극(5325)은 영상 신호선(5322)에 의해서 전달된 신호전압을 액정 소자에 부여하기 위한 전극이다. 또한, 용량선(5323)과 화소용량(5326)을 형성하여도 좋다. 이와 같이 하는 것으로, 영상 신호선(5322)에 의해서 전달된 신호전압을 유지하는 역할도 가질 수 있다. 또, 화소전극(5325)은 도 53b에 도시하는 바와 같이, 제 4 도전층(5313)에 형

성한 전극 노치부(5319)의 형상으로 조합하여, 전극 노치부(5319)가 없는 부분에, 화소전극(5325)을 노치한 부분을 형성하는 것이 적합하다. 이와 같이 하는 것으로, 액정분자(5318)의 배향이 다른 복수의 영역을 형성할 수 있기 때문에, 시야각의 큰 액정 표시 장치를 얻을 수 있다. 또한, 화소전극(5325)을, 투명성을 갖는 재료로 제작한 경우는 투과형의 액정 표시 장치를 얻을 수 있다. 투과형의 액정 표시 장치는 색의 재현성이 높고, 높은 화질을 가진 영상을 표시할 수 있다. 또한, 화소전극(5325)을, 반사성을 갖는 재료로 제작한 경우는 반사형의 액정 표시 장치를 얻을 수 있다. 반사형의 액정 표시 장치는 옥외 등의 밝은 환경하에서의 시인성이 높고, 또한, 백라이트가 불필요하기 때문에, 소비전력을 대단히 작게 할 수 있다. 또, 화소전극(5325)을, 투명성을 갖는 재료 및 반사성을 갖는 재료의 양쪽을 사용하여 작성한 경우는 양자의 이점을 함께 가진, 반투과형의 액정 표시 장치를 얻을 수 있다. 또, 화소전극(5325)을, 반사성을 갖는 재료로 제작한 경우는 화소전극(5325)의 표면에 요철을 갖게 하여도 좋다. 이와 같이 하는 것으로, 반사광이 난반사하기 때문에, 반사광의 강도 분포의 각도 의존성이 작아지는 이점이 있다. 요컨대, 어떤 각도에서 보아도, 일정한 밝기를 가진 반사형의 액정 표시 장치를 얻을 수 있다.

[0397] 다음에, 도 54를 참조하여, 횡전계 방식의 액정 표시 장치에, 본 발명을 적용한 경우를 설명한다. 도 54는 액정분자의 배향이 기관에 대하여 항상 수평이도록 스위칭을 하기 위해서, 가로방향에 전계를 가하는 방식의 액정 표시 장치의 화소 구조 중, 화소전극(5425)과 공통전극(5423)에 빗살 모양의 패턴 가공을 실시하는 것으로, 가로방향에 전계를 가하는 방식, 소위 IPS(In-Plane-Switching) 방식에, 본 발명을 적용한 경우의, 화소의 단면도와 상면도이다. 도 54a는 화소의 단면도이고, 도 54b는 화소의 상면도이다. 또한, 도 54a에 도시하는 화소의 단면도는 도 54b에 도시하는 화소의 상면도에서의 선분 a-a'에 대응하고 있다. 도 54에 도시하는 화소 구조의 액정 표시 장치에 본 발명을 적용함으로써, 원리적으로 시야각이 크고, 응답속도의 계조 의존성이 작은 액정 표시 장치를 얻을 수 있다.

[0398] 도 54a를 참조하여, IPS 방식의 액정 표시 장치의 화소 구조에 관해서 설명한다. 액정 표시 장치는 액정 패널이라고 불리는, 화상을 표시하는 기간부분을 갖는다. 액정 패널은, 가공을 실시한 2장의 기관을, 수 μ m의 갭을 갖게 하여 접합하여, 2장의 기관간에 액정 재료를 주입하는 것으로 제작된다. 도 54a에 있어서, 2장의 기관은 제 1 기관(5401), 및 제 2 기관(5416)이다. 제 1 기관에는 TFT 및 화소전극을 제작하고, 또한, 제 2 기관에는 차광막(5414), 컬러필터(5415), 스페이서(5417), 및 제 2 배향막(5412)을 제작하여도 좋다.

[0399] 또, 본 발명은 제 1 기관(5401)에 TFT를 제작하지 않아도 실시 가능하다. TFT를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, TFT를 제작하여 본 발명을 실시하는 경우는 더욱 대형의 표시 장치를 얻을 수 있다.

[0400] 또, 도 54에 도시하는 TFT는 비정질 반도체를 사용한 보텀 게이트형의 TFT이고, 대면적의 기관을 사용하여, 저가로 제작할 수 있다고 하는 이점이 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 사용할 수 있는 TFT의 구조는 보텀 게이트형의 TFT에서는 채널 에치형, 채널 보호형 등이 있다. 또한, 톱 게이트형이어도 좋다. 또, 비정질 반도체뿐만 아니라, 다결정 반도체도 사용할 수 있다.

[0401] 또, 본 발명은 제 2 기관(5416)에 차광막(5414)을 제작하지 않아도 실시 가능하다. 차광막(5414)을 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 차광막(5414)을 제작하여 본 발명을 실시하는 경우는 흑표시시에 광누설이 적은 표시 장치를 얻을 수 있다.

[0402] 또, 본 발명은 제 2 기관(5416)에 컬러필터(5415)를 제작하지 않아도 실시 가능하다. 컬러필터(5415)를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 컬러필터(5415)를 제작하여 본 발명을 실시하는 경우는 컬러 표시를 할 수 있는 표시 장치를 얻을 수 있다.

[0403] 또, 본 발명은 제 2 기관(5416)에 스페이서(5417)를 제작하지 않고, 구형의 스페이서를 퍼트리는 것이어도 실시 가능하다. 구형의 스페이서를 퍼트리는 것으로 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 스페이서(5417)를 제작하여 본 발명을 실시하는 경우는 스페이서의 위치가 흩어지지 않기 때문에, 2장의 기관간의 거리를 일정하게 할 수 있고, 표시 불균일함이 적은 표시 장치를 얻을 수 있다.

[0404] 다음에, 제 1 기관(5401)에 실시하는 가공에 관해서는 도 51에서 설명한 방법을 이용하여도 좋기 때문에 생략한

다. 여기에서, 제 1 기판(5401), 제 1 절연막(5402), 제 1 도전층(5403), 제 2 절연막(5404), 제 1 반도체층(5405), 제 2 반도체층(5406), 제 2 도전층(5407), 제 3 절연막(5408), 제 3 도전층(5409), 제 1 배향막(5410)이, 각각, 도 51에서의 제 1 기판(5101), 제 1 절연막(5102), 제 1 도전층(5103), 제 2 절연막(5104), 제 1 반도체층(5105), 제 2 반도체층(5106), 제 2 도전층(5107), 제 3 절연막(5108), 제 3 도전층(5109), 제 1 배향막(5110)과 대응한다. 또, 제 1 기판(5401)측의 제 3 도전층(5409)에 패턴 가공을 실시하여, 서로 맞물린 2개의 빔살 모양의 형상으로 형성하여도 좋다. 또한, 한쪽의 빔살 모양의 전극은 TFT(5424)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 다른쪽의 빔살 모양의 전극은 공통전극(5423)과 전기적으로 접속되어 있어도 좋다. 이와 같이 하는 것으로, 액정분자(5418)에 효과적으로 가로방향의 전계를 가할 수 있다.

[0405] 이상과 같이 제작한 제 1 기판(5401)과 차광막(5414), 컬러필터(5415), 스페이서(5417), 및 제 2 배향막(5412)을 제작한 제 2 기판(5416)을, 밀봉재에 의해서 수 μm 의 갭을 갖게 하여 접합하고, 2장의 기판간에 액정 재료를 주입하는 것으로, 액정 패널이 제작할 수 있다. 또, 도시하지 않지만, 제 2 기판(5416)측에, 도전층을 형성하여도 좋다. 제 2 기판(5416)측에 도전층을 형성하는 것으로, 외부로부터의 전자파 노이즈의 영향을 받기 어렵게 할 수 있다.

[0406] 다음에, 도 54에 도시하는 IPS 방식의 액정 패널의 화소 구조의 특징에 관해서 설명한다. 도 54a에 도시한 액정분자(5418)는 장축과 단축을 가진 가늘고 긴 분자이다. 액정분자(5418)의 방향을 나타내기 위해서, 도 54a에서는 그 길이에 의해서 표현하고 있다. 즉, 길게 표현된 액정분자(5418)는 그 장축의 방향이 지면에 평행하고, 짧게 표현된 액정분자(5418)일 수록, 그 장축의 방향이 지면의 법선방향에 가깝게 되어 있는 것으로 한다. 요컨대, 도 54a에 도시한 액정분자(5418)는 그 장축의 방향이 항상 기판과 수평의 방향을 향하도록 배향하고 있다. 도 54a에서는 전계가 없는 상태에서의 배향을 나타내고 있지만, 액정분자(5418)에 전계가 가해졌을 때는 그 장축의 방향이 항상 기판과 수평의 방향을 유지한 채로, 수평면 내에서 회전한다. 이 상태가 됨으로써, 시야각이 큰 액정 표시 장치를 얻을 수 있다.

[0407] 다음에, 도 54b를 참조하여, IPS 방식의 액정 표시 장치에 본 발명을 적용한 경우의, 화소의 레이아웃의 일례에 관해서 설명한다. 본 발명을 적용한 IPS 방식의 액정 표시 장치의 화소는 주사선(5421)과 영상 신호선(5422)과 공통전극(5423)과 TFT(5424)와 화소전극(5425)을 구비하고 있어도 좋다.

[0408] 주사선(5421)은 TFT(5424)의 게이트 단자와 전기적으로 접속되기 때문에, 제 1 도전층(5403)으로 구성되어 있는 것이 적합하다.

[0409] 영상 신호선(5422)은 TFT(5424)의 소스 단자 또는 드레인 단자와 전기적으로 접속되기 때문에, 제 2 도전층(5407)으로 구성되어 있는 것이 적합하다. 또한, 주사선(5421)과 영상 신호선(5422)은 매트릭스형으로 배치되기 때문에, 적어도, 다른 층의 도전층으로 형성되는 것이 적합하다. 또, 도 54b에 도시하는 바와 같이, 영상 신호선(5422)은 화소전극(5425) 및 공통전극(5423)의 형상에 맞도록, 화소 내에서 굴곡하여 형성되어 있어도 좋다. 이와 같이 하는 것으로, 화소의 개구율을 크게 할 수 있기 때문에, 액정 표시 장치의 효율을 향상시킬 수 있다.

[0410] 공통전극(5423)은 화소전극(5425)과 평행하게 배치되는 것으로, 가로방향의 전계를 발생시키기 위한 전극이고, 제 1 도전층(5403) 및 제 3 도전층(5409)으로 구성되어 있는 것이 적합하다. 또, 도 54b에 도시하는 바와 같이, 공통전극(5423)은 영상 신호선(5422)을 따라, 영상 신호선(5422)을 둘러싸도록 연결되어 있어도 좋다. 이와 같이 하는 것으로, 영상 신호선(5422)의 전위 변화에 따라, 전위를 유지해야 하는 전극의 전위가 변화하여 버리는 현상, 소위 크로스토크를 저감할 수 있다. 또, 영상 신호선(5422)과의 교차용량을 저감시키기 위해서, 도 54b에 도시하는 바와 같이, 제 1 반도체층(5405)을 공통전극(5423)과 영상 신호선(5422)의 교차영역에 형성하여도 좋다.

[0411] TFT(5424)는 영상 신호선(5422)과 화소전극(5425)을 도통시키는 스위치로서 동작한다. 또, 도 54b에 도시하는 바와 같이, TFT(5424)의 소스 영역 또는 드레인 영역의 어느 한쪽을, 소스 영역 또는 드레인 영역의 다른쪽을 둘러싸도록 배치하여도 좋다. 이와 같이 하는 것으로, 작은 면적으로 큰 채널폭을 얻을 수 있고, 스위칭 능력을 크게 할 수 있다. 또, 도 54b에 도시하는 바와 같이, TFT(5424)의 게이트 단자는 제 1 반도체층(5405)을 둘러싸도록 배치하여도 좋다.

[0412] 화소전극(5425)은 TFT(5424)의 소스 단자 또는 드레인 단자의 한쪽에 전기적으로 접속된다. 화소전극(5425)은 영상 신호선(5422)에 의해서 전달된 신호전압을 액정 소자에 부여하기 위한 전극이다. 또한, 공통전극(5423)과 화소용량을 형성하여도 좋다. 이와 같이 하는 것으로, 영상 신호선(5422)에 의해서 전달된 신호전압을 유지하

는 역할도 가질 수 있다. 또, 화소전극(5425) 및 빗살 모양의 공통전극(5423)은 도 54b에 도시하는 바와 같이, 굴곡한 빗살 모양의 형상으로 하여 형성하는 것이 적합하다. 이와 같이 하는 것으로, 액정분자(5418)의 배향이 다른 복수의 영역을 형성할 수 있기 때문에, 시야각이 큰 액정 표시 장치를 얻을 수 있다. 또한, 화소전극(5425) 및 빗살 모양의 공통전극(5423)을, 투명성을 갖는 재료로 제작한 경우는 투과형의 액정 표시 장치를 얻을 수 있다. 투과형의 액정 표시 장치는 색의 재현성이 높고, 높은 화질을 가진 영상을 표시할 수 있다. 또한, 화소전극(5425) 및 빗살 모양의 공통전극(5423)을, 반사성을 갖는 재료로 제작한 경우는 반사형의 액정 표시 장치를 얻을 수 있다. 반사형의 액정 표시 장치는 옥외 등의 밝은 환경하에서의 시인성이 높고, 또한, 백라이트가 불필요하기 때문에, 소비전력을 대단히 작게 할 수 있다. 또, 화소전극(5425) 및 빗살 모양의 공통전극(5423)을, 투명성을 갖는 재료 및 반사성을 갖는 재료의 양쪽을 사용하여 작성한 경우는 양자의 이점을 함께 가진, 반투과형의 액정 표시 장치를 얻을 수 있다. 또, 화소전극(5425) 및 빗살 모양의 공통전극(5423)을, 반사성을 갖는 재료로 제작한 경우는 화소전극(5425) 및 빗살 모양의 공통전극(5423)의 표면에 요철을 갖게 하여도 좋다. 이와 같이 하는 것으로, 반사광이 난반사하기 때문에, 반사광의 강도 분포의 각도 의존성이 작아지는 이점이 있다. 요컨대, 어떤 각도에서 보아도, 일정한 밝기를 가진 반사형의 액정 표시 장치를 얻을 수 있다.

[0413] 또, 빗살 모양의 화소전극(5425)과 빗살 모양의 공통전극(5423)은 모두 제 3 도전층(5409)으로 형성되는 것으로 하였지만, 본 발명이 적용할 수 있는 화소 구성은 이것에 한정되지 않고, 적절하게 선택할 수 있다. 예를 들면, 빗살 모양의 화소전극(5425)과 빗살 모양의 공통전극(5423)을, 모두 제 2 도전층(5407)으로 형성하여도 좋고, 모두 제 1 도전층(5403)으로 형성하여도 좋고, 어느 한쪽을 제 3 도전층(5409)으로 형성하고, 다른쪽을 제 2 도전층(5407)으로 형성하여도 좋고, 어느 한쪽을 제 3 도전층(5409)으로 형성하고, 다른쪽을 제 1 도전층(5403)으로 형성하여도 좋고, 어느 한쪽을 제 2 도전층(5407)으로 형성하고, 다른쪽을 제 1 도전층(5403)으로 형성하여도 좋다.

[0414] 다음에, 도 55를 참조하여, 다른 횡전계 방식의 액정 표시 장치에, 본 발명을 적용한 경우를 설명한다. 도 55는 액정분자의 배향이 기판에 대하여 항상 수평이도록 스위칭을 하기 위해서, 가로방향에 전계를 가하는 방식의 액정 표시 장치의 다른 화소 구조를 도시하는 도면이다. 더욱 상세하게는 화소전극(5525)과 공통전극(5523) 중, 어느 한쪽에 빗살 모양의 패턴 가공을 실시하고, 다른쪽은 빗살 모양의 형상으로 겹치는 영역에 한결같이 전극을 형성하는 것으로, 가로방향에 전계를 가하는 방식, 소위 FFS(Fringe Field Switching) 방식에, 본 발명을 적용한 경우의, 화소의 단면도와 상면도이다. 도 55a는 화소의 단면도이고, 도 55b는 화소의 상면도이다. 또한, 도 55a에 도시하는 화소의 단면도는 도 55b에 도시하는 화소의 상면도에서의 선분 a-a'에 대응하고 있다. 도 55에 도시하는 화소 구조의 액정 표시 장치에 본 발명을 적용함으로써, 원리적으로 시야각이 크고, 응답속도의 제조 의존성이 작은 액정 표시 장치를 얻을 수 있다.

[0415] 도 55a를 참조하여, FFS 방식의 액정 표시 장치의 화소 구조에 관해서 설명한다. 액정 표시 장치는 액정 패널이라고 불리는, 화상을 표시하는 기간부분을 갖는다. 액정 패널은 가공을 실시한 2장의 기판을, 수 μ m의 갭을 갖게 하여 접합하여, 2장의 기판간에 액정 재료를 주입하는 것으로 제작된다. 도 55a에 있어서, 2장의 기판은 제 1 기판(5501), 및 제 2 기판(5516)이다. 제 1 기판에는 TFT 및 화소전극을 제작하고, 또한, 제 2 기판에는 차광막(5514), 컬러필터(5515), 스페이서(5517), 및 제 2 배향막(5512)을 제작하여도 좋다.

[0416] 또, 본 발명은 제 1 기판(5501)에 TFT를 제작하지 않아도 실시 가능하다. TFT를 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, TFT를 제작하여 본 발명을 실시하는 경우는 더욱 대형의 표시 장치를 얻을 수 있다.

[0417] 또, 도 55에 도시하는 TFT는 비정질 반도체를 사용한 보텀 게이트형의 TFT이고, 대면적의 기판을 사용하여, 저가로 제작할 수 있다고 하는 이점이 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 사용할 수 있는 TFT의 구조는 보텀 게이트형의 TFT에서는 채널 에치형, 채널 보호형 등이 있다. 또한, 톱 게이트형이어도 좋다. 또, 비정질 반도체뿐만 아니라, 다결정 반도체도 사용할 수 있다.

[0418] 또, 본 발명은 제 2 기판(5516)에 차광막(5514)을 제작하지 않아도 실시 가능하다. 차광막(5514)을 제작하지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 차광막(5514)을 제작하여 본 발명을 실시하는 경우는 흑표시시에 광누설이 적은 표시 장치를 얻을 수 있다.

[0419] 또, 본 발명은 제 2 기판(5516)에 컬러필터(5515)를 제작하지 않아도 실시 가능하다. 컬러필터(5515)를 제작하

지 않고 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 컬러필터(5515)를 제작하여 본 발명을 실시하는 경우는 컬러 표시를 할 수 있는 표시 장치를 얻을 수 있다.

[0420] 또, 본 발명은 제 2 기관(5516)에 스페이서(5517)를 제작하지 않고, 구형의 스페이서를 퍼트리는 것이어도 실시 가능하다. 구형의 스페이서를 퍼트리는 것으로 본 발명을 실시하는 경우는 공정수가 감소하기 때문에, 제조비용을 저감할 수 있다. 또한, 구조가 간단하기 때문에, 수율을 향상시킬 수 있다. 한편, 스페이서(5517)를 제작하여 본 발명을 실시하는 경우는 스페이서의 위치가 흩어지지 않기 때문에, 2장의 기관간의 거리를 일정하게 할 수 있고, 표시 불균일함이 적은 표시 장치를 얻을 수 있다.

[0421] 다음에, 제 1 기관(5501)에 실시하는 가공에 관해서는 도 51에서 설명한 방법을 이용하여도 좋기 때문에 생략한다. 여기에서, 제 1 기관(5501), 제 1 절연막(5502), 제 1 도전층(5503), 제 2 절연막(5504), 제 1 반도체층(5505), 제 2 반도체층(5506), 제 2 도전층(5507), 제 3 절연막(5508), 제 3 도전층(5509), 제 1 배향막(5510)이, 각각, 도 51에서의 제 1 기관(5101), 제 1 절연막(5102), 제 1 도전층(5103), 제 2 절연막(5104), 제 1 반도체층(5105), 제 2 반도체층(5106), 제 2 도전층(5107), 제 3 절연막(5108), 제 3 도전층(5109), 제 1 배향막(5110)과 대응한다.

[0422] 단, 도 51과 다른 점은 제 1 기관(5501)측에, 제 4 절연막(5519) 및 제 4 도전층(5513)을 형성하여도 좋다고 하는 점이다. 더욱 상세하게는 제 3 도전층(5509)에 패턴 가공을 실시한 후, 제 4 절연막(5519)을 성막하여, 패턴 가공을 실시하여 콘택트 홀을 형성한 후, 제 4 도전층(5513)을 성막하여, 마찬가지로 패턴 가공을 실시한 후, 제 1 배향막(5510)을 형성하여도 좋다. 또, 제 4 절연막(5519) 및 제 4 도전층(5513)에 사용할 수 있는 재료 및 가공방법은 제 3 절연막(5508) 및 제 3 도전층(5509)에 사용하는 것과 같은 것을 사용할 수 있다. 또한, 빗살 모양의 전극은 TFT(5524)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 똑같은 전극은 공통전극(5523)과 전기적으로 접속되어 있어도 좋다. 이와 같이 하는 것으로, 액정분자(5518)에 효과적으로 가로 방향의 전계를 가할 수 있다.

[0423] 이상과 같이 제작한 제 1 기관(5501)과 차광막(5514), 컬러필터(5515), 스페이서(5517), 및 제 2 배향막(5512)을 제작한 제 2 기관(5516)을, 밀봉재에 의해서 수 μm 의 갭을 갖게 하여 접합하고, 2장의 기관간에 액정 재료를 주입하는 것으로, 액정 패널이 제작할 수 있다. 또, 도시하지 않지만, 제 2 기관(5516)측에, 도전층을 형성하여도 좋다. 제 2 기관(5516)측에 도전층을 형성하는 것으로, 외부로부터의 전자과 노이즈의 영향을 받기 어렵게 할 수 있다.

[0424] 다음에, 도 55에 도시하는 FFS 방식의 액정 패널의 화소 구조의 특징에 관해서 설명한다. 도 55a에 도시한 액정분자(5518)는 장축과 단축을 가진 가늘고 긴 분자이다. 액정분자(5518)의 방향을 나타내기 위해서, 도 55a에서는 그 길이에 의해서 표현하고 있다. 즉, 길게 표현된 액정분자(5518)는 그 장축의 방향이 지면에 평행하고, 짧게 표현된 액정분자(5518)일 수록, 그 장축의 방향이 지면의 법선방향에 가깝게 되어 있는 것으로 한다. 요컨대, 도 55a에 도시한 액정분자(5518)는 그 장축의 방향이 항상 기관과 수평의 방향을 향하도록 배향하고 있다. 도 55a에서는 전계가 없는 상태에서의 배향을 나타내고 있지만, 액정분자(5518)에 전계가 가해졌을 때는 그 장축의 방향이 항상 기관과 수평의 방향을 유지한 채로, 수평면 내에서 회전한다. 이 상태가 됨으로써, 시야각이 큰 액정 표시 장치를 얻을 수 있다.

[0425] 다음에, 도 55b를 참조하여, FFS 방식의 액정 표시 장치에 본 발명을 적용한 경우의, 화소의 레이아웃의 일례에 관해서 설명한다. 본 발명을 적용한 FFS 방식의 액정 표시 장치의 화소는 주사선(5521)과 영상 신호선(5522)과 공통전극(5523)과 TFT(5524)와 화소전극(5525)을 구비하고 있어도 좋다.

[0426] 주사선(5521)은 TFT(5524)의 게이트 단자와 전기적으로 접속되기 때문에, 제 1 도전층(5503)으로 구성되어 있는 것이 적합하다.

[0427] 영상 신호선(5522)은 TFT(5524)의 소스 단자 또는 드레인 단자와 전기적으로 접속되기 때문에, 제 2 도전층(5507)으로 구성되어 있는 것이 적합하다. 또한, 주사선(5521)과 영상 신호선(5522)은 매트릭스형으로 배치되기 때문에, 적어도, 다른 층의 도전층으로 형성되는 것이 적합하다. 또, 도 55b에 도시하는 바와 같이, 영상 신호선(5522)은 화소전극(5525)의 형상에 맞도록, 화소 내에서 굴곡하여 형성되어 있어도 좋다. 이와 같이 하는 것으로, 화소의 개구율을 크게 할 수 있기 때문에, 액정 표시 장치의 효율을 향상시킬 수 있다.

[0428] 공통전극(5523)은 화소전극(5525)과 평행하게 배치되는 것으로, 가로방향의 전계를 발생시키기 위한 전극이고, 제 1 도전층(5503) 및 제 3 도전층(5509)으로 구성되어 있는 것이 적합하다. 또, 도 55b에, 도시하는 바와 같

이, 공통전극(5523)은 영상 신호선(5522)에 따른 형상으로 형성되어 있어도 좋다. 이와 같이 하는 것으로, 영상 신호선(5522)의 전위 변화에 따라, 전위를 유지해야 하는 전극의 전위가 변화하여 버리는 현상, 소위 크로스 토크를 저감할 수 있다. 또, 영상 신호선(5522)과의 교차용량을 저감시키기 위해서, 도 55b에 도시하는 바와 같이, 제 1 반도체층(5505)을 공통전극(5523)과 영상 신호선(5522)의 교차영역에 형성하여도 좋다.

[0429] TFT(5524)는 영상 신호선(5522)과 화소전극(5525)을 도통시키는 스위치로서 동작한다. 또, 도 55b에 도시하는 바와 같이, TFT(5524)의 소스 영역 또는 드레인 영역의 어느 한쪽을, 소스 영역 또는 드레인 영역의 다른쪽을 둘러싸도록 배치하여도 좋다. 이와 같이 하는 것으로, 작은 면적으로 큰 채널폭을 얻을 수 있고, 스위칭 능력을 크게 할 수 있다. 또, 도 55b에 도시하는 바와 같이, TFT(5524)의 게이트 단자는 제 1 반도체층(5505)을 둘러싸도록 배치하여도 좋다.

[0430] 화소전극(5525)은 TFT(5524)의 소스 단자 또는 드레인 단자의 한쪽에 전기적으로 접속된다. 화소전극(5525)은 영상 신호선(5522)에 의해서 전달된 신호전압을 액정 소자에 부여하기 위한 전극이다. 또한, 공통전극(5523)과 화소용량을 형성하여도 좋다. 이와 같이 하는 것으로, 영상 신호선(5522)에 의해서 전달된 신호전압을 유지하는 역할도 가질 수 있다. 또, 화소전극(5525)은 도 55b에 도시하는 바와 같이, 굴곡한 빗살 모양의 형상으로 하여 형성하는 것이 적합하다. 이와 같이 하는 것으로, 액정분자(5518)의 배향이 다른 복수의 영역을 형성할 수 있기 때문에, 시야각이 큰 액정 표시 장치를 얻을 수 있다. 또한, 화소전극(5525) 및 빗살 모양의 공통전극(5523)을, 투명성을 갖는 재료로 제작한 경우는 투과형의 액정 표시 장치를 얻을 수 있다. 투과형의 액정 표시 장치는 색의 재현성이 높고, 높은 화질을 가진 영상을 표시할 수 있다. 또한, 화소전극(5525) 및 빗살 모양의 공통전극(5523)을, 반사성을 갖는 재료로 제작한 경우는 반사형의 액정 표시 장치를 얻을 수 있다. 반사형의 액정 표시 장치는 옥외 등의 밝은 환경하에서의 시인성이 높고, 또한, 백라이트가 불필요하기 때문에, 소비전력을 대단히 작게 할 수 있다. 또, 화소전극(5525) 및 빗살 모양의 공통전극(5523)을, 투명성을 갖는 재료 및 반사성을 갖는 재료의 양쪽을 사용하여 작성한 경우는 양자의 이점을 함께 가진, 반투과형의 액정 표시 장치를 얻을 수 있다. 또, 화소전극(5525) 및 빗살 모양의 공통전극(5523)을, 반사성을 갖는 재료로 제작한 경우는 화소전극(5525) 및 빗살 모양의 공통전극(5523)의 표면에 요철을 갖게 하여도 좋다. 이와 같이 하는 것으로, 반사광이 난반사하기 때문에, 반사광의 강도 분포의 각도 의존성이 작아지는 이점이 있다. 요컨대, 어떤 각도에서 보아도, 일정한 밝기를 가진 반사형의 액정 표시 장치를 얻을 수 있다.

[0431] 또, 빗살 모양의 화소전극(5525)은 제 4 도전층(5513)으로 형성되고, 똑같은 공통전극(5523)은 제 3 도전층(5509)으로 형성되는 것으로 하였지만, 본 발명이 적용할 수 있는 화소 구성은 이것에 한정되지 않고, 어떤 조건을 만족시켰으면, 적절하게 선택할 수 있다. 더욱 상세하게는 제 1 기관(5501)에서 보아, 빗살 모양의 전극이, 똑같은 전극보다 액정과 가까운 쪽에 위치하고 있으면 좋다. 왜냐하면, 가로방향의 전계는 빗살 모양의 전극에서 본 경우, 항상, 똑같은 전극은 역방향으로 발생하기 때문이다. 요컨대, 액정에 횡전계를 가하기 위해서는 빗살 모양의 전극은 똑같은 전극보다도 액정 근처에 위치해야만 하기 때문이다.

[0432] 이 조건을 만족시키기 위해서는 예를 들면, 빗살 모양의 전극을 제 4 도전층(5513)으로 형성하고, 똑같은 전극을 제 3 도전층(5509)으로 형성하여도 좋고, 빗살 모양의 전극을 제 4 도전층(5513)으로 형성하고, 똑같은 전극을 제 2 도전층(5507)으로 형성하여도 좋고, 빗살 모양의 전극을 제 4 도전층(5513)으로 형성하고, 똑같은 전극을 제 1 도전층(5503)으로 형성하여도 좋고, 빗살 모양의 전극을 제 3 도전층(5509)으로 형성하고, 똑같은 전극을 제 2 도전층(5507)으로 형성하여도 좋고, 빗살 모양의 전극을 제 3 도전층(5509)으로 형성하고, 똑같은 전극을 제 1 도전층(5503)으로 형성하여도 좋고, 빗살 모양의 전극을 제 2 도전층(5507)으로 형성하고, 똑같은 전극을 제 1 도전층(5503)으로 형성하여도 좋다. 또, 빗살 모양의 전극은 TFT(5524)의 소스 영역 또는 드레인 영역의 한쪽과 전기적으로 접속되고, 똑같은 전극은 공통전극(5523)과 전기적으로 접속된다고 하였지만, 이 접속은 반대이어도 좋다. 그 경우는 똑같은 전극이 화소마다 독립하여 형성되어 있어도 좋다.

[0433] 또, 본 발명의 액정 표시 장치가 갖는 액정 소자의 동작 모드는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment), ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Bend) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드, PDLLC(Polymer Dispersed Liquid Crystal) 모드 등을 자유롭게 사용할 수 있다.

[0434] 액정 표시 장치에 상기 실시형태에서 개시한 표시 장치의 구성을 적용함으로써, 트랜지스터의 특성 열화를 억제할 수 있다. 그 때문에, 트랜지스터의 특성 열화가 원인인 시프트 레지스터의 오동작을 방지할 수 있다. 또한, 시프트 레지스터의 오동작이 원인인 액정 표시 장치의 표시 불량을 억제할 수 있다.

- [0435] 또, 본 실시형태에서 개시한 화소의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 화소의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0436] (실시형태 10)
- [0437] 본 실시형태에서는 실시형태 1 내지 실시형태 8에 개시한 표시 장치가 갖는 화소의 일례에 관해서, 실시형태 9와는 다른 일례를 설명한다.
- [0438] 도 65a의 화소 구성에 관해서 설명한다. 도 65a에 도시하는 화소 회로는 용량 소자(6500), 제 1 트랜지스터(6501), 제 2 트랜지스터(6502) 및 표시 소자(6521)를 갖는다. 또, 화소는 제 1 배선(6511), 제 2 배선(6512), 제 3 배선(6513)에 접속되어 있다. 또한, 표시 소자(6521)는 발광층이 화소전극과 대향전극(6522)의 사이에 협지되어, 화소전극으로부터 대향전극(6522)에 전류가 흐르는 EL 소자를 적용할 수 있다. 또, 제 1 배선(6511)은 신호선이라고 불려도 좋다. 또한, 제 2 배선(6512)은 전원선이라고 불려도 좋다. 또한, 제 3 배선(6513)은 주사선이라고 불려도 좋다. 또, 제 1 트랜지스터(6501)는 구동 트랜지스터라고 불려도 좋다. 또한, 제 2 트랜지스터(6502)는 선택용 트랜지스터라고 불려도 좋다.
- [0439] 또, 표시 소자(6521)로서, EL 소자 등의 발광 소자를 적용한 경우에 관해서 설명한다.
- [0440] 또, 트랜지스터(6501) 및 트랜지스터(6502)는 N채널형의 트랜지스터를 나타내고 있지만, P채널형의 트랜지스터이어도 좋다. 실시형태 1 내지 실시형태 4에서는 트랜지스터(6501) 및 트랜지스터(6502)로서 N채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해지기 때문이다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 또한, 실시형태 5 내지 실시형태 8에서는 트랜지스터(6501) 및 트랜지스터(6502)로서 P채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다.
- [0441] 또, 제 1 배선(6511)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 신호선 S1 내지 Sm의 어느 하나에 상당한다. 제 3 배선(6513)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 주사선 G1 내지 Gn의 어느 하나에 상당한다.
- [0442] 또, 제 2 배선(6512)은 도 9, 도 11, 도 12 및 도 44에는 도시하지 않았지만, 이미 설명한 바와 같이 필요에 따라서 도 9, 도 11, 도 12 및 도 44에 추가하면 좋다.
- [0443] 제 1 트랜지스터(6501)의 제 1 단자는 제 2 배선(6512)에 접속되고, 제 2 단자는 표시 소자(6521)의 화소전극에 접속되어 있다. 제 2 트랜지스터(6502)의 제 1 단자는 제 1 배선(6511)에 접속되고, 제 2 단자는 제 1 트랜지스터(6501)의 게이트 단자에 접속되고, 게이트 단자는 제 3 배선(6513)에 접속되어 있다. 용량 소자(6500)의 제 1 전극은 제 2 배선(6512)에 접속되고, 제 2 전극은 제 1 트랜지스터(6501)의 게이트 단자에 접속되어 있다.
- [0444] 또, 용량 소자(6500)는 제 1 트랜지스터(6501)의 게이트 단자의 전압을 유지하는 역할을 하고 있다. 따라서, 용량 소자(6500)는 제 1 트랜지스터(6501)와 제 2 배선(6512)의 사이에 접속되어 있지만 이것에 한정되지 않는다. 용량 소자(6500)는 제 1 트랜지스터(6501)의 게이트 단자의 전압을 유지할 수 있도록 배치되어 있으면 좋고, 다른(예를 들면, 진행) 화소의 제 3 배선(6513)에 접속되어도 좋다. 또한, 용량 소자(6500)는 제 1 트랜지스터(6501)의 게이트 용량을 사용하는 것으로 생략하여도 좋다.
- [0445] 동작방법으로서 제 3 배선(6513)을 선택하여, 제 2 트랜지스터(6502)를 온 상태로 하고, 제 1 배선(6511)으로부터 비디오 신호를 용량 소자(6500) 및 제 1 트랜지스터(6501)의 게이트 단자에 입력한다. 이와 같이 하면, 제 1 트랜지스터(6501)가 게이트와 소스간의 전압에 따른 전류를 표시 소자(6521)에 흘리는 것으로, 표시 소자(6521)가 발광한다.
- [0446] 그런데, 표시 장치의 계조를 표현하는 구동 방식에는 표시 아날로그 계조 방식과 디지털 계조 방식이 있다. 표시 아날로그 계조 방식에는 표시 소자의 발광 강도를 아날로그 제어하는 방식과 표시 소자의 발광시간을 아날로그 제어하는 방식이 있다. 아날로그 계조 방식에 있어서 표시 소자의 발광 강도를 아날로그 제어 방식이 자주 사용된다. 한편, 디지털 계조 방식은 디지털 제어로 표시 소자를 온 또는 오프시켜, 계조를 표현하고 있다.

디지털 계조 방식의 경우, 디지털 신호로 처리할 수 있기 때문에 노이즈에 강하다고 하는 메리트가 있지만, 발광·비발광의 2상태밖에 없기 때문에, 이대로는 2계조밖에 표현할 수 없다. 그래서, 다른 수법을 조합하여, 다계조화를 도모하는 것이 행하여지고 있다. 다계조화를 위한 수법으로서는 화소의 발광 면적에 가중하여 그 선택에 의해 계조표시를 하는 면적 계조 방식과 발광시간에 가중하여 그 선택에 의해 계조표시를 하는 시간 계조 방식이 있다.

[0447] 이 디지털 계조 방식과 시간 계조 방식을 조합한 경우, 도 68에 도시하는 바와 같이, 1프레임 기간을 복수의 서브프레임 기간(SFn)으로 분할한다. 각 서브프레임 기간은 초기화 기간, 임계치 전압 기록 기간 및 데이터 기록 기간을 갖는 어드레스 기간(Ta)과 발광 기간(Ts)을 갖는다. 또, 서브프레임 기간은 표시 비트수 n에 따른 수를 1프레임 기간에 형성한다. 또한, 1프레임 기간에서 각각의 서브프레임 기간에서의 발광 기간의 길이의 비를 $2(n-1) : 2(n-2) : \dots : 2 : 1$ 로 하여, 각 발광 기간에서 표시 소자의 발광, 또는 비발광을 선택하여, 표시 소자가 발광하고 있는 1프레임 기간 중의 합계시간의 차를 이용하여 계조 표현을 한다. 1프레임 기간에서, 발광하고 있는 합계시간이 뛰어나면 휘도가 높고, 짧으면 휘도가 낮아진다. 또, 도 68에서는 4비트 계조가 예를 도시하고 있고, 1프레임 기간은 4개의 서브프레임 기간으로 분할되어, 발광 기간이 조합에 의해서, $2^4=16$ 계조를 표현할 수 있다. 또, 발광 기간의 길이의 비는 특히 2의 거듭제곱의 비로 하지 않아도, 계조 표현은 가능하다. 또한, 어떤 서브프레임 기간을 더욱 분할하고 있어도 좋다.

[0448] 또, 상기한 바와 같이 시간 계조 방식을 사용하여 다계조화를 도모하는 경우, 하위비트의 발광 기간의 길이는 짧기 때문에 발광 기간의 종료 후 즉시 다음의 서브프레임 기간의 데이터 기록 동작을 개시하려고 하면, 전의 서브프레임 기간의 데이터 기록 동작과 중복하여, 정상 동작을 할 수 없게 된다. 그 때문에, 도 65b와 같이, 제 3 트랜지스터(6503)를 제 1 트랜지스터(6501)의 게이트 단자와 제 3 배선(6513)의 사이에 형성하고, 발광 기간의 일부에서 제 3 트랜지스터(6503)를 온시키고, 강제적으로 제 1 트랜지스터(6501)가 오프가 되어, 강제적으로 비발광 상태를 만드는 기간(소거 기간)을 형성하는 것으로, 진행에 요하는 데이터 기록 기간보다 짧은 발광도 표현할 수 있다. 또, 제 3 트랜지스터(6503)의 온 및 오프는 제 4 배선(6514)에 의해서 제어되고 있다. 따라서, 표시 아날로그 계조에 있어서 특히 유효한 것은 물론이지만, 디지털 계조 방식과 시간 계조 방식을 조합한 방식에 있어서도 유효하다. 또, 비발광 상태에 만들기 위해서는 표시 소자에 전류가 흐르지 않으면 좋기 때문에, 상술한 바와 같이 제 1 트랜지스터(6501)를 오프시키는 것 외에, 제 2 배선(6512)의 전위를 내리거나 하는 것으로 비발광 상태를 얻을 수 있다. 또한, 제 1트랜지스터(6501)와 제 2 배선(6512)의 사이에 새로운 스위치를 형성하고, 그 스위치를 사용하여 제 1 트랜지스터(6501)와 제 2 배선(6512)을 비도통으로 하는 것으로 비발광 상태를 얻을 수도 있다. 또한, 제 1 트랜지스터(6501)와 표시 소자(6521)의 화소전극의 사이에 새롭게 스위치를 형성하고, 그 스위치를 사용하여 표시 소자(6521)에 대한 전류의 공급을 멈추는 것으로 비발광 상태를 얻을 수도 있다.

[0449] 다음에, 도 65는 다른 화소의 구성에 관해서, 도 66을 참조하여 설명한다.

[0450] 도 66의 화소 구성에 관해서 설명한다. 도 66에 도시하는 화소 회로는 용량 소자(6600), 제 1 트랜지스터(6601), 제 2 트랜지스터(6602), 제 3 트랜지스터(6603) 및 표시 소자(6621)를 갖는다. 또, 화소는 제 1 배선(6611), 제 2 배선(6612), 제 3 배선(6613) 및 제 4 배선(6614)에 접속되어 있다. 또한, 표시 소자(6621)는 화소전극과 대향전극(6622)의 사이에 협지되어, 화소전극으로부터 대향전극(6622)에 전류가 흐르는 EL 소자를 적용할 수 있다. 또, 제 1 배선(6611)은 신호선이라고 불려도 좋다. 또한, 제 2 배선(6612)은 전원선이라고 불려도 좋다. 또한, 제 3 배선(6613) 및 제 4 배선(6614)은 제 1 주사선, 제 2 주사선이라고 불려도 좋다. 또, 제 1 트랜지스터(6601)는 구동 트랜지스터라고 불려도 좋다. 또한, 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)는 제 1 스위칭용 트랜지스터, 제 2 스위칭용 트랜지스터라고 불려도 좋다.

[0451] 또, 표시 소자(6621)로서, EL 소자 등의 발광 소자를 적용한 경우에 관해서 설명한다.

[0452] 또, 제 1 트랜지스터(6601), 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)는 N채널형의 트랜지스터를 나타내고 있지만, P채널형의 트랜지스터이어도 좋다. 실시형태 1 내지 실시형태 4에서는 제 1 트랜지스터(6601), 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)로서 N채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해지기 때문이다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 또한, 실시형태 5 내지 실시형태 8에서는 제 1 트랜지스터(6601), 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)로서 P채널형의 트랜지스터를 사용하는 것이 바람직

하다. 왜냐하면, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다.

[0453] 또, 제 1 배선(6611)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 신호선 S1 내지 Sm의 어느 하나에 상당한다. 제 3 배선(6613)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 주사선 G1 내지 Gn의 어느 하나에 상당한다.

[0454] 또, 제 2 배선(6612), 제 4 배선(6614)은 도 9, 도 11, 도 12 및 도 44에는 도시하지 않았지만, 이미 설명한 바와 같이 필요에 따라서 도 9, 도 11, 도 12 및 도 44에 추가하면 좋다.

[0455] 제 1 트랜지스터(6601)의 제 1 단자는 제 2 배선(6612)에 접속되고, 제 2 단자는 표시 소자(6621)의 화소전극에 접속되어 있다. 제 2 트랜지스터(6602)의 제 1 단자는 제 1 배선(6611)에 접속되고, 제 2 단자는 표시 소자(6621)의 화소전극에 접속되고, 게이트 단자는 제 3 배선(6613)에 접속되어 있다. 제 3 트랜지스터(6603)의 제 1 단자는 제 2 배선(6612)에 접속되고, 제 2 단자는 제 1 트랜지스터(6601)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(6614)에 접속되어 있다. 용량 소자(6600)의 제 1 전극은 제 1 트랜지스터(6601)의 게이트 단자에 접속되고, 제 2 전극은 표시 소자(6621)의 화소전극에 접속되어 있다.

[0456] 구동 방법으로서 제 3 배선(6613) 및 제 4 배선(6614)을 선택하여, 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)를 온 상태로 하고, 제 2 배선(6612)의 전위를 대향전극(6622)과 같은 정도의 전위까지 내린다. 그 후, 제 2 배선(6612)으로부터 제 1 배선(6611)에 비디오 신호에 따른 전류를 흘린다(비디오 신호를 입력한다). 이와 같이 하면, 제 1 트랜지스터(6601)의 게이트 단자의 전압은 비디오 신호에 따른 값이 되고, 그 때 제 1 트랜지스터(6601)의 게이트와 소스간의 전압(게이트 단자와 제 2 단자의 전위차)이 용량 소자(6600)에 유지된다. 그 후, 제 2 트랜지스터(6602) 및 제 3 트랜지스터(6603)를 오프시키고, 제 2 배선(6612)의 전위를 상승시키는 것으로, 표시 소자(6621)에 전류가 흐르기 시작한다. 이 때, 제 1 트랜지스터(6601)의 게이트와 소스간의 전압은 용량 소자(6600)에 의해서 비디오 신호에 따른 전위를 유지하기 때문에, 비디오 신호의 전류와 표시 소자(6621)에 흐르는 전류가 같은 값이 된다. 이와 같이 하면, 표시 소자(6621)는 비디오 신호에 따른 휘도로 발광한다.

[0457] 다음에, 도 66은 다른 화소의 구성에 관해서, 도 67을 참조하여 설명한다.

[0458] 도 67의 화소 구성에 관해서 설명한다. 도 67에 도시하는 화소 회로는 용량 소자(6700), 제 1 트랜지스터(6701), 제 2 트랜지스터(6702), 제 3 트랜지스터(6703), 제 4 트랜지스터(6704) 및 표시 소자(6721)를 갖는다. 또, 화소는 제 1 배선(6711), 제 2 배선(6712), 제 3 배선(6713), 제 4 배선(6714) 및 제 5 배선(6715)에 접속되어 있다. 또한, 표시 소자(6721)는 발광층이 화소전극과 대향전극(6722)의 사이에 협지되어, 화소전극으로부터 대향전극(6722)에 전류가 흐르는 EL 소자를 적용할 수 있다. 또, 제 1 배선(6711)은 신호선이라고 불려도 좋다. 또한, 제 2 배선(6712)은 전원선이라고 불려도 좋다. 또한, 제 3 배선(6713) 및 제 4 배선(6714)은 제 1 주사선, 제 2 주사선이라고 불려도 좋다. 또한, 제 5 배선(6715)은 유지 용량선이라고 불려도 좋다. 또, 제 1 트랜지스터(6701) 및 제 2 트랜지스터(6702)는 제 1 구동 트랜지스터, 제 2 구동 트랜지스터라고 불려도 좋다. 또한, 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)는 제 1 스위칭용 트랜지스터, 제 2 스위칭용 트랜지스터라고 불려도 좋다. 또, 제 1 트랜지스터(6701) 및 제 2 트랜지스터(6702)는 쌍을 이루고 있고, 소위 커런트(current) 미러의 구성으로 되어 있다.

[0459] 또, 표시 소자(6721)로서, EL 소자 등의 발광 소자를 적용한 경우에 관해서 설명한다.

[0460] 또, 제 1 트랜지스터(6701), 제 2 트랜지스터(6702), 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)는 N채널형의 트랜지스터를 나타내고 있지만, P채널형의 트랜지스터이어도 좋다. 실시형태 1 내지 실시형태 4에서는 제 1 트랜지스터(6701), 제 2 트랜지스터(6702), 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)로서 N채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해지기 때문이다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 또한, 실시형태 5 내지 실시형태 8에서는 제 1 트랜지스터(6701), 제 2 트랜지스터(6702), 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)로서 P채널형의 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다.

[0461] 또, 제 1 배선(6711)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 신호선 S1 내지 Sm의 어느 하나에

상당한다. 제 3 배선(6713)은 도 9, 도 11, 도 12 및 도 44의 표시 장치에 도시한 주사선 G1 내지 Gn의 어느 하나에 상당한다.

[0462] 또, 제 2 배선(6712), 제 4 배선(6714), 제 5 배선(6715)은 도 9, 도면 11, 도 12 및 도 44에는 도시하지 않았지만, 이미 설명한 바와 같이 필요에 따라서 도 9, 도 11, 도 12 및 도 44에 추가하면 좋다.

[0463] 제 1 트랜지스터(6701)의 제 1 단자는 제 2 배선(6712)에 접속되고, 제 2 단자는 표시 소자(6721)의 화소전극에 접속되어 있다. 제 2 트랜지스터(6702)의 제 1 단자는 제 3 트랜지스터(6703)의 제 2 단자에 접속되고, 제 2 단자는 표시 소자(6721)의 화소전극에 접속되어 있다. 제 3 트랜지스터(6703)의 제 1 단자는 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자에 접속되고, 게이트 단자는 제 4 배선(6714)에 접속되어 있다. 제 4 트랜지스터(6704)의 제 1 단자는 제 1 배선(6711)에 접속되고, 제 2 단자는 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자에 접속되고, 게이트 단자는 제 3 배선(6713)에 접속되어 있다. 용량 소자(6700)의 제 1 전극은 제 5 배선(6715)에 접속되고, 제 2 전극은 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자에 접속되어 있다.

[0464] 또, 용량 소자(6700)는 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자의 전압을 유지하는 역할을 하고 있다. 따라서, 용량 소자(6700)는 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자와 제 5 배선(6715)의 사이에 접속되어 있지만 이것에 한정되지 않는다. 용량 소자(6700)는 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자의 전압을 유지할 수 있도록 배치되어 있으면 좋고, 다른(예를 들면, 전행) 화소의 제 3 배선(6713)에 접속되어도 좋다. 또한, 용량 소자(6700)는 제 1 트랜지스터(6701)의 게이트 용량 및 제 2 트랜지스터(6702)의 게이트 용량을 사용하는 것으로 생략하여도 좋다.

[0465] 구동 방법으로서 제 3 배선(6713) 및 제 4 배선(6714)을 선택하여, 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)를 온 상태로 한다. 그 후, 제 1 배선(6711)으로부터 표시 소자(6721)에 비디오 신호에 따른 전류를 흘린다(비디오 신호를 입력한다). 이와 같이 하면, 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자의 전압은 비디오 신호에 따른 값이 된다. 그리고, 제 1 트랜지스터(6701)의 게이트 단자 및 제 2 트랜지스터(6702)의 게이트 단자의 전압이 용량 소자(6700)로 유지된다. 그 후, 제 3 트랜지스터(6703) 및 제 4 트랜지스터(6704)가 오프가 된다. 이와 같이 하면, 제 1 트랜지스터(6701)는 비디오 신호에 따른 전류를 표시 소자(6721)에 공급하여, 표시 소자(6721)는 비디오 신호에 따른 휘도로 발광한다.

[0466] 다음에, 도 65a, 65b에 도시한 화소의 단면도에 관해서 설명한다.

[0467] 도 69a에, 1개의 화소에 2개의 TFT를 갖는 화소의 소자의 레이아웃예를 도시한다. 또한, 도 69a에 있어서, X-X'로 도시되는 부분의 단면도를 도 69b에 도시한다. 또, 도 69a의 레이아웃예는 도 65a에 도시한 화소에 적용할 수 있다.

[0468] 도 69a에 도시하는 바와 같이, 본 발명에서의 화소는 제 1 TFT(6905), 제 1 배선(6906), 제 2 배선(6907), 제 2 TFT(6908), 제 3 배선(6911), 대향전극(6912), 콘덴서(6913), 화소전극(6915), 격벽(6916), 유기 도전체막(6917), 유기 박막(6918), 기관(6919)을 갖고 있어도 좋다. 또, 제 1 TFT(6905)는 스위칭용 TFT로서, 제 1 배선(6906)은 게이트 신호선으로서, 제 2 배선(6907)은 소스 신호선으로서, 제 2 TFT(6908)는 구동용 TFT로서, 제 3 배선(6911)은 전류 공급선으로서, 각각 사용되는 것이 적합하다.

[0469] 도 69a에 도시하는 바와 같이, 제 1 TFT(6905)의 게이트 전극은 제 1 배선(6906)과 전기적으로 접속되고, 제 1 TFT(6905)의 소스 단자 또는 드레인 단자의 한쪽은 제 2 배선(6907)과 전기적으로 접속되고, 제 1 TFT(6905)의 소스 단자 또는 드레인 단자의 다른쪽은 제 2 TFT(6908)의 게이트 전극 및 콘덴서(6913)의 한쪽의 전극과 전기적으로 접속되어 있는 것이 적합하다. 또, 제 1 TFT(6905)의 게이트 전극은 도 69a에 도시하는 바와 같이, 복수의 게이트 전극에 의해서 구성되어 있어도 좋다. 이와 같이 하는 것으로, 제 1 TFT(6905)의 오프 상태에서의 리크전류를 저감할 수 있다.

[0470] 또한, 제 2 TFT(6908)의 소스 단자 또는 드레인 단자의 한쪽은 제 3 배선(6911)과 전기적으로 접속되고, 제 2 TFT(6908)의 소스 단자 또는 드레인 단자의 다른쪽은 화소전극(6915)과 전기적으로 접속되어 있는 것이 적합하다. 이와 같이 하는 것으로, 화소전극(6915)에 흐르는 전류를, 제 2 TFT(6908)에 의해서 제어할 수 있다.

[0471] 화소전극(6915)상에는 유기 도전체막(6917)이 형성되고, 또 유기 박막(6918; 유기 화합물층)이 형성되어 있어도 좋다. 유기 박막(6918; 유기 화합물층)상에는 대향전극(6912)이 형성되어 있어도 좋다. 또, 대향전극(6912)은 모든 화소에서 공통으로 접속되도록, 일면에 형성되어 있어도 좋고, 새도우 마스크 등을 사용하여 패턴 형성되

어 있어도 좋다.

- [0472] 유기 박막(6918; 유기 화합물층)으로부터 발생한 광은 화소전극(6915) 또는 대향전극(6912) 중 어느 하나를 투과하여 발생한다. 이 때, 도 69b에서, 화소전극측, 즉 TFT 등이 형성되어 있는 측에 광이 발생하는 경우를 하면(下面) 사출, 대향전극측에 광이 발생하는 경우를 상면(上面) 사출이라고 부른다.
- [0473] 하면 사출의 경우, 화소전극(6915)은 투명 도전막에 의해서 형성되는 것이 적합하다. 또한, 상면 사출의 경우, 대향전극(6912)은 투명 도전막에 의해서 형성되는 것이 적합하다.
- [0474] 또한, 컬러표시의 발광 장치에서는 R·G·B 각각의 발광색을 가지는 EL 소자를 나누어 칠하여도 좋고, 단색의 EL 소자를 일면에 칠하여, 컬러필터에 의해서 R·G·B의 발광을 얻도록 하여도 좋다.
- [0475] 또, 도 69에 도시한 구성은 어디까지나 일례이고, 화소 레이아웃, 단면 구성, EL 소자의 전극의 적층순 등에 관해서, 도 69에 도시한 구성 이외에도, 여러 가지 구성을 취할 수 있다. 또한, 발광층은 도시한 유기 박막으로 구성되는 소자 외에, LED와 같은 결정성의 소자, 무기 박막으로 구성되는 소자 등, 여러 가지 소자를 사용할 수 있다.
- [0476] 다음에, 도 70a를 참조하여, 1개의 화소에 3개의 TFT를 갖는 화소의 소자의 레이아웃에 관해서 설명한다. 또한, 도 70a에 있어서, X-X'로 도시되는 부분의 단면도를 도 70b에 도시한다. 또, 도 70a의 레이아웃에는 도 65b에 도시한 화소에 적용할 수 있다.
- [0477] 도 70a에 도시하는 바와 같이, 본 발명에서의 화소는 기관(7000), 제 1 배선(7001), 제 2 배선(7002), 제 3 배선(7003), 제 4 배선(7004), 제 1 TFT(7005), 제 2 TFT(7006), 제 3 TFT(7007), 화소전극(7008), 격벽(7011), 유기 도전체막(7012), 유기 박막(7013), 대향전극(7014)을 갖고 있어도 좋다. 또, 제 1 배선(7001)은 소스 신호선으로서, 제 2 배선(7002)은 기록용 게이트 신호선으로서, 제 3 배선(7003)은 소거용 게이트 신호선으로서, 제 4 배선(7004)은 전류 공급선으로서, 제 1 TFT(7005)는 스위칭용 TFT로서, 제 2 TFT(7006)는 소거용 TFT로서, 제 3 TFT(7007)는 구동용 TFT로서, 각각 사용되는 것이 적합하다.
- [0478] 도 70a에 도시하는 바와 같이, 제 1 TFT(7005)의 게이트 전극은 제 2 배선(7002)과 전기적으로 접속되고, 제 1 TFT(7005)의 소스 단자 또는 드레인 단자의 한쪽은 제 1 배선(7001)과 전기적으로 접속되고, 제 1 TFT(7005)의 소스 단자 또는 드레인 단자의 다른쪽은 제 3 TFT(7007)의 게이트 전극과 전기적으로 접속되어 있는 것이 적합하다. 또, 제 1 TFT(7005)의 게이트 전극은 도 70a에 도시하는 바와 같이, 복수의 게이트 전극에 의해서 구성되어 있어도 좋다. 이와 같이 하는 것으로, 제 1 TFT(7005)의 오프 상태에서의 리크전류를 저감할 수 있다.
- [0479] 또한, 제 2 TFT(7006)의 게이트 전극은 제 3 배선(7003)과 전기적으로 접속되고, 제 2 TFT(7006)의 소스 단자 또는 드레인 단자의 한쪽은 제 4 배선(7004)과 전기적으로 접속되고, 제 2 TFT(7006)의 소스 단자 또는 드레인 단자의 다른쪽은 제 3 TFT(7007)의 게이트 전극과 전기적으로 접속되어 있는 것이 적합하다. 또, 제 2 TFT(7006)의 게이트 전극은 도 70a에 도시하는 바와 같이, 복수의 게이트 전극에 의해서 구성되어 있어도 좋다. 이와 같이 하는 것으로, 제 2 TFT(7006)의 오프 상태에서의 리크전류를 저감할 수 있다.
- [0480] 또한, 제 3 TFT(7007)의 소스 단자 또는 드레인 단자의 한쪽은 제 4 배선(7004)과 전기적으로 접속되고, 제 3 TFT(7007)의 소스 단자 또는 드레인 단자의 다른쪽은 화소전극(7008)과 전기적으로 접속되어 있는 것이 적합하다. 이와 같이 하는 것으로, 화소전극(7008)에 흐르는 전류를, 제 3 TFT(7007)에 의해서 제어할 수 있다.
- [0481] 화소전극(7008)상에는 유기 도전체막(7012)이 형성되고, 또 유기 박막(7013; 유기 화합물층)이 형성되어 있어도 좋다. 유기 박막(7013; 유기 화합물층)상에는 대향전극(7014)이 형성되어 있어도 좋다. 또, 대향전극(7014)은 모든 화소에서 공통으로 접속되도록, 일면에 형성되어 있어도 좋고, 새도우 마스크 등을 사용하여 패턴 형성되어 있어도 좋다.
- [0482] 유기 박막(7013; 유기 화합물층)으로부터 발생한 광은 화소전극(7008) 또는 대향전극(7014) 중 어느 하나를 투과하여 발생된다. 이 때, 도 70b에 있어서, 화소전극측, 즉 TFT 등이 형성되어 있는 측에 광이 발생하는 경우를 하면 사출, 대향전극측에 광이 발생하는 경우를 상면 사출이라고 부른다.
- [0483] 하면 사출의 경우, 화소전극(7008)은 투명 도전막에 의해서 형성되는 것이 적합하다. 반대로, 상면 사출의 경우, 대향전극(7014)은 투명 도전막에 의해서 형성되는 것이 적합하다.
- [0484] 또한, 컬러표시의 발광 장치에서는 R·G·B 각각의 발광색을 가지는 EL 소자를 나누어 칠하여도 좋고, 단색의

EL 소자를 일면에 형성하고, 컬러필터에 의해서 R·G·B의 발광을 얻도록 하여도 좋다.

- [0485] 또, 도 70에 도시한 구성은 어디까지나 일례이고, 화소 레이아웃, 단면 구성, EL 소자의 전극의 적층순 등에 관해서, 도 70에 도시한 구성 이외에도, 여러 가지 구성을 취할 수 있다. 또한, 발광층은 도시한 유기 박막으로 구성되는 소자 외에, LED와 같은 결정성의 소자, 무기 박막으로 구성되는 소자 등, 여러 가지 소자를 사용할 수 있다.
- [0486] 다음에, 도 71a를 참조하여, 1개의 화소에 4개의 TFT를 갖는 화소의 소자의 레이아웃에 관해서 설명한다. 또한, 도 71a에 있어서, X-X'로 도시되는 부분의 단면도를 도 71b에 도시한다.
- [0487] 도 71a에 도시하는 바와 같이, 본 발명에서의 화소는 기관(7100), 제 1 배선(7101), 제 2 배선(7102), 제 3 배선(7103), 제 4 배선(7104), 제 1 TFT(7105), 제 2 TFT(7106), 제 3 TFT(7107), 제 4 TFT(7108), 화소전극(7109), 제 5 배선(7111), 제 6 배선(7112), 격벽(7121), 유기 도전체막(7122), 유기 박막(7123), 대향전극(7124)을 갖고 있어도 좋다. 또, 제 1 배선(7101)은 소스 신호선으로서, 제 2 배선(7102)은 기록용 게이트 신호선으로서, 제 3 배선(7103)은 소거용 게이트 신호선으로서, 제 4 배선(7104)은 역방향 바이어스용 신호선으로서, 제 1 TFT(7105)는 스위칭용 TFT로서, 제 2 TFT(7106)는 소거용 TFT로서, 제 3 TFT(7107)은 구동용 TFT로서, 제 4 TFT(7108)는 역방향 바이어스용 TFT로서, 제 5 배선(7111)은 전류 공급선으로서, 제 6 배선(7112)은 역방향 바이어스용 전원선으로서, 각각 사용되는 것이 적합하다.
- [0488] 도 71a에 도시하는 바와 같이, 제 1 TFT(7105)의 게이트 전극은 제 2 배선(7102)과 전기적으로 접속되고, 제 1 TFT(7105)의 소스 단자 또는 드레인 단자의 한쪽은 제 1 배선(7101)과 전기적으로 접속되고, 제 1 TFT(7105)의 소스 단자 또는 드레인 단자의 다른쪽은 제 3 TFT(7107)의 게이트 전극과 전기적으로 접속되어 있는 것이 적합하다. 또, 제 1 TFT(7105)의 게이트 전극은 도 71a에 도시하는 바와 같이, 복수의 게이트 전극에 의해서 구성되어 있어도 좋다. 이와 같이 하는 것으로, 제 1 TFT(7105)의 오프 상태에서의 리크전류를 저감할 수 있다.
- [0489] 또한, 제 2 TFT(7106)의 게이트 전극은 제 3 배선(7103)과 전기적으로 접속되고, 제 2 TFT(7106)의 소스 단자 또는 드레인 단자의 한쪽은 제 5 배선(7111)과 전기적으로 접속되고, 제 2 TFT(7106)의 소스 단자 또는 드레인 단자의 다른쪽은 제 3 TFT(7107)의 게이트 전극과 전기적으로 접속되어 있는 것이 적합하다. 또, 제 2 TFT(7106)의 게이트 전극은 도 71a에 도시하는 바와 같이, 복수의 게이트 전극에 의해서 구성되어 있어도 좋다. 이와 같이 하는 것으로, 제 2 TFT(7106)의 오프 상태에서의 리크전류를 저감할 수 있다.
- [0490] 또한, 제 3 TFT(7107)의 소스 단자 또는 드레인 단자의 한쪽은 제 5 배선(7111)과 전기적으로 접속되고, 제 3 TFT(7107)의 소스 단자 또는 드레인 단자의 다른쪽은 화소전극(7109)과 전기적으로 접속되어 있는 것이 적합하다. 이와 같이 하는 것으로, 화소전극(7109)에 흐르는 전류를, 제 3 TFT(7107)에 의해서 제어할 수 있다.
- [0491] 또한, 제 4 TFT(7108)의 게이트 전극은 제 4 배선(7104)과 전기적으로 접속되고, 제 4 TFT(7108)의 소스 단자 또는 드레인 단자의 한쪽은 제 6 배선(7112)과 전기적으로 접속되고, 제 4 TFT(7108)의 소스 단자 또는 드레인 단자의 다른쪽은 화소전극(7109)과 전기적으로 접속되어 있는 것이 적합하다. 이와 같이 하는 것으로, 화소전극(7109)의 전위를, 제 4 TFT(7108)에 의해서 제어할 수 있기 때문에, 유기 도전체막(7122) 및 유기 박막(7123) 등으로 구성되는 발광 소자에, 역방향의 바이어스를 인가할 수 있다. 유기 도전체막(7122) 및 유기 박막(7123) 등으로 구성되는 발광 소자에 역방향의 바이어스를 인가함으로써, 발광 소자의 신뢰성을 크게 향상시킬 수 있다.
- [0492] 예를 들면, 직류전압(3.65 V)으로 구동한 경우의 휘도 반감시간이 400시간 정도인 발광 소자를, 교류전압(순방향 바이어스 : 3.7V, 역방향 바이어스 : 1.7V, 듀티비 50%, 교류 주파수 60Hz)으로 구동하면, 휘도 반감시간은 700시간 이상이 되는 것을 알 수 있다.
- [0493] 다음에, 화소전극(7109)상에는 유기 도전체막(7122)이 형성되고, 또 유기 박막(7123; 유기 화합물층)이 형성되어 있어도 좋다. 유기 박막(7123; 유기 화합물층)상에는 대향전극(7124)이 형성되어 있어도 좋다. 또, 대향전극(7124)은 모든 화소에서 공통으로 접속되도록, 일면에 형성되어 있어도 좋고, 새도우 마스크 등을 사용하여 패턴 형성되어 있어도 좋다.
- [0494] 유기 박막(7123; 유기 화합물층)으로부터 발생한 광은 화소전극(7109) 또는 대향전극(7124) 중 어느 하나를 투과하여 발생한다. 이 때, 도 71b에 있어서, 화소전극측, 즉 TFT 등이 형성되어 있는 측에 광이 발생하는 경우를 하면 사출, 대향전극측에 광이 발생하는 경우를 상면 사출이라고 부른다.
- [0495] 하면 사출의 경우, 화소전극(7109)은 투명 도전막에 의해서 형성되는 것이 적합하다. 반대로, 상면 사출의 경

우, 대향전극(7124)은 투명 도전막에 의해서 형성되는 것이 적합하다.

- [0496] 또한, 컬러표시의 발광 장치에서는 R·G·B 각각의 발광색을 가지는 EL 소자를 나누어 칠하여도 좋고, 단색의 EL 소자를 일면에 형성하고, 컬러필터에 의해서 R·G·B의 발광을 얻도록 하여도 좋다.
- [0497] 또, 도 71에 도시한 구성은 어디까지나 일례이고, 화소 레이아웃, 단면 구성, EL 소자의 전극의 적층순 등에 관해서, 도 71에 도시한 구성 이외에도, 여러 가지 구성을 취할 수 있다. 또한, 발광층은 도시한 유기 박막으로 구성되는 소자 외에, LED와 같은 결정성의 소자, 무기 박막으로 구성되는 소자 등, 여러 가지 소자를 사용할 수 있다.
- [0498] 다음에, 본 발명에 적용할 수 있는 EL 소자의 구조에 관해서 설명한다.
- [0499] 본 발명에 적용할 수 있는 EL 소자는 정공 주입 재료로 이루어지는 정공 주입층, 정공 수송 재료로 이루어지는 정공 수송층, 발광 재료로 이루어지는 발광층, 전자 수송 재료로 이루어지는 전자 수송층, 전자 주입 재료로 이루어지는 전자 주입층 등이, 명확히 구별되는 적층 구조가 아니라, 정공 주입 재료, 정공 수송 재료, 발광 재료, 전자 수송 재료, 전자 주입 재료 등의 재료 중, 복수의 재료가 혼합된 층(혼합층)을 갖는 구성(이하, 혼합 접합형의 EL 소자와 표기함)이어도 좋다.
- [0500] 혼합 접합형의 EL 소자의 구조를 나타내는 모식도를 도 72에 도시한다. 도 72에 있어서, 7201은 EL 소자의 양극이다. 7202는 EL 소자의 음극이다. 양극(7201)과 음극(7202)의 사이에 두어진 층이, EL층에 상당한다.
- [0501] 도 72a에서, EL층은 정공 수송 재료로 이루어지는 정공 수송영역(7203)과 전자 수송 재료로 이루어지는 전자 수송영역(7204)을 포함하여, 정공 수송영역(7203)은 전자 수송영역(7204)보다도 양극측에 위치하고, 또한, 정공 수송영역(7203)과 전자 수송영역(7204)의 사이에 정공 수송 재료 및 전자 수송 재료의 양쪽을 포함하는 혼합영역(7205)이 형성된 구성으로 할 수 있다.
- [0502] 또, 이 때, 양극(7201)으로부터 음극(7202)의 방향에, 혼합영역(7205) 내의 정공 수송 재료의 농도는 감소하고, 혼합영역(7205) 내의 전자 수송 재료의 농도는 증가하는 것을 특징으로 하여도 좋다.
- [0503] 또, 상기 구성에서, 정공 수송 재료만으로 이루어지는 정공 수송영역(7203)이 존재하지 않고, 정공 수송 재료 및 전자 수송 재료의 양쪽을 포함하는 혼합영역(7205) 내부에서 각 기능 재료의 농도의 비율이 변화하는(농도 구배를 갖는) 구성이어도 좋다. 또한, 정공 수송 재료만으로 이루어지는 정공 수송영역(7203) 및 전자 수송 재료만으로 이루어지는 전자 수송영역(7204)이 존재하지 않고, 정공 수송 재료 및 전자 수송 재료의 양쪽을 포함하는 혼합영역(7205) 내부에서 각 기능 재료의 농도의 비율이 변화하는(농도 구배를 갖는) 구성이어도 좋다. 또한, 농도의 비율은 양극이나 음극으로부터의 거리에 의존하여 변화하는 구성이어도 좋다. 또, 농도의 비율의 변화는 연속적이어도 좋다. 농도 구배의 설정의 방법은 자유롭게 설정하는 것이 가능하다.
- [0504] 혼합영역(7205) 내에, 발광 재료가 첨가된 영역(7206)을 갖는다. 발광 재료에 의해서, EL 소자의 발광색을 제어할 수 있다. 또한, 발광 재료에 의해서, 캐리어를 트랩할 수 있다. 발광 재료로서는 퀴놀린 골격을 포함하는 금속착체, 벤조옥사졸 골격을 포함하는 금속착체, 벤조티아졸 골격을 포함하는 금속착체 등 외에, 각종 형광 색소를 사용할 수 있다. 이들의 발광 재료를 첨가함으로써, EL 소자의 발광색을 제어할 수 있다.
- [0505] 양극(7201)으로서는 효율 좋게 정공을 주입하기 위해서, 일함수가 큰 전극 재료를 사용하는 것이 바람직하다. 예를 들면, 주석도프산화인듐(ITO)이나, 아연 도프산화인듐(IZO), ZnO, SnO₂, In₂O₃ 등의 투명전극을 사용할 수 있다. 또한, 투광성을 가질 필요가 없으면, 양극(7201)은 불투명의 금속 재료이어도 좋다.
- [0506] 또한, 정공 수송 재료로서는 방향족아민계의 화합물 등을 사용할 수 있다.
- [0507] 또한, 전자 수송 재료로서는 퀴놀린 유도체, 8-퀴놀리노레이토 또는 그 유도체를 배위자로 하는 금속착체(특히, 트리스(8-퀴놀리노레이토)알루미늄(Alq₃)) 등을 사용할 수 있다.
- [0508] 음극(7202)으로서는 효율이 좋게 전자를 주입하기 위해서, 일함수가 작은 전극 재료를 사용하는 것이 바람직하다. 알루미늄, 인듐, 마그네슘, 은 칼슘, 바륨, 리튬 등의 금속을 단체로 사용할 수 있다. 또한, 이들의 금속의 합금이어도 좋고, 이들의 금속과 다른 금속과의 합금이어도 좋다.
- [0509] 도 72a와는 다른 구성의 EL 소자의 모식도를 도 72b에 도시한다. 또, 도 72a와 같은 부분은 같은 부호를 사용하여 개시하고, 설명은 생략한다.
- [0510] 도 72b에서는 발광 재료가 첨가된 영역을 갖지 않는다. 그러나, 전자 수송영역(7204)에 첨가하는 재료로서, 전

자 수송성 및 발광성의 양쪽을 갖는 재료(전자 수송발광 재료), 예를 들면, 트리스(8-퀴놀리노레이토)알루미늄(Alq_3)을 사용하는 구성으로 하여, 발광을 할 수 있다.

- [0511] 또는 정공 수송영역(7203)에 첨가하는 재료로서, 정공 수송성 및 발광성의 양쪽을 갖는 재료(정공 수송 발광 재료)를 사용하여도 좋다.
- [0512] 도 72a 및 도 72b와는 다른 구성의 EL 소자의 모식도를 도 72c에 도시한다. 또, 도 72a 및 도 72b와 같은 부분은 같은 부호를 사용하여 개시하고, 설명은 생략한다.
- [0513] 도 72c에서, 정공 수송 재료와 비교하여 최고 피점 분자 궤도와 최저 피점 분자 궤도의 에너지차가 큰 정공 블로킹성 재료가, 혼합영역(7205) 내에 첨가된 영역(7207)을 갖는다. 정공 블로킹성 재료가 첨가된 영역(7207)을, 혼합영역(7205) 내의 발광 재료가 첨가된 영역(7206)보다 음극(7202)측에 배치함으로써, 캐리어의 재결합율을 올리고, 발광 효율을 올릴 수 있다. 상기, 정공 블로킹성 재료가 첨가된 영역(7207)을 형성하는 구성은 특히, 3중항 여기자에 의한 발광(인광)을 이용하는 EL 소자에 있어서 유효하다.
- [0514] 도 72a, 도 72b 및 도 72c는 다른 구성의 EL 소자의 모식도를 도 72d에 도시한다. 또, 도 72a, 도 72b 및 도 72c와 같은 부분은 같은 부호를 사용하여 개시하고, 설명은 생략한다.
- [0515] 도 72d에서, 전자 수송 재료와 비교하여 최고 피점 분자 궤도와 최저 피점 분자 궤도의 에너지차가 큰 전자 블로킹성 재료가, 혼합영역(7205) 내에 첨가된 영역(7208)을 갖는다. 전자 블로킹성 재료가 첨가된 영역(7208)을 혼합영역(7205) 내의 발광 재료가 첨가된 영역(7206)보다 양극(7201)측에 배치함으로써, 캐리어의 재결합율을 올리고, 발광 효율을 올릴 수 있다. 상기, 전자 블로킹성 재료가 첨가된 영역(7208)을 형성하는 구성은 특히, 3중항 여기자가 의한 발광(인광)을 이용하는 EL 소자에 있어서 유효하다.
- [0516] 도 72e는 도 72a, 도 72b, 도 72c 및 도 72d와는 다른 혼합 접합형의 EL 소자의 구성을 나타내는 모식도이다. 도 72e에서는 EL 소자의 전극에 접하는 EL층의 부분에, 금속 재료를 첨가한 영역(7209)을 갖는 구성이 예를 도시한다. 도 72e에서, 도 72a 내지 도 72d와 같은 부분은 같은 부호를 사용하여 도시하고 설명은 생략한다. 도 72e에 도시하는 구성은 예를 들면, 음극(7202)으로서 $\text{MgAg}(\text{Mg-Ag 합금})$ 을 사용하여, 전자 수송 재료가 첨가된 영역(7204)의, 음극(7202)에 접하는 영역에 $\text{Al}(\text{알루미늄})$ 합금을 첨가한 영역(7209)을 갖는 구성이어도 좋다. 상기 구성에 의해서, 음극의 산화를 방지하고, 또한, 음극으로부터의 전자의 주입 효율을 높일 수 있다. 이와 같이 하여, 혼합 접합형의 EL 소자로서는 그 수명을 길게 할 수 있다. 또한, 구동전압도 낮게 할 수 있다.
- [0517] 상기 혼합 접합형의 EL 소자를 제작하는 수법으로서는 공증착법 등을 사용할 수 있다.
- [0518] 도 72a 내지 도 72e에 도시한 바와 같은 혼합 접합형의 EL 소자에서는 명확한 층의 계면이 존재하지 않고, 전하의 축적을 저감할 수 있다. 이와 같이 하여, 그 수명을 길게 할 수 있다. 또한, 구동전압도 낮게 할 수 있다.
- [0519] 또, 도 72a 내지 도 72e에 도시한 구성은 자유롭게 조합하여 실시하는 것이 가능하다.
- [0520] 또, 혼합 접합형의 EL 소자의 구성은 이것에 한정되지 않는다. 공지의 구성을 자유롭게 사용할 수 있다.
- [0521] 또, EL 소자의 EL층을 구성하는 유기 재료로서는 저분자 재료이어도 좋고, 고분자 재료이어도 좋다. 또한, 이들의 재료를 양쪽 사용하여도 좋다. 유기 화합물 재료로서 저분자 재료를 사용하는 경우는 증착법에 의해서 성막할 수 있다. 한편, EL층으로서 고분자 재료를 사용하는 경우로서는 고분자 재료를 용매에 녹이고, 스핀도포법이나 잉크젯 방식으로 성막할 수 있다.
- [0522] 또한, EL층은 중분자 재료에 의해서 구성되어 있어도 좋다. 본 명세서 중에서, 중분자계 유기발광 재료는 승화성을 갖지 않고, 또한, 중합도가 20정도 이하의 유기발광 재료를 나타내는 것으로 한다. EL층으로서 중분자 재료를 사용하는 경우에는 잉크젯 방식 등으로 성막할 수 있다.
- [0523] 또, 저분자 재료와 고분자 재료와 중분자 재료를 조합하여 사용하여도 좋다.
- [0524] 또한, EL 소자는 1중항 여기자로부터의 발광(형광)을 이용하는 것이나, 3중항 여기자로부터의 발광(인광)을 이용하는 것이나, 어느 쪽이나 좋다.
- [0525] 다음에, 본 발명이 적용할 수 있는 표시 장치를 제조하기 위한 증착장치에 관해서, 도면을 참조하여 설명한다.
- [0526] 본 발명을 적용할 수 있는 표시 장치는 EL층을 형성하여 제조되어도 좋다. EL층은 일렉트로루미네선스를 발현

하는 재료를 적어도 일부에 포함하여 형성된다. EL층은 기능이 다른 복수의 층으로 구성되어도 좋다. 그 경우, EL층은 정공 주입 수송층, 발광층, 전자 주입 수송층 등이라고도 불리는 기능이 다른 층이 조합되어 구성되어 있어도 좋다.

- [0527] 트랜지스터가 형성된 소자기판에, EL층을 형성하기 위한 증착장치의 구성을 도 73에 도시한다. 이 증착장치는 반송실(7360, 7361)에 복수의 처리실을 연결하고 있다. 처리실에는 기판을 공급하는 로드실(7362), 기판을 회수하는 언로드실(7363), 가열 처리실(7368), 플라즈마 처리실(7372), EL 재료를 증착하는 성막 처리실(7369, 7370, 7371, 7373, 7374, 7375), EL 소자의 한쪽의 전극으로서, 알루미늄 또는 알루미늄을 주성분으로 하는 도전막을 형성하는 성막 처리실(7376)을 포함하고 있다. 또한, 반송실과 각 처리실의 사이에는 게이트 밸브(7377a 내지 73771)가 형성되어 있고, 각 처리실의 압력은 독립하여 제어 가능하게 되고 있고, 처리실간의 상호오염을 막고 있다.
- [0528] 로드실(7362)로부터 반송실(7360)에 도입된 기판은 회전이 자유롭게 형성된 암(arm) 방식의 반송수단(7366)에 의해, 소정의 처리실에 반입된다. 또한, 기판은 반송수단(7366)에 의해, 어떤 처리실로부터 다른 처리실로 반송된다. 반송실(7360)과 반송실(7361)은 성막 처리실(7370)로 연결되고, 여기에서 반송수단(7366)과 반송수단(7367)에 의해 기판을 수수한다.
- [0529] 반송실(7360) 및 반송실(7361)에 연결하는 각 처리실은 감압 상태로 유지되어 있다. 따라서, 이 증착장치에서는 기판은 대기에 접촉되지 않고 연속하여 EL층의 성막 처리가 행하여진다. EL층의 성막 처리가 끝난 표시 패널은 수증기 등에 의해 열화되는 경우가 있기 때문에, 이 증착장치에서는 품질을 유지하기 위해서 대기에 접촉시키기 전에 밀봉 처리를 하기 위한 밀봉 처리실(7365)이 반송실(7361)에 연결되어 있다. 밀봉 처리실(7365)은 대기압 또는 이것과 가까운 감압하에 두어져 있기 때문에, 반송실(7361)과 밀봉 처리실(7365)의 사이에도 중간 처리실(7364)이 구비되어 있다. 중간 처리실(7364)은 기판의 수수와 실(室)간의 압력을 완충하기 위해서 형성되어 있다.
- [0530] 로드실, 언로드실, 반송실 및 성막 처리실에는 실내를 감압으로 유지하기 위한 배기수단이 구비되어 있다. 배기수단으로서는 드라이펌프, 터보 분자펌프, 확산펌프 등 각종의 진공펌프를 사용할 수 있다.
- [0531] 도 73의 증착장치에서, 반송실(7360) 및 반송실(7361)에 연결되는 처리실의 수나 그 구성은 EL 소자의 적층 구조에 따라서 적절하게 조합할 수 있다. 이하에, 그 조합의 일례를 나타낸다.
- [0532] 가열 처리실(7368)은 처음에 하부 전극이나 절연 격벽 등이 형성된 기판을 가열하여 탈가스 처리를 한다. 플라즈마 처리실(7372)은 하지 전극 표면을 회가스나 산소 플라즈마 처리를 한다. 이 플라즈마 처리는 표면을 청정화, 표면 상태의 안정화, 표면의 물리적 또는 화학적 상태(예를 들면, 일함수 등)를 안정화시키기 위해서 행한다.
- [0533] 성막 처리실(7369)은 EL 소자의 한쪽의 전극과 접촉하는 전극 버퍼층을 형성하는 처리실이다. 전극 버퍼층은 캐리어 주입성(정공 주입 또는 전자 주입)이 있고, EL 소자의 단락이나 암점(暗点) 결함의 발생을 억제하는 층이다. 대표적으로는 전극 버퍼층은 유기무기 혼합 재료이고, 저항율이 5×10^4 내지 $1 \times 10^6 \Omega \text{cm}$ 이고, 30 내지 300nm의 두께로 형성된다. 또한, 성막 처리실(7371)은 정공 수송층을 성막하는 처리실이다.
- [0534] EL 소자에서의 발광층은 단색 발광을 하는 경우와 백색 발광을 하는 경우에서, 그 구성이 다르다. 증착장치에서 성막 처리실도 이것에 따라서 배치하는 것이 바람직하다. 예를 들면, 표시 패널에 발광색이 다른 3종류의 EL 소자를 형성하는 경우에는 각 발광색에 대응한 발광층을 성막할 필요가 있다. 이 경우, 성막 처리실(7370)을 제 1 발광층의 성막용으로서, 성막 처리실(7373)을 제 2 발광층의 성막용으로서, 성막 처리실(7374)을 제 3 발광층의 성막용으로서 사용할 수 있다. 발광층마다 성막 처리실을 나누는 것으로, 다른 발광 재료에 의한 상호오염을 방지할 수 있고, 성막 처리의 스루풋을 향상시킬 수 있다.
- [0535] 또한, 성막 처리실(7370), 성막 처리실(7373), 성막 처리실(7374)의 각각에, 발광색이 다른 3종류의 EL 재료를 순차 증착하여도 좋다. 이 경우, 세도우 마스크를 사용하여, 증착하는 영역에 따라서 상기 마스크를 엇갈리게 하여 증착을 하게 된다.
- [0536] 백색 발광하는 EL 소자를 형성하는 경우에는 다른 발광색의 발광층을 세로 적층으로 하여 형성한다. 그 경우에도, 소자기판이 성막 처리실을 순차 이동하여, 발광층마다 성막할 수 있다. 또한, 같은 성막 처리실에서 다른 발광층을 연속하여 성막할 수도 있다.
- [0537] 성막 처리실(7376)에서는 EL층의 위에 전극을 성막한다. 전극의 형성은 전자빔증착법이나 스퍼터링법을 적용할

수도 있지만 바람직하게는 저항가열증착법을 이용하는 것이 바람직하다.

- [0538] 전극의 형성까지 종료한 소자기관은 중간 처리실(7364)을 지나서 밀봉 처리실(7365)에 반입된다. 밀봉 처리실(7365)은 헬륨, 아르곤, 네온, 또는 질소 등의 불활성인 기체가 충전되어 있고, 그 분위기하에서 소자기관의 EL 층이 형성된 측에 밀봉판을 접착하여 밀봉한다. 밀봉된 상태에 있어서, 소자기관과 밀봉판의 사이에는 불활성 기체가 충전되어 있어도 좋고, 수지 재료를 충전하여 두어도 좋다. 밀봉 처리실(7365)에는 밀봉재를 묘화하는 디스펜서나, 소자기관에 대향하여 밀봉판을 고정하는 고정 스테이지나 암 등의 기계적 요소, 수지 재료를 충전하는 디스펜서 또는 스핀코터 등이 구비되어 있다.
- [0539] 도 74는 성막 처리실의 내부 구성을 도시한다. 성막 처리실은 감압하에서 유지되고 있고, 도 74에서는 천정판(7491)과 보텀판(7492)의 사이에 있는 내측이 실내이고, 감압 상태로 유지되는 실내를 도시하고 있다.
- [0540] 처리실 내에는 하나 또는 복수개의 증발원이 구비되어 있다. 조성이 다른 복수의 층을 성막하는 경우나, 다른 재료를 공증착하는 경우는 복수개의 증발원을 형성하는 것이 바람직하기 때문이다. 도 74에서는 증발원(7481a, 7481b, 7481c)이 증발원 홀더(7480)에 장착되어 있다. 증발원 홀더(7480)는 다관절 암(7483)에 의해서 유지되어 있다. 다관절 암(7483)은 관절의 신축에 의해서, 증발원 홀더(7480)의 위치를 그 가동범위 내에서 이 자유롭게 이동 가능하게 하고 있다. 또한, 증발원 홀더(7480)에 거리 센서(7482)를 형성하고, 증발원(7481a 내지 7481c)과 기관(7489)의 간격을 모니터링하여, 증착시에서의 최적의 간격을 제어하여도 좋다. 그 경우에는 다관절 암은 상하방향(Z방향)으로도 변위하는 다관절 암으로 하여도 좋다.
- [0541] 기관 스테이지(7486)와 기관 척(7487)은 한 쌍이 되어 기관(7489)을 고정한다. 기관 스테이지(7486)는 히터를 내장시켜 기관(7489)을 가열할 수 있도록 구성하여도 좋다. 기관(7489)은 기관 척(7487)에 의해, 기관 스테이지(7486)에 고정되고 또 반출입된다. 증착에서는 필요에 따라서 증착하는 패턴에 대응하여 개구부를 구비한 새도우 마스크(7490)를 사용할 수도 있다. 이 경우, 새도우 마스크(7490)는 기관(7489)과 증발원(7481a 내지 7481c)의 사이에 배치되도록 한다. 새도우 마스크(7490)는 마스크 척(7488)에 의해, 기관(7489)과 밀착 또는 일정한 간격을 갖고 고정된다. 새도우 마스크(7490)의 얼라이먼트가 필요한 경우에는 처리실 내에 카메라를 배치하고, 마스크 척(7488)에 X-Y- θ 방향에 미동하는 위치 결정 수단을 구비하는 것으로, 그 위치맞춤을 한다.
- [0542] 증발원(7481)에는 증착 재료를 증발원에 연속하여 공급하는 증착 재료 공급수단이 부가되어 있다. 증착 재료 공급수단은 증발원(7481)과 떨어진 위치에 배치되는 재료 공급원(7485a, 7485b, 7485c)과 그 양자간을 연결하는 재료 공급관(7484)을 갖고 있다. 전형적으로는 재료 공급원(7485a, 7485b, 7485c)은 증발원(7481)에 대응하여 형성되어 있다. 도 74의 경우는 재료 공급원(7485a)과 증발원(7481a)이 대응하고 있다. 재료 공급원(7485b)과 증발원(7481b), 재료 공급원(7485c)과 증발원(7481c)에 관해서도 동일하다.
- [0543] 증착 재료의 공급 방식에는 기류 반송 방식, 에어로솔(aerosol) 방식 등을 적용할 수 있다. 기류 반송 방식은 증착 재료의 미분말을 기류에 실어 반송하는 것으로, 불활성가스 등을 사용하여 증발원(7481)에 반송한다. 에어로솔 방식은 증착 재료를 용제 중에 용해 또는 분산시킨 원료액을 반송하여, 분무기에 의해 에어로솔화하여, 에어로솔 중의 용매를 기화시키면서 행하는 증착이다. 어떤 경우이나, 증발원(7481)에는 가열수단이 형성되고, 반송된 증착 재료를 증발시켜 기관(7489)에 성막한다. 도 74의 경우, 재료 공급관(7484)은 유연하게 구부릴 수 있고, 감압 상태하에서도 변형하지 않는 정도의 강성을 가진 세관(細管)으로 구성되어 있다.
- [0544] 기류 반송 방식이나 에어로솔 방식을 적용하는 경우에는 성막 처리실 내를 대기압 또는 그 이하로, 바람직하게는 133Pa 내지 13300Pa의 감압하에서 성막을 하면 좋다. 성막 처리실 내에는 헬륨, 아르곤, 네온, 크립톤, 크세논, 또는 질소 등의 불활성 기체를 충전하고, 또는 상기 기체를 공급하면서(동시에 배기하면서), 압력을 조절할 수 있다. 또한, 산화막을 형성하는 성막 처리실에서는 산소, 아산화질소 등의 기체를 도입하여 산화 분위기로 하여 두어도 좋다. 또한, 유기 재료를 증착하는 성막 처리실 내에는 수소 등의 기체를 도입하여 환원 분위기로 하여 두어도 좋다.
- [0545] 그 밖의 증착 재료의 공급방법으로서, 재료 공급관(7484) 중에 스크류를 형성하고 증착 재료를 증발원을 향하여 연속적으로 압출하는 구성으로 하여도 좋다.
- [0546] 이 증착장치에 의하면, 대화면의 표시 패널에서도, 균일성 좋게, 연속하여 성막할 수 있다. 또한, 증발원에 증착 재료가 없어질 때마다, 그 때마다 증착 재료를 보급할 필요가 없기 때문에, 스루풋을 향상시킬 수 있다.
- [0547] 화소의 구동에 상기 실시형태에서 개시한 표시 장치의 구성을 적용함으로써, 트랜지스터의 특성 열화를 억제할 수 있다. 그 때문에, 트랜지스터의 특성 열화가 원인인 시프트 레지스터의 오동작을 방지할 수 있다. 또한,

시프트 레지스터의 오동작이 원인인 화소의 표시 불량을 억제할 수 있다.

- [0548] 또, 본 실시형태에서 개시한 화소의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 화소의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0549] (실시형태 11)
- [0550] 본 실시형태에서는 실시형태 1 내지 실시형태 8에 개시한 표시 장치가 갖는 신호선 구동 회로에 관해서 설명한다.
- [0551] 도 56의 신호선 구동 회로에 관해서 설명한다. 도 56에 도시하는 신호선 구동 회로는 드라이버 IC(5601), 스위치군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 또한, 스위치군(5602_1 내지 5602_M) 각각은 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)를 갖는다.
- [0552] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속되어 있다. 그리고, 스위치군(5602_1 내지 5602_M) 각각은 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치군(5602_1 내지 5602_M) 각각에 대응한 배선(5621_1 내지 5621_M) 중 어느 하나에 접속되어 있다. 그리고, 배선(5621_1 내지 5621_M) 각각은 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)를 개재하여, 3개의 신호선에 접속되어 있다. 예를 들면, J열째의 배선(5621_J(배선(5621_1) 내지 배선(5621_M) 중 어느 하나))은 스위치군(5602_J)이 갖는 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)를 개재하여, 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속되어 있다.
- [0553] 또, 드라이버 IC(5601)는 단결정 기관 또는 다결정 반도체를 사용한 유리기관상에 형성되어 있는 것이 바람직하다. 또한, 스위치군(5602_1 내지 5602_M)은 실시형태 1 내지 실시형태 8에 개시한 화소부와 동일 기관상에 형성되어 있는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치군(5602_1 내지 5602_M)은 FPC 등을 통해서 접속하면 좋다.
- [0554] 다음에, 도 56에 도시한 신호선 구동 회로의 동작에 관해서, 도 57의 타이밍 차트를 참조하여 설명한다. 또, 도 57의 타이밍 차트는 i행째의 주사선 Gi가 선택되어 있는 경우의 타이밍 차트를 도시하고 있다. 또한, i행째의 주사선 Gi의 선택 기간은 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또, 도 56의 신호선 구동 회로는 다른 행의 주사선이 선택되어 있는 경우에도 도 57과 같은 동작을 한다.
- [0555] 또, 제 1 배선(5611), 제 2 배선(5612) 및 제 3 배선(5613)에는 신호가 입력되어 있다. 제 1 배선(5611)에 입력되는 신호에 의해서 제 1 스위치(5603a)의 온 및 오프가 제어된다. 제 2 배선(5612)에 입력되는 신호에 의해서 제 2 스위치(5603b)의 온 및 오프가 제어된다. 제 3 배선(5613)에 입력되는 신호에 의해서, 제 3 스위치(5603c)의 온 및 오프가 제어된다.
- [0556] 또, 도 57의 타이밍 차트는 J열째의 배선(5621_J)이 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)를 통해서, 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속되어 있는 경우에 관해서 도시하고 있다.
- [0557] 또, 도 57의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제 1 스위치(5603a)의 온 및 오프의 타이밍(5703a), 제 2 스위치(5603b)의 온 및 오프의 타이밍(5703b), 제 3 스위치(5603c)의 온 및 오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 도시하고 있다.
- [0558] 또, 배선(5621_1) 내지 배선(5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력되어 있다. 예를 들면, 제 1 서브 선택 기간 T1에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제 2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data j-1, Data j, Data j+1로 한다.
- [0559] 도 57에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에서 제 1 스위치(5603a)가 온되고, 제 2 스위치(5603b) 및 제 3 스위치(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j-1이, 제 1 스위치(5603a)를 통해서 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는 제 2 스위치(5603b)가 온되고, 제 1 스위치(5603a) 및 제 3 스위치(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j가, 제 2 스위치

(5603b)를 통해서 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는 제 3 스위치(5603c)가 온되고, 제 1 스위치(5603a) 및 제 2 스위치(5603b)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j+1이, 제 3 스위치(5603c)를 통해서 신호선 Sj+1에 입력된다.

- [0560] 이상으로부터, 도 56의 신호선 구동 회로는 1게이트 선택 기간을 3개로 분할하는 것으로, 1게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 56의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과 화소부가 형성되어 있는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 56의 신호선 구동 회로는 신뢰성, 수율 등을 올릴 수 있다.
- [0561] 또, 본 실시형태의 신호선 구동 회로를 실시형태 1 내지 실시형태 8에 개시한 표시 장치에 적용함으로써, 또 화소부가 형성되어 있는 기판과 외부 기판의 접속수를 줄일 수 있다. 따라서, 본 발명의 표시 장치는 신뢰성 및 수율을 높게 할 수 있다.
- [0562] 다음에, 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)에 N채널형의 트랜지스터를 적용한 경우에 관해서 도 59를 참조하여 설명한다. 또, 도 56과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0563] 제 1 트랜지스터(5903a)가 제 1 스위치(5603a)에 상당하고, 제 2 트랜지스터(5903b)가 제 2 스위치(5603b)에 상당하고, 제 3 트랜지스터(5903c)가 제 3 스위치(5603c)에 상당한다.
- [0564] 예를 들면, 스위치군(5602_J)의 경우, 제 1 트랜지스터(5903a)는 제 1 단자가 배선(5621_J)에 접속되고, 제 2 단자가 신호선 Sj-1에 접속되고, 게이트 전극이 제 1 배선(5611)에 접속되어 있다. 제 2 트랜지스터(5903b)는 제 1 단자가 배선(5621_J)에 접속되고, 제 2 단자가 신호선 Sj에 접속되고, 게이트 전극이 제 2 배선(5612)에 접속되어 있다. 제 3 트랜지스터(5903c)는 제 1 단자가 배선(5621_J)에 접속되고, 제 2 단자가 신호선 Sj+1에 접속되고, 게이트 전극이 제 3 배선(5613)에 접속되어 있다.
- [0565] 또, 제 1 트랜지스터(5903a), 제 2 트랜지스터(5903b), 제 3 트랜지스터(5903c)는 각각 스위칭 트랜지스터로서 기능한다. 또한, 제 1 트랜지스터(5903a), 제 2 트랜지스터(5903b), 제 3 트랜지스터(5903c)는 각각 게이트 전극에 입력되는 신호가 H레벨일 때에 온이 되고, 게이트 전극에 입력되는 신호가 L레벨일 때에 오프가 된다.
- [0566] 또, 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)로서 N채널형의 트랜지스터를 사용함으로써, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해진다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 따라서, 도 59의 신호선 구동 회로는 실시형태 1 내지 실시형태 4의 표시 장치에 적용하는 것이 바람직하다.
- [0567] 도 59의 신호선 구동 회로에서는 제 1 트랜지스터(5903a), 제 2 트랜지스터(5903b), 제 3 트랜지스터(5903c)로서 N채널형의 트랜지스터를 사용한 경우에 관해서 설명하였지만, 제 1 트랜지스터(5903a), 제 2 트랜지스터(5903b), 제 3 트랜지스터(5903c)로서 P채널형의 트랜지스터를 사용하여도 좋다. 이 때, 트랜지스터는 게이트 전극에 입력되는 신호가 L레벨일 때에 온이 되고, 게이트 전극에 입력되는 신호가 H레벨일 때에 오프가 된다. 또, 제 1 트랜지스터(5903a), 제 2 트랜지스터(5903b), 제 3 트랜지스터(5903c)로서 P채널형의 트랜지스터를 사용한 경우는 실시형태 5 내지 실시형태 8의 표시 장치에 적용하는 것이 바람직하다.
- [0568] 또, 도 56과 같이, 1게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서 어떤 1개의 배선으로부터 복수의 신호선 각각 비디오 신호를 입력할 수 있으면, 스위치의 배치나 수, 구동 방법 등은 한정되지 않는다. 예를 들면, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각 비디오 신호를 입력하는 경우는 스위치 및 스위치를 제어하기 위한 배선을 추가하면 좋다. 단, 1게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1게이트 선택 기간은 2개 또는 3개의 서브 선택 기간으로 분할하는 것이 바람직하다.
- [0569] 예를 들면, 도 58의 타이밍 차트에 도시하는 바와 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 제 3 서브 선택 기간 T3으로 분할하여도 좋다. 또, 도 58의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제 1 스위치(5603a)의 온 및 오프의 타이밍(5803a), 제 2 스위치(5603b)의 온 및 오프의 타이밍(5803b), 제 3 스위치(5603c)의 온 및 오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시하고 있다. 도 58에 도시하는 바와 같이, 프리차지 기간 Tp에서 제 1

스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)가 온이 된다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 V_p 이 제 1 스위치(5603a), 제 2 스위치(5603b) 및 제 3 스위치(5603c)를 통해서 각각 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 입력된다. 제 1 서브 선택 기간 T1에서 제 1 스위치(5603a)가 온되고, 제 2 스위치(5603b) 및 제 3 스위치(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j-1이, 제 1 스위치(5603a)를 통해서 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는 제 2 스위치(5603b)가 온되고, 제 1 스위치(5603a) 및 제 3 스위치(5603c)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j가, 제 2 스위치(5603b)를 통해서 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는 제 3 스위치(5603c)가 온되고, 제 1 스위치(5603a) 및 제 2 스위치(5603b)가 오프가 된다. 이 때, 배선(5621_J)에 입력되는 Data j+1이, 제 3 스위치(5603c)를 통해서 신호선 Sj+1에 입력된다.

[0570] 이상으로부터, 도 58의 타이밍 차트와 같이 동작시킨 도 56의 신호선 구동 회로는 서브 선택 기간 전에 프리차지 선택 기간을 형성함으로써, 신호선을 프리차지할 수 있기 때문에, 화소에 대한 비디오 신호의 기록을 고속으로 할 수 있다. 또한, 신호선이 프리차지되어 있기 때문에, 화소가 정확한 비디오 신호를 유지할 수 있다. 물론, 도 58의 타이밍 차트와 같이 동작시킨 도 56의 신호선 구동 회로는 도 57의 타이밍 차트와 같이 동작시킨 도 56의 신호선 구동 회로와 같이, 드라이버 IC(5601)가 형성되는 기판과 화소부가 형성되어 있는 기판의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있고, 접속수가 약 1/3이 됨으로써, 신뢰성, 수율 등을 올릴 수 있다. 또, 도 57과 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0571] 도 60에 있어서도, 도 56과 같이, 1게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서 어떤 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있다. 또, 도 60은 신호선 구동 회로 중 J열제의 스위치군(6022_J)만을 도시하고 있다. 스위치군(6022_J)은 제 1 트랜지스터(6001), 제 2 트랜지스터(6002), 제 3 트랜지스터(6003), 제 4 트랜지스터(6004), 제 5 트랜지스터(6005), 제 6 트랜지스터(6006)를 갖고 있다. 제 1 트랜지스터(6001), 제 2 트랜지스터(6002), 제 3 트랜지스터(6003), 제 4 트랜지스터(6004), 제 5 트랜지스터(6005), 제 6 트랜지스터(6006)는 N채널형의 트랜지스터이다. 스위치군(6022_J)은 제 1 배선(6011), 제 2 배선(6012), 제 3 배선(6013), 제 4 배선(6014), 제 5 배선(6015), 제 6 배선(6016), 배선(5621_J), 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속되어 있다.

[0572] 제 1 트랜지스터(6001)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj-1에 접속되고, 게이트 단자는 제 1 배선(6011)에 접속되어 있다. 제 2 트랜지스터(6002)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj-1에 접속되고, 게이트 단자는 제 2 배선(6012)에 접속되어 있다. 제 3 트랜지스터(6003)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj에 접속되고, 게이트 단자는 제 3 배선(6013)에 접속되어 있다. 제 4 트랜지스터(6004)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj에 접속되고, 게이트 단자는 제 4 배선(6014)에 접속되어 있다. 제 5 트랜지스터(6005)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj+1에 접속되고, 게이트 단자는 제 5 배선(6015)에 접속되어 있다. 제 6 트랜지스터(6006)의 제 1 단자는 배선(5621_J)에 접속되고, 제 2 단자는 신호선 Sj+1에 접속되고, 게이트 단자는 제 6 배선(6016)에 접속되어 있다.

[0573] 또, 제 1 트랜지스터(6001), 제 2 트랜지스터(6002), 제 3 트랜지스터(6003), 제 4 트랜지스터(6004), 제 5 트랜지스터(6005), 제 6 트랜지스터(6006)는 각각 스위칭 트랜지스터로서 기능한다. 또한, 제 1 트랜지스터(6001), 제 2 트랜지스터(6002), 제 3 트랜지스터(6003), 제 4 트랜지스터(6004), 제 5 트랜지스터(6005), 제 6 트랜지스터(6006)는 각각 게이트 단자에 입력되는 신호가 H레벨일 때에 온이 되고, 게이트 단자에 입력되는 신호가 L레벨일 때에 오프가 된다.

[0574] 또, 제 1 배선(6011) 및 제 2 배선(6012)은 도 59의 제 1 배선(5911)에 상당한다. 제 3 배선(6013) 및 제 4 배선(6014)은 도 59의 제 2 배선(5912)에 상당한다. 제 5 배선(6015) 및 제 6 배선(6016)은 도 59의 제 3 배선(5913)에 상당한다. 또, 제 1 트랜지스터(6001) 및 제 2 트랜지스터(6002)는 도 59의 제 1 트랜지스터(5903a)에 상당한다. 제 3 트랜지스터(6003) 및 제 4 트랜지스터(6004)는 도 59의 제 2 트랜지스터(5903b)에 상당한다. 제 5 트랜지스터(6005) 및 제 6 트랜지스터(6006)는 도 59의 제 3 트랜지스터(5903c)에 상당한다.

[0575] 도 60으로서는 도 57에 도시한 제 1 서브 선택 기간 T1에서 제 1 트랜지스터(6001) 또는 제 2 트랜지스터(6002)의 어느 쪽이 온이 된다. 제 2 서브 선택 기간 T2에서 제 3 트랜지스터(6003) 또는 제 4 트랜지스터(6004)의 어느 쪽이 온이 된다. 제 3 서브 선택 기간 T3에 있어서 제 5 트랜지스터(6005) 또는 제 6 트랜지스터(6006)의

어느 쪽이 온이 된다. 또한, 도 58에 도시한 프리차지 기간 T_p 에서 제 1 트랜지스터(6001), 제 3 트랜지스터(6003) 및 제 5 트랜지스터(6005)나 제 2 트랜지스터(6002), 제 4 트랜지스터(6004) 및 제 6 트랜지스터(6006)의 어느 쪽이 온이 된다.

[0576] 따라서, 도 60에서는 각 트랜지스터의 온시간을 짧게 할 수 있기 때문에, 각 트랜지스터의 특성 열화를 억제할 수 있다. 왜냐하면, 예를 들면 도 57에 도시한 제 1 서브 선택 기간 T_1 에서는 제 1 트랜지스터(6001) 또는 제 2 트랜지스터(6002)의 어느 쪽이 온이 되면 비디오 신호를 신호선 S_j -1에 입력할 수 있기 때문이다. 또, 예를 들면 도 57에 도시한 제 1 서브 선택 기간 T_1 에서, 제 1 트랜지스터(6001) 및 제 2 트랜지스터(6002)가 동시에 온이 됨으로써, 고속으로 비디오 신호를 신호선 S_j -1에 입력할 수도 있다.

[0577] 또, 제 1 트랜지스터(6001), 제 3 트랜지스터(6003) 및 제 5 트랜지스터(6005), 제 2 트랜지스터(6002), 제 4 트랜지스터(6004) 및 제 6 트랜지스터(6006)로서 N채널형의 트랜지스터를 사용함으로써, 트랜지스터의 반도체층으로서, 비정질 실리콘을 사용할 수 있기 때문에, 제조공정의 간략화를 도모할 수 있고, 제조비용의 삭감이나 수율의 향상을 도모할 수 있기 때문이다. 또, 대형의 표시 패널 등의 반도체장치를 제작하는 것도 가능해지기 때문이다. 또한, 트랜지스터의 반도체층으로서, 폴리실리콘이나 단결정 실리콘을 사용하여도 제조공정의 간략화를 도모할 수 있다. 따라서, 도 60의 신호선 구동 회로는 실시형태 1 내지 실시형태 4의 표시 장치에 적용하는 것이 바람직하다.

[0578] 또, 도 60에서는 2개의 트랜지스터를 배선(5621)과 신호선의 사이에 병렬로 접속하는 경우에 관해서 설명하였다. 그러나, 이것에 한정되지 않고, 3개 이상의 트랜지스터를 배선(5621)과 신호선의 사이에 병렬로 접속하여도 좋다. 이와 같이 하는 것으로, 각 트랜지스터의 특성 열화를 더욱 억제할 수 있다.

[0579] 또, 본 실시형태에서 개시한 신호선 구동 회로는 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 신호선 구동 회로의 구성도 자유롭게 조합하여 실시할 수 있다.

[0580] (실시형태 12)

[0581] 본 실시형태에서는 실시형태 1 내지 실시형태 8에 개시한 표시 장치의 정전 파괴에 의한 불량을 방지하기 위한 구성에 관해서 설명한다.

[0582] 또, 정전 파괴는 인체 또는 물체에 축적된 정(正) 또는 부(負)의 전하가 반도체 디바이스에 접촉하였을 때에 디바이스의 입출력 단자를 통해서 순간적으로 방전되는 것으로, 디바이스 내부에 대전류가 흘러 발생하는 파괴이다.

[0583] 도 61a는 보호 다이오드에 의해서 주사선에 발생하는 정전 파괴를 방지하기 위한 구성을 도시한다. 도 61a는 보호 다이오드를 배선(6111)과 주사선의 사이에 배치한 구성이다. 또, 도시는 하지 않지만, i 행째의 주사선 G_i 에는 복수의 화소가 접속되어 있다. 또, 보호 다이오드로서는 트랜지스터(6101)를 사용한다. 또, 트랜지스터(6101)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6101)의 극성은 주사선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다.

[0584] 또, 보호 다이오드는 1개만 배치되어 있지만, 복수개의 보호 다이오드가 직렬로 배치되어 있어도 좋고, 병렬로 배치되어 있어도 좋고, 직병렬로 배치되어 있어도 좋다.

[0585] 트랜지스터(6101)는 제 1 단자가 i 행째의 주사선 G_i 에 접속되고, 제 2 단자가 배선(6111)에 접속되고, 게이트 단자가 i 행째의 주사선 G_i 에 접속되어 있다.

[0586] 도 61a의 동작에 관해서 설명한다. 배선(6111)에는 어떤 전위가 입력되어 있고, 그 전위는 i 행째의 주사선 G_i 에 입력되는 신호의 L레벨보다도 낮은 전위이다. 정 또는 부의 전하가 i 행째의 주사선 G_i 에 방전되지 않은 경우, i 행째의 주사선 G_i 의 전위는 H레벨 또는 L레벨이기 때문에, 트랜지스터(6101)는 오프가 된다. 한편, 부의 전하가 i 행째의 주사선 G_i 에 방전된 경우, i 행째의 주사선 G_i 의 전위는 순간적으로 내려 간다. 이 때, i 행째의 주사선 G_i 의 전위가 배선(6111)의 전위로부터 트랜지스터(6101)의 임계치 전압을 뺀 값보다도 낮아지면, 트랜지스터(6101)가 온이 되고, 전류가 트랜지스터(6101)를 통해서 배선(6111)에 흐른다. 따라서, 도 61a에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다.

[0587] 또, 도 61b는 정의 전하가 i 행째의 주사선 G_i 에 방전된 경우에 정전 파괴를 방지하기 위한 구성이다. 보호 다이오드로서 기능하는 트랜지스터(6102)가 주사선과 배선(6112)의 사이에 배치되어 있다. 또, 보호 다이오드는

1개만 배치되어 있지만, 복수개의 보호 다이오드가 직렬로 배치되어 있어도 좋고, 병렬로 배치되어 있어도 좋고, 직병렬로 배치되어 있어도 좋다. 또, 트랜지스터(6102)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6102)의 극성은 주사선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다. 트랜지스터(6102)는 제 1 단자가 i행째의 주사선 Gi에 접속되고, 제 2 단자가 배선(6112)에 접속되고, 게이트 단자가 배선(6112)에 접속되어 있다. 또, 배선(6112)에는 i행째의 주사선 Gi에 입력되는 신호의 H레벨보다도 높은 전위가 입력되어 있다. 따라서, 트랜지스터(6102)는 전하가 i행째의 주사선 Gi에 방전되지 않은 경우에는 오프가 된다. 한편, 정의 전하가 i행째의 주사선 Gi에 방전된 경우, i행째의 주사선 Gi의 전위는 순간적으로 상승한다. 이때, i행째의 주사선 Gi의 전위가 배선(6112)의 전위와 트랜지스터(6102)의 임계치 전압의 합보다도 높아지면, 트랜지스터(6102)가 온이 되고, 전류가 트랜지스터(6102)를 통해서 배선(6112)에 흐른다. 따라서, 도 61b에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다.

[0588] 또, 도 61c에 도시하는 바와 같이, 도 61a와 도 61b를 조합한 구성으로 하는 것으로, 정의 전하가 i행째의 주사선 Gi에 방전된 경우에도, 부의 전하가 i행째의 주사선 Gi에 방전된 경우에도, 화소의 정전 파괴를 방지할 수 있다. 또, 도 61a, 61b와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0589] 도 62a는 보호 다이오드로서 기능하는 트랜지스터(6201)를 주사선과 유지 용량선의 사이에 접속한 경우의 구성을 도시한다. 또, 보호 다이오드는 1개만 배치되어 있지만, 복수개의 보호 다이오드가 직렬로 배치되어 있어도 좋고, 병렬로 배치되어 있어도 좋고, 직병렬로 배치되어 있어도 좋다. 또, 트랜지스터(6201)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6201)의 극성은 주사선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다. 또, 배선(6211)은 유지 용량선으로서 기능한다. 트랜지스터(6201)의 제 1 단자는 i행째의 주사선 Gi에 접속되고, 제 2 단자는 배선(6211)에 접속되고, 게이트 전극은 i행째의 주사선 Gi에 접속되어 있다. 또, 배선(6211)에는 i행째의 주사선 Gi에 입력되는 신호의 L레벨보다도 낮은 전위가 입력되어 있다. 따라서, 트랜지스터(6201)는 전하가 i행째의 주사선 Gi에 방전되지 않은 경우에는 오프가 된다. 한편, 부의 전하가 i행째의 주사선 Gi에 방전된 경우, i행째의 주사선 Gi의 전위는 순간적으로 내려 간다. 이 때, i행째의 주사선 Gi의 전위가 배선(6211)의 전위로부터 트랜지스터(6201)의 임계치 전압을 뺀 값보다도 낮아지면, 트랜지스터(6201)가 온이 되고, 전류가 트랜지스터(6201)를 통해서 배선(6211)에 흐른다. 따라서, 도 62a에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다. 또한, 도 62a에 도시한 구성에서는 유지 용량선을 전하가 빠지는 배선으로서 이용하고 있기 때문에, 새롭게 배선을 추가할 필요가 없다.

[0590] 또, 도 62b는 정의 전하가 i행째의 주사선 Gi에 방전된 경우에 정전 파괴를 방지하기 위한 구성이다. 여기에서는 배선(6211)에는 i행째의 주사선 Gi에 입력되는 신호의 H레벨보다도 높은 전위가 입력되어 있다. 따라서, 트랜지스터(6202)는 전하가 i행째의 주사선 Gi에 방전되지 않은 경우에는 오프가 된다. 한편, 정의 전하가 i행째의 주사선 Gi에 방전된 경우, i행째의 주사선 Gi의 전위는 순간적으로 상승한다. 이 때, i행째의 주사선 Gi의 전위가 배선(6211)의 전위와 트랜지스터(6202)의 임계치 전압의 합보다도 높아지면, 트랜지스터(6202)가 온이 되고, 전류가 트랜지스터(6202)를 통해서 배선(6211)에 흐른다. 따라서, 도 62b에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다. 또한, 도 62a에 도시한 구성에서는 유지 용량선을 전하가 빠지는 배선으로서 이용하고 있기 때문에, 새롭게 배선을 추가할 필요가 없다. 또, 도 62b와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0591] 다음에, 보호 다이오드에 의해서 신호선에 발생하는 정전 파괴를 방지하기 위한 구성을 도 64a에 도시한다. 도 64a는 보호 다이오드를 배선(6411)과 신호선의 사이에 배치한 경우의 구성이다. 또, 도시는 하지 않지만 j열째의 신호선 Sj에는 복수의 화소가 접속되어 있다. 또, 보호 다이오드로서는 트랜지스터(6401)를 사용한다. 또, 트랜지스터(6401)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6401)의 극성은 신호선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다.

[0592] 또, 보호 다이오드는 1개만 배치되어 있지만, 복수개의 보호 다이오드가 직렬로 배치되어 있어도 좋고, 병렬로 배치되어 있어도 좋고, 직병렬로 배치되어 있어도 좋다.

[0593] 트랜지스터(6401)는 제 1 단자가 j열째의 신호선 Sj에 접속되고, 제 2 단자가 배선(6411)에 접속되고, 게이트 단자가 j열째의 신호선 Sj에 접속되어 있다.

- [0594] 도 64a의 동작에 관해서 설명한다. 배선(6411)에는 있는 전위가 입력되어 있고, 그 전위는 j열째의 신호선 Sj에 입력되는 비디오 신호의 최소치보다도 낮은 전위이다. 정 또는 부의 전하가 j열째의 신호선 Sj에 방전되지 않은 경우, j열째의 신호선 Sj의 전위는 비디오 신호와 동전위이기 때문에, 트랜지스터(6401)는 오프가 된다. 한편, 부의 전하가 j열째의 신호선 Sj에 방전된 경우, j열째의 신호선 Sj의 전위는 순간적으로 내려 간다. 이 때, j열째의 신호선 Sj의 전위가 배선(6411)의 전위로부터 트랜지스터(6401)의 임계치 전압을 뺀 값보다도 낮아지면, 트랜지스터(6401)가 온이 되고, 전류가 트랜지스터(6401)를 통해서 배선(6411)에 흐른다. 따라서, 도 64a에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다.
- [0595] 또, 도 64b는 정의 전하가 j열째의 신호선 Sj에 방전된 경우에 정전 파괴를 방지하기 위한 구성이다. 보호 다이오드로서 기능하는 트랜지스터(6402)가 신호선과 배선(6412)의 사이에 배치되어 있다. 또, 보호 다이오드는 1개만 배치되어 있지만, 복수개의 보호 다이오드가 직렬로 배치되어 있어도 좋고, 병렬로 배치되어 있어도 좋고, 직병렬로 배치되어 있어도 좋다. 또, 트랜지스터(6402)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6402)의 극성은 신호선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다. 트랜지스터(6402)는 제 1 단자가 j열째의 신호선 Sj에 접속되고, 제 2 단자가 배선(6412)에 접속되고, 게이트 단자가 배선(6412)에 접속되어 있다. 또, 배선(6412)에는 j열째의 신호선 Sj에 입력되는 비디오 신호의 최대치보다도 높은 전위가 입력되어 있다. 따라서, 트랜지스터(6402)는 전하가 j열째의 신호선 Sj에 방전되지 않은 경우에는 오프가 된다. 한편, 정의 전하가 j열째의 신호선 Sj에 방전된 경우, j열째의 신호선 Sj의 전위는 순간적으로 상승한다. 이 때, j열째의 신호선 Sj의 전위가 배선(6412)의 전위와 트랜지스터(6402)의 임계치 전압과의 합보다도 높아지면, 트랜지스터(6402)가 온이 되고, 전류가 트랜지스터(6402)를 통해서 배선(6412)에 흐른다. 따라서, 도 64b에 도시한 구성에 의해서, 대전류가 화소에 흘러들어 오는 것을 막을 수 있기 때문에, 화소의 정전 파괴를 방지할 수 있다.
- [0596] 또, 도 64c에 도시하는 바와 같이, 도 64a와 도 64b를 조합한 구성으로 하는 것으로, 정의 전하가 j열째의 신호선 Sj에 방전된 경우에도, 부의 전하가 j열째의 신호선 Sj에 방전된 경우에도, 화소의 정전 파괴를 방지할 수 있다. 또, 도 64a, 64b와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0597] 본 실시형태에서는 주사선 및 신호선에 접속된 화소의 정전 파괴를 방지하기 위한 구성을 설명하였다. 그러나, 본 실시형태의 구성은 주사선 및 신호선에 접속된 화소의 정전 파괴의 방지에만 적용되는 것은 아니다. 예를 들면, 실시형태 1 내지 실시형태 8에 개시한 주사선 구동 회로 및 신호선 구동 회로에 접속되어 있는 신호 또는 전위가 입력된 배선에 본 실시형태를 적용하는 경우는 주사선 구동 회로 및 신호선 구동 회로의 정전 파괴를 방지할 수 있다.
- [0598] 또, 본 실시형태에서 개시한 표시 장치는 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 장치의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0599] (실시형태 13)
- [0600] 본 실시형태에서는 실시형태 1 내지 실시형태 8에 개시한 표시 장치에 적용할 수 있는 표시 장치의 새로운 구성에 관해서 설명한다.
- [0601] 도 63a는 다이오드 접속된 트랜지스터를 있는 주사선과 다른 주사선의 사이에 배치한 경우의 구성이다. 도 63a에서는 i-1행째의 주사선 Gi-1과 i행째의 주사선 Gi의 사이에 다이오드 접속된 트랜지스터(6301a)를 배치하고, i행째의 주사선 Gi와 i+1행째의 주사선 Gi+1의 사이에 다이오드 접속된 트랜지스터(6301b)를 배치한 경우의 구성을 도시하고 있다. 또, 트랜지스터(6301a) 및 트랜지스터(6301b)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6301a) 및 트랜지스터(6301b)의 극성은 주사선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다.
- [0602] 또, 도 63a에서는 대표적으로 i-1행째의 주사선 Gi-1, i행째의 주사선 Gi 및 i+1행째의 주사선 Gi+1을 도시하고 있지만, 다른 주사선도 같이 다이오드 접속된 트랜지스터가 배치되어 있다.
- [0603] 트랜지스터(6301a)의 제 1 단자는 i행째의 주사선 Gi에 접속되고, 제 2 단자는 i-1행째의 주사선 Gi-1에 접속되고, 게이트 단자는 Gi-1행째의 주사선 Gi-1에 접속되어 있다. 트랜지스터(6301b)의 제 1 단자는 i+1행째의 주사선 Gi+1에 접속되고, 제 2 단자는 i행째의 주사선 Gi에 접속되고, 게이트 단자는 i행째의 주사선 Gi에 접속되

어 있다.

- [0604] 도 63a의 동작에 관해서 설명한다. 실시형태 1 내지 실시형태 4에 도시한 주사선 구동 회로에서는 비선택 기간에서, $i-1$ 행째의 주사선 G_{i-1} , i 행째의 주사선 G_i 및 $i+1$ 행째의 주사선 G_{i+1} 은 L레벨을 유지하고 있다. 따라서, 트랜지스터(6301a) 및 트랜지스터(6301b)는 오프가 된다. 그렇지만, 예를 들면 노이즈 등에 의해서 i 행째의 주사선 G_i 의 전위가 상승한 경우, i 행째의 주사선 G_i 가 화소를 선택하여, 화소에 부정한 비디오 신호가 기록되어 버린다. 그래서, 도 63a와 같이 다이오드 접속한 트랜지스터를 주사선간에 배치하여 두는 것으로, 화소에 부정한 비디오 신호가 기록되는 것을 방지할 수 있다. 왜냐하면, i 행째의 주사선 G_i 의 전위가 $i-1$ 행째의 주사선 G_{i-1} 의 전위와 트랜지스터(6301a)의 임계치 전압의 합 이상으로 상승하면, 트랜지스터(6301a)가 온이 되고, i 행째의 주사선 G_i 의 전위가 내려 간다. 따라서, i 행째의 주사선 G_i 에 의해서 화소가 선택되지 않기 때문이다.
- [0605] 또, 도 63a의 구성은 특히 주사선 구동 회로와 화소부를 동일 기판상에 일체로 형성한 경우에 유리하다. 왜냐하면, N채널형의 트랜지스터, 또는 P채널형의 트랜지스터만으로 구성되어 있는 주사선 구동 회로에서는 주사선이 부유 상태가 되는 경우가 있고, 주사선에 노이즈가 발생하기 쉽기 때문이다.
- [0606] 또, 도 63b는 주사선간에 배치하는 다이오드 접속된 트랜지스터의 방향을 반대로 한 경우의 구성이다. 또, 트랜지스터(6302a) 및 트랜지스터(6302b)는 N채널형의 트랜지스터이다. 단, P채널형의 트랜지스터를 사용하여도 좋고, 트랜지스터(6302a) 및 트랜지스터(6302b)의 극성은 주사선 구동 회로나 화소가 갖는 트랜지스터의 극성과 같은 것을 사용하면 좋다. 도 63b에서는 트랜지스터(6302a)의 제 1 단자가 i 행째의 주사선 G_i 에 접속되고, 제 2 단자가 $i-1$ 행째의 주사선 G_{i-1} 에 접속되고, 게이트 단자가 i 행째의 주사선 G_i 에 접속되어 있다. 트랜지스터(6302b)의 제 1 단자가 $i+1$ 행째의 주사선 G_{i+1} 에 접속되고, 제 2 단자가 i 행째의 주사선 G_i 에 접속되고, 게이트 단자가 $i+1$ 행째의 주사선 G_{i+1} 에 접속되어 있다. 도 63b는 도 64a와 같이, i 행째의 주사선 G_i 의 전위가 $i+1$ 행째의 주사선 G_{i+1} 의 전위와 트랜지스터(6302b)의 임계치 전압의 합 이상으로 상승하면, 트랜지스터(6302b)가 온이 되고, i 행째의 주사선 G_i 의 전위가 내려 간다. 따라서, i 행째의 주사선 G_i 에 의해서 화소가 선택되지 않고, 화소에 부정한 비디오 신호가 기록되는 것을 방지할 수 있다.
- [0607] 또, 도 63c에 도시하는 바와 같이, 도 63a와 도 63b를 조합한 구성으로 하는 것으로, i 행째의 주사선 G_i 의 전위가 상승하여도, 트랜지스터(6301a) 및 트랜지스터(6302b)가 온이 되기 때문에, i 행째의 주사선 G_i 의 전위가 내려 간다. 또, 도 63c에서는 전류가 2개의 트랜지스터를 통해서 흐르기 때문에, 더욱 큰 노이즈를 제거하는 것이 가능하다. 또, 도 63a, 63b와 같은 것에 관해서는 공통되는 부호를 사용하여 개시하고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0608] 또, 도 62a 및 62b에 도시하는 바와 같이, 주사선과 유지 용량선의 사이에 다이오드 접속한 트랜지스터를 배치하여도 도 63a, 63b, 63c와 같은 효과를 얻을 수 있다.
- [0609] 또, 본 실시형태에서 개시한 표시 장치는 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 장치의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0610] (실시형태 14)
- [0611] 본 실시형태에서는 상기 실시형태에서 개시한 화소 구성을 갖는 표시 패널의 구성에 관해서 도 100a, 100b를 참조하여 설명한다.
- [0612] 또, 도 100a는 표시 패널을 도시하는 상면도, 도 100b는 도 100a를 A-A'로 절단한 단면도이다. 점선으로 도시된 신호 제어 회로(10001), 화소부(10002), 제 1 게이트 드라이버(10003), 제 2 게이트 드라이버(10006)를 갖는다. 또한, 밀봉 기관(10004), 밀봉재(10005)를 갖고, 밀봉재(10005)로 둘러싸인 내측은 공간(10007)으로 되어 있다.
- [0613] 또, 배선(10008)은 제 1 게이트 드라이버(10003), 제 2 게이트 드라이버(10006) 및 신호 제어 회로(10001)에 입력되는 신호를 전송하기 위한 배선이고, 외부 입력단자가 되는 FPC(10009; 플렉시블 프린트 회로)로부터 비디오 신호, 클럭 신호, 스타트 신호 등을 받아들인다. FPC(10009)와 표시 패널의 접속부상에는 IC 칩(10019; 메모리회로나, 버퍼 회로 등이 형성된 반도체칩)이 COG(Chip On Glass) 등으로 실장되어 있다. 또, 여기에서는 FPC밖에 도시되어 있지 않지만, 이 FPC에는 프린트 배선기관(PWB)이 장착되어 있어도 좋다. 본 명세서에서의 표시 장치는 표시 패널 본체뿐만 아니라, 이것에 FPC 또는 PWB가 장착된 상태도 포함하기로 한다. 또한, IC 칩

등이 실장된 것을 포함하기로 한다.

- [0614] 다음에, 단면 구조에 관해서 도 100b를 참조하여 설명한다. 기관(10010)상에는 화소부(10002)와 그 주변 구동 회로(제 1 게이트 드라이버(10003), 제 2 게이트 드라이버(10006) 및 신호 제어 회로(10001))가 형성되어 있지만, 여기에서는 신호 제어 회로(10001)와 화소부(10002)가 개시되어 있다.
- [0615] 또, 신호 제어 회로(10001)는 N채널형인 트랜지스터(10020)나 N채널형인 트랜지스터(10021)와 같이 단극성의 트랜지스터로 구성되어 있다. 또, 화소 구성에는 도 46, 도 65, 도 66 및 도 67의 화소 구성을 적용함으로써 단극성의 트랜지스터로 화소를 구성할 수 있다. 따라서, 주변 구동 회로를 N채널형 트랜지스터로 구성하면 단극성 표시 패널을 제작할 수 있다. 물론, 단극성의 트랜지스터뿐만 아니라 P채널형 트랜지스터도 사용하여 CMOS 회로를 형성하여도 좋다.
- [0616] 또, 트랜지스터(10020), 및 트랜지스터(10021)가 P채널형인 경우에도, 주변 구동 회로를 P채널형 트랜지스터로 구성하면 단극성의 표시 패널을 작성할 수 있다. 물론, 단극성의 트랜지스터뿐만 아니라 N채널형 트랜지스터도 사용하여 CMOS 회로를 형성하여도 좋다.
- [0617] 또한, 본 실시형태에서는 기관상에 주변 구동 회로를 일체로 형성한 표시 패널을 개시하지만, 반드시 그럴 필요는 없고, 주변 구동 회로의 전부 또는 일부를 IC 칩 등에 형성하고, COG 등으로 실장하여도 좋다. 그 경우에는 구동 회로는 단극성으로 할 필요가 없고 N채널형 트랜지스터와 P채널형 트랜지스터를 조합하여 사용할 수 있다.
- [0618] 또한, 화소부(10002)는 트랜지스터(10011)와 트랜지스터(10012)를 갖고 있다. 또, 트랜지스터(10012)의 소스 단자는 제 1 전극(10013; 화소전극)과 접속되어 있다. 또한, 제 1 전극(10013)의 단부를 덮고 절연물(10014)이 형성되어 있다. 여기에서는 포지티브형의 감광성 아크릴수지막을 사용함으로써 형성한다.
- [0619] 또한, 커버리지를 양호한 것으로 하기 위해서, 절연물(10014)의 상단부 또는 하단부에 곡율을 갖는 곡면이 형성되도록 한다. 예를 들면, 절연물(10014)의 재료로서 포지티브형의 감광성 아크릴을 사용한 경우, 절연물(10014)의 상단부에만 곡율 반경(0.2 μ m 내지 3 μ m)을 갖는 곡면을 갖게 하는 것이 바람직하다. 또한, 절연물(10014)로서, 감광성의 광에 의해서 에천트에 불용해성이 되는 네거티브형, 또는 광에 의해서 에천트에 용해성이 되는 포지티브형의 어느 것이나 사용할 수 있다.
- [0620] 제 1 전극(10013)상에는 유기 화합물을 포함하는 층(10016), 및 제 2 전극(10017; 대향전극)이 각각 형성되어 있다. 여기에서, 양극으로서 기능하는 제 1 전극(10013)에 사용하는 재료로서는 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐주석산화물)막, 인듐아연산화물(IZO)막, 질화티타늄막, 크롬막, 텅스텐막, Zn막, Pt막 등의 단층막 외에, 질화티타늄과 알루미늄을 주성분으로 하는 막과의 적층, 질화 티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 또, 적층 구조로 하면, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트를 취할 수 있고, 또 양극으로서 기능시킬 수 있다.
- [0621] 또한, 유기 화합물을 포함하는 층(10016)은 증착 마스크를 사용한 증착법, 또는 잉크젯법에 의해서 형성된다. 유기 화합물을 포함하는 층(10016)에는 원소 주기표 제4족 금속착체를 그 일부에 사용하는 것으로 하고, 기타, 조합하여 사용할 수 있는 재료로서는 저분자계 재료이어도 좋고, 고분자계 재료이어도 좋다. 또한, 유기 화합물을 포함하는 층에 사용하는 재료로서는 통상, 유기 화합물을 단층 또는 적층으로 사용하는 경우가 많지만, 본 실시형태에서는 유기 화합물로 이루어지는 막의 일부에 무기화합물을 사용하는 구성도 포함하는 것으로 한다. 또, 공지의 3중항 재료를 사용하는 것도 가능하다.
- [0622] 또, 유기 화합물을 포함하는 층(10016)상에 형성되는 제 2 전극(10017)에 사용하는 재료로서는 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 질화칼슘)를 사용하면 좋다. 또, 유기 화합물을 포함하는 층(10016)에서 생긴 광이 제 2 전극(10017)을 투과시키는 경우에는 제 2 전극(10017; 음극)으로서, 막 두께를 얇게 한 금속박막과 투명 도전막(ITO(산화인듐산화주석합금), 산화인듐산화아연합금(In₂O₃-ZnO), 산화아연(ZnO) 등)과의 적층을 사용하는 것이 좋다.
- [0623] 또 밀봉재(10005)로 밀봉 기관(10004)을 기관(10010)과 접합함으로써, 기관(10010), 밀봉 기관(10004), 및 밀봉재(10005)로 둘러싸인 공간(10007)에 발광 소자(10018)가 구비된 구조로 되어 있다. 또, 공간(10007)에는 불활성 기체(질소나 아르곤 등)가 충전되는 경우 외에, 밀봉재(10005)로 충전되는 구성도 포함하기로 한다.
- [0624] 또, 밀봉재(10005)에는 에폭시계수지를 사용하는 것이 바람직하다. 또한, 이들의 재료는 될 수 있는 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또한, 밀봉 기관(10004)에 사용하는 재료로서 유리기관이나

석영기관 외에, FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐플로라이드), 폴리에스테르 또는 아크릴 등으로 이루어지는 플라스틱기관을 사용할 수 있다.

- [0625] 이상과 같이 하여, 본 발명의 표시 장치의 화소 구성을 갖는 표시 패널을 얻을 수 있다. 또, 상술한 구성은 일레이고 본 발명의 표시 장치의 표시 패널의 구성은 이것에 한정되지 않는다.
- [0626] 도 100에 도시하는 바와 같이, 신호 제어 회로(10001), 화소부(10002), 제 1 게이트 드라이버(10003) 및 제 2 게이트 드라이버(10006)를 일체로 형성하는 것으로, 표시 장치의 저비용화를 도모할 수 있다. 또한, 이 경우에 있어서, 신호 제어 회로(10001), 화소부(10002), 제 1 게이트 드라이버(10003) 및 제 2 게이트 드라이버(10006)에 사용되는 트랜지스터를 단극성으로 하는 것으로 제작공정의 간략화를 도모할 수 있기 때문에 한층 더 저비용화를 도모할 수 있다.
- [0627] 또, 표시 패널의 구성으로서 도 100a에 도시한 바와 같이 신호 제어 회로(10001), 화소부(10002), 제 1 게이트 드라이버(10003) 및 제 2 게이트 드라이버(10006)를 일체로 형성한 구성에 한정되지 않고, 신호 제어 회로(10001)에 상당하는 도 101에 도시하는 신호 제어 회로(10101)를 IC 칩상에 형성하고, COG 등으로 표시 패널에 실장한 구성으로 하여도 좋다. 또, 도 101a의 기관(10100), 화소부(10102), 제 1 게이트 드라이버(10103), 제 2 게이트 드라이버(10104), FPC(10105), IC 칩(10106), IC 칩(10107), 밀봉 기관(10108), 밀봉재(10109)는 도 100a의 기관(10010), 화소부(10002), 제 1 게이트 드라이버(10003), 제 2 게이트 드라이버(10006), FPC(10009), IC 칩(10019), 밀봉 기관(10004), 밀봉재(10005)에 상당한다.
- [0628] 요컨대, 구동 회로의 고속 동작이 요구되는 신호 제어 회로만을, CMOS 등을 사용하여 IC 칩에 형성하고, 저소비 전력화를 도모한다. 또한, IC 칩은 실리콘 웨이퍼 등의 반도체칩으로 하는 것으로, 고속 동작 또한 저소비전력화를 더욱 도모할 수 있다.
- [0629] 그리고, 제 2 게이트 드라이버(10103)나 제 1 게이트 드라이버(10104)를 화소부(10102)와 일체로 형성하는 것으로, 저비용화를 도모할 수 있다. 그리고, 이 제 2 게이트 드라이버(10103), 제 1 게이트 드라이버(10104) 및 화소부(10102)는 단극성의 트랜지스터로 구성하는 것으로 한층 더 저비용화를 도모할 수 있다. 화소부(10102)가 갖는 화소의 구성으로서 실시형태 10에서 개시한 화소를 적용할 수 있다.
- [0630] 이와 같이 하여, 고세밀한 표시 장치의 저비용화를 도모할 수 있다. 또한, FPC(10105)와 기관(10100)의 접속부에서 기능회로(메모리나 버퍼)가 형성된 IC 칩을 실장하는 것으로 기관 면적을 유효하게 이용할 수 있다.
- [0631] 또한, 도 100a의 신호 제어 회로(10001), 제 1 게이트 드라이버(10003) 및 제 2 게이트 드라이버(10006)에 상당하는 도 101b의 신호 제어 회로(10111), 제 1 게이트 드라이버(10114) 및 제 2 게이트 드라이버(10113)를 IC 칩상에 형성하고, COG 등으로 표시 패널에 실장한 구성으로 하여도 좋다. 이 경우에는 고세밀한 표시 장치를 더욱 저소비전력으로 하는 것이 가능하다. 따라서, 더욱 소비전력이 적은 표시 장치로 하기 위해서는 화소부에 사용되는 트랜지스터의 반도체층에는 비정질 실리콘을 사용하는 것이 바람직하다. 또, 도 101b의 기관(10110), 화소부(10112), FPC(10115), IC 칩(10116), IC 칩(10117), 밀봉 기관(10118), 밀봉재(10119)는 도 100a의 기관(10010), 화소부(10002), FPC(10009), IC 칩(10019), IC 칩(10022), 밀봉 기관(10004), 밀봉재(10005)에 상당한다.
- [0632] 또한, 화소부(10112)의 트랜지스터의 반도체층에 비정질 실리콘을 사용함으로써 저비용화를 도모할 수 있다. 또, 대형의 표시 패널을 제작하는 것도 가능해진다.
- [0633] 또한, 화소의 행방향 및 열방향에 제 2 게이트 드라이버, 제 1 게이트 드라이버 및 신호 제어 회로를 형성하지 않아도 좋다. 예를 들면, 도 75a에 도시하는 바와 같이 IC 칩상에 형성된 주변 구동 회로(7501)가 도 101b에 도시하는 제 1 게이트 드라이버(10114), 제 2 게이트 드라이버(10113) 및 신호 제어 회로(10111)의 기능을 갖도록 하여도 좋다. 또, 도 75a의 기관(7500), 화소부(7502), FPC(7504), IC 칩(7505), IC 칩(7506), 밀봉 기관(7507), 밀봉재(7508)는 도 100a의 기관(10010), 화소부(10002), FPC(10009), IC 칩(10019), IC 칩(10022), 밀봉 기관(10004), 밀봉재(10005)에 상당한다.
- [0634] 또, 도 75a의 표시 장치의 배선의 접속을 설명하는 모식도를 도 75b에 도시한다. 기관(7510), 주변 구동 회로(7511), 화소부(7512), FPC(7513), FPC(7514)를 갖는다. FPC(7513)로부터 주변 구동 회로(7511)에 외부로부터의 신호 및 전원전위가 입력된다. 그리고, 주변 구동 회로(7511)로부터의 출력은 화소부(7512)가 갖는 화소에 접속된 행방향 및 열방향의 배선에 입력된다.
- [0635] 또, 발광 소자(10018)에 적용 가능한 발광 소자의 예를 도 76a, 76b에 도시한다. 요컨대, 상기 실시형태에서

개시한 화소에 적용 가능한 발광 소자의 구성에 관해서 도 76a, 76b를 참조하여 설명한다.

- [0636] 도 76a의 발광 소자는 기관(7601)의 위에 양극(7602), 정공 주입 재료로 이루어지는 정공 주입층(7603), 그 위에 정공 수송 재료로 이루어지는 정공 수송층(7604), 발광층(7605), 전자 수송 재료로 이루어지는 전자 수송층(7606), 전자 주입 재료로 이루어지는 전자 주입층(7607), 그리고 음극(7608)을 적층시킨 소자 구조이다. 여기에서, 발광층(7605)은 1종류의 발광 재료만으로 형성되는 경우도 있지만, 2종류 이상의 재료로 형성되어도 좋다. 또한, 소자의 구조는 이 구조에 한정되지 않는다.
- [0637] 또한, 도 76a에서 도시한 각 기능층을 적층한 적층 구조 외에, 고분자 화합물을 사용한 소자, 발광층에 3중항 여기 상태에서부터 발광하는 3중항 발광 재료를 이용한 고효율 소자 등, 바리에이션은 다방면에 걸친다. 홀 블록 층에 의해서 캐리어의 재결합영역을 제어하여, 발광영역을 두개의 영역으로 나눔으로써 얻어지는 백색 발광 소자 등에도 응용 가능하다.
- [0638] 도 76a에 도시하는 본 실시형태에서 개시하는 소자 제작방법은 우선, 양극(7602; ITO)을 갖는 기관(7601)에 정공 주입 재료, 정공 수송 재료, 발광 재료를 차례로 증착한다. 다음에 전자 수송 재료, 전자 주입 재료를 증착하고, 마지막으로 음극(7608)을 증착으로 형성한다.
- [0639] 다음에, 정공 주입 재료, 정공 수송 재료, 전자 수송 재료, 전자 주입 재료, 발광 재료의 재료에 적합한 재료를 이하에 열거한다.
- [0640] 정공 주입 재료로서는 유기 화합물이면 포르피린계의 화합물이나, 프탈로시아닌(이하 「H₂Pc」라고 함), 동프탈로시아닌(이하 「CuPc」라고 함) 등이 유효하다. 또한, 사용하는 정공 수송 재료보다도 이온화 포텐셜의 값이 작고, 또한, 정공 수송 기능을 갖는 재료이면, 이것도 정공 주입 재료로서 사용할 수 있다. 도전성 고분자 화합물에 화학 도핑을 실시한 재료도 있고, 폴리스티렌설폰산(이하 「PSS」라고 함)을 도프한 폴리에틸렌디옥시티오펜(이하 「PEDOT」라고 함)나, 폴리아닐린 등을 들 수 있다. 또한, 절연체의 고분자 화합물도 양극의 평탄화의 점에서 유효하고, 폴리이미드(이하 「PI」라고 함)가 자주 사용된다. 또, 무기화합물도 사용되고, 금이나 백금 등의 금속박막 외에, 산화알루미늄(이하 「알루미나」라고 함)의 초박막 등이 있다.
- [0641] 정공 수송 재료로서 가장 널리 사용되고 있는 것은 방향족아민계(즉, 벤젠환-질소의 결합을 갖는 것)의 화합물이다. 널리 사용되고 있는 재료로서, 4,4'-비스(디페닐아미노)-비페닐(이하, 「TAD」라고 함)이나, 그 유도체인 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(이하, 「TPD」라고 함), 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, 「α-NPD」라고 함)이 있다. 4,4',4"-트리스(N,N-디페닐-아미노)-트리페닐아민(이하, 「TDATA」라고 함), 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(이하, 「MTDATA」라고 함) 등의 스타버스트형 방향족아민화합물을 들 수 있다.
- [0642] 전자 수송 재료로서는 금속착체가 자주 사용되고, Alq, BAlq, 트리스(4-메틸-8-퀴놀리노레이토)알루미늄(이하, 「Almq」라고 함), 비스(10-하이드록시벤조[h]-퀴놀리네이트)헬륨(이하, 「Bebq」라고 함) 등의 퀴놀린 골격 또는 벤조퀴놀리네이트 골격을 갖는 금속착체 등이 있다. 또한, 비스[2-(2-하이드록시페닐)-벤조옥사졸레이토]아연(이하, 「Zn(BOX)₂」라고 함), 비스[2-(2-하이드록시페닐)-벤조티아졸레이토]아연(이하, 「Zn(BTZ)₂」라고 함) 등의 옥사졸계, 티아졸계 배위자를 갖는 금속착체도 있다. 또, 금속착체 이외에도, 2-(4-비페닐)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(이하, 「PBD」라고 함), OXD-7 등의 옥사디아졸 유도체, TAZ, 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐)-1,2,4-트리아졸(이하, 「p-EtTAZ」라고 함) 등의 트리아졸 유도체, 바소페난트롤린(이하, 「BPhen」라고 함), BCP 등의 페탄트롤린 유도체가 전자 수송성을 갖는다.
- [0643] 전자 주입 재료로서는 위에서 설명한 전자 수송 재료를 사용할 수 있다. 이 외에, 플루오르화칼슘, 플루오르화리튬, 플루오르화세슘 등의 금속할로겐화물이나, 산화리튬 등의 알칼리 금속산화물과 같은 절연체의 초박막이 자주 사용된다. 또한, 리튬아세틸아세토네이트(이하, 「Li(acac)」라고 함)나 8-퀴놀리노레이토-리튬(이하, 「Liq」라고 함) 등의 알칼리 금속착체도 유효하다.
- [0644] 발광 재료로서는 앞에서 설명한 Alq, Almq, BeBq, BAlq, Zn(BOX)₂, Zn(BTZ)₂ 등의 금속착체 외에, 각종 형광색 소가 유효하다. 형광색소로서는, 청색의 4,4'-비스(2,2-디페닐-비닐)-비페닐이나, 적등색의 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스티릴)-4H-피란 등이 있다. 또한, 3중항 발광 재료도 가능하고, 백금 내지는 이리듐을 중심 금속으로 하는 착체가 주체이다. 3중항 발광 재료로서, 트리스(2-페닐피리딘)이리듐, 비스(2-(4'-톨릴)피리디네이트-N, C2')아세틸아세토네이트이리듐(이하 「acacIr(tpy)₂」라고 함), 2,3,7,8,12,13,17,18-옥타에틸-21H, 23H포르피린-백금 등이 알려져 있다.

- [0645] 이상에서 설명한 바와 같은 각 기능을 갖는 재료를, 각각 조합하여, 고신뢰성의 발광 소자를 제작할 수 있다.
- [0646] 또한, 실시형태 10에서 개시한 표시 소자(6521)에는 도 76b에 도시하는 바와 같이 도 76a와는 반대의 순서로 층을 형성한 발광 소자를 사용할 수 있다. 요컨대, 기관(7611)의 위에 음극(7618), 전자 주입 재료로 이루어지는 전자 주입층(7617), 그 위에 전자 수송 재료로 이루어지는 전자 수송층(7616), 발광층(7615), 정공 수송 재료로 이루어지는 정공 수송층(7614), 정공 주입 재료로 이루어지는 정공 주입층(7613), 그리고 양극(7612)을 적층시킨 소자 구조이다.
- [0647] 또한, 발광 소자는 발광을 추출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기관상에 트랜지스터 및 발광 소자를 형성하고, 기관과는 역측의 면으로부터 발광을 추출하는 상면 사출이나, 기관측의 면으로부터 발광을 추출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 발명의 표시 장치의 화소 구성은 어떤 사출 구조의 발광 소자나 적용할 수 있다.
- [0648] 상면 사출 구조의 발광 소자에 관해서 도 77a를 참조하여 설명한다.
- [0649] 기관(7700)상에 구동용 트랜지스터(7701)가 형성되고, 구동용 트랜지스터(7701)의 소스 단자에 접하여 제 1 전극(7702)이 형성되고, 그 위에 유기 화합물을 포함하는 층(7703)과 제 2 전극(7704)이 형성되어 있다.
- [0650] 또한, 제 1 전극(7702)은 발광 소자의 양극이다. 그리고 제 2 전극(7704)은 발광 소자의 음극이다. 요컨대, 제 1 전극(7702)과 제 2 전극(7704)의 사이에 유기 화합물을 포함하는 층(7703)이 있는 부분이 발광 소자가 된다.
- [0651] 또한, 여기에서, 양극으로서 기능하는 제 1 전극(7702)에 사용하는 재료로서는 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, 질화티타늄막, 크롬막, 텅스텐막, Zn막, Pt 막 등의 단층막 외에, 질화티타늄과 알루미늄을 주성분으로 하는 막과의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 또, 적층 구조로 하면, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트를 취할 수 있고, 또 양극으로서 기능시킬 수 있다. 광을 반사하는 금속막을 사용하는 것으로 광을 투과시키지 않는 양극을 형성할 수 있다.
- [0652] 또한, 음극으로서 기능하는 제 2 전극(7704)에 사용하는 재료로서는 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 질화칼슘)로 이루어지는 금속박막과 투명 도전막(ITO(인듐주석산화물), 인듐아연산화물(IZO), 산화아연(ZnO) 등)의 적층을 사용하는 것이 좋다. 이와 같이 하여 얇은 금속박막과 투명성을 갖는 투명 도전막을 사용하는 것으로 광을 투과시키는 것이 가능한 음극을 형성할 수 있다.
- [0653] 이와 같이 하여, 도 77a의 화살표시로 도시하는 바와 같이 발광 소자로부터의 광을 상면으로 추출하는 것이 가능하게 된다. 요컨대, 도 100의 표시 패널에 적용한 경우에는 밀봉 기관(10004)측으로 광이 사출하게 된다. 따라서 상면 사출 구조의 발광 소자를 표시 장치에 사용하는 경우에는 밀봉 기관(10004)은 광투과성을 갖는 기판을 사용한다.
- [0654] 또한, 광학필름을 형성하는 경우에는 밀봉 기관(10004)에 광학필름을 형성하면 좋다.
- [0655] 또, 제 1 전극(7702)을 음극으로서 기능하는 MgAg, MgIn, AlLi 등의 일함수가 작은 재료로 이루어지는 금속막을 사용할 수 있다. 그리고, 제 2 전극(7704)에는 ITO(인듐주석산화물)막, 인듐아연산화물(IZO) 등의 투명 도전막을 사용할 수 있다. 따라서, 이 구성에 의하면, 상면 사출의 투과율을 높게 할 수 있다.
- [0656] 또한, 하면 사출 구조의 발광 소자에 관해서 도 77b를 참조하여 설명한다. 사출 구조 이외에는 도 77a와 같은 구조의 발광 소자이기 때문에 같은 부호를 참조하여 설명한다.
- [0657] 여기에서, 양극으로서 기능하는 제 1 전극(7702)에 사용하는 재료로서는 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐주석산화물)막, 인듐아연산화물(IZO)막 등의 투명 도전막을 사용할 수 있다. 투명성을 갖는 투명 도전막을 사용하는 것으로 광을 투과시키는 것이 가능한 양극을 형성할 수 있다.
- [0658] 또한, 음극으로서 기능하는 제 2 전극(7704)에 사용하는 재료로서는 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 Ca₃N₂)로 이루어지는 금속막을 사용할 수 있다. 이와 같이 하여, 광을 반사하는 금속막을 사용하는 것으로 광이 투과하지 않는 음극을 형성할 수 있다.

- [0659] 이와 같이 하여, 도 77b의 화살표시에 도시하는 바와 같이 발광 소자로부터의 광을 하면으로 추출하는 것이 가능하게 된다. 요컨대, 도 100의 표시 패널에 적용한 경우에는 기관(10010)측으로 광이 사출하게 된다. 따라서 하면 사출 구조의 발광 소자를 표시 장치에 사용하는 경우에는 기관(10010)은 광투과성을 갖는 기관을 사용한다.
- [0660] 또한, 광학필름을 형성하는 경우에는 기관(10010)에 광학필름을 형성하면 좋다.
- [0661] 양면 사출 구조의 발광 소자에 관해서 도 77c를 참조하여 설명한다. 사출 구조 이외에는 도 77a와 같은 구조의 발광 소자이기 때문에 같은 부호를 참조하여 설명한다.
- [0662] 여기에서, 양극으로서 기능하는 제 1 전극(7702)에 사용하는 재료로서는 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐주석산화물)막, 인듐아연산화물(IZO)막 등의 투명 도전막을 사용할 수 있다. 투명성을 갖는 투명 도전막을 사용하는 것으로 광을 투과시키는 것이 가능한 양극을 형성할 수 있다.
- [0663] 또한, 음극으로서 기능하는 제 2 전극(7704)에 사용하는 재료로서는 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 질화칼슘)로 이루어지는 금속박막과 투명 도전막(ITO(인듐주석산화물), 산화인듐산화아연합금(In₂O₃-ZnO), 산화아연(ZnO) 등)과의 적층을 사용하는 것이 좋다. 이와 같이 하여 얇은 금속박막과 투명성을 갖는 투명 도전막을 사용하는 것으로 광을 투과시키는 것이 가능한 음극을 형성할 수 있다.
- [0664] 이와 같이 하여, 도 77c의 화살표시에 도시하는 바와 같이 발광 소자로부터의 광을 양면으로 추출하는 것이 가능하게 된다. 요컨대, 도 100의 표시 패널에 적용한 경우에는 기관(10010)측과 밀봉 기관(10004)측으로 광이 사출하게 된다. 따라서 양면 사출 구조의 발광 소자를 표시 장치에 사용하는 경우에는 기관(10010) 및 밀봉 기관(10004)은 모두 광투과성을 갖는 기관을 사용한다.
- [0665] 또한, 광학필름을 형성하는 경우에는 기관(10010) 및 밀봉 기관(10004)의 양쪽에 광학필름을 형성하면 좋다.
- [0666] 또한, 백색의 발광 소자와 컬러필터를 사용하여 풀컬러표시를 실현하는 표시 장치에도 본 발명을 적용하는 것이 가능하다.
- [0667] 도 78에 도시하는 바와 같이, 기관(7800)상에 하지막(7802)이 형성되고, 그 위에 구동용 트랜지스터(7801)가 형성되고, 구동용 트랜지스터(7801)의 소스 단자에 접하여 제 1 전극(7803)이 형성되고, 그 위에 유기 화합물을 포함하는 층(7804)과 제 2 전극(7805)이 형성되어 있다.
- [0668] 또한, 제 1 전극(7803)은 발광 소자의 양극이다. 그리고 제 2 전극(7805)은 발광 소자의 음극이다. 요컨대, 제 1 전극(7803)과 제 2 전극(7805)의 사이에 유기 화합물을 포함하는 층(7804)이 있는 부분이 발광 소자가 된다. 도 78의 구성에서는 백색광을 발광한다. 그리고, 발광 소자의 상부에 적색의 컬러필터(7806R), 녹색의 컬러필터(7806G), 청색의 컬러필터(7806B)를 형성하고 있고, 풀컬러표시를 할 수 있다. 또한, 이들의 컬러필터를 격리하는 블랙매트릭스(7807; BM이라고도 함)가 형성되어 있다.
- [0669] 상술한 발광 소자의 구성은 조합하여 사용할 수 있고, 본 발명의 표시 장치에 적절하게 사용할 수 있다. 또한, 상술한 표시 패널의 구성이나, 발광 소자는 예시인 것은 물론 화소 구성은 다른 구성의 표시 장치에 적용할 수도 있다.
- [0670] 다음에, 표시 패널의 화소부의 부분 단면도를 개시한다.
- [0671] 우선, 트랜지스터의 반도체층에 결정성 반도체막(폴리실리콘(p-Si : H)막)을 사용한 경우에 관해서 도 79 및 도 80을 참조하여 설명한다.
- [0672] 여기에서, 반도체층은 예를 들면 기관상에 비정질 실리콘(a-Si)막을 공지의 성막법으로 형성한다. 또, 비정질 실리콘막에 한정할 필요는 없고, 비정질 구조를 포함하는 반도체막(미결정 반도체막을 포함함)이면 좋다. 또 비정질실리콘게르마늄막 등의 비정질 구조를 포함하는 화합물 반도체막이어도 좋다.
- [0673] 그리고, 비정질 실리콘막을 레이저 결정화법이나, RTA나 퍼니스어닐로를 사용한 열결정화법이나, 결정화를 조장하는 금속원소를 사용한 열결정화법 등에 의해 결정화시킨다. 물론, 이들을 조합하여 행하여도 좋다.
- [0674] 상술한 결정화 처리에 의해서, 비정질 반도체막에 부분적으로 결정화된 영역이 형성된다.
- [0675] 또, 부분적으로 결정성이 높아진 결정성 반도체막을 원하는 형상으로 패터닝하여, 결정화된 영역으로부터 섬 형

상의 반도체막을 형성한다. 이 반도체막을 트랜지스터의 반도체층에 사용한다.

- [0676] 도 79에 도시하는 바와 같이, 기판(7901)상에 하지막(7902)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(7918)의 채널형성영역(7903) 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(7905), 및 용량 소자(7919)의 하부 전극이 되는 채널형성영역(7906), LDD 영역(7907) 및 불순물 영역(7908)을 갖는다. 또, 채널형성영역(7903) 및 채널형성영역(7906)에는 채널 도프가 행하여지고 있어도 좋다.
- [0677] 기판은 유리기판, 석영기판, 세라믹기판, 플라스틱기판 등을 사용할 수 있다. 또한, 하지막(7902)으로서는 질화알루미늄이나 산화규소, 산화질화규소 등의 단층이나 이들의 적층을 사용할 수 있다.
- [0678] 반도체층상에는 게이트 절연막(7909)을 개재하여 게이트 전극(7910) 및 용량 소자의 상부 전극(7911)이 형성되어 있다.
- [0679] 구동 트랜지스터(7918) 및 용량 소자(7919)를 덮고 층간 절연물(7912)이 형성되고, 층간 절연물(7912)상에 콘택트 홀을 통해서 배선(7913)이 불순물 영역(7905)과 접하고 있다. 배선(7913)에 접하여 화소전극(7914)이 형성되고, 화소전극(7914)의 단부 및 배선(7913)을 덮고 제 2 층간 절연물(7915)이 형성되어 있다. 여기에서는 포지티브형의 감광성 아크릴수지막을 사용함으로써 형성한다. 그리고, 화소전극(7914)상에 유기 화합물을 포함하는 층(7916) 및 대향전극(7917)이 형성되고, 화소전극(7914)과 대향전극(7917)의 사이에 유기 화합물을 포함하는 층(7916)이 있는 영역에서는 발광 소자(7920)가 형성되어 있다.
- [0680] 또한, 도 79b에 도시하는 바와 같이, 용량 소자(7919)의 하부 전극의 일부를 구성하는 LDD 영역이, 상부 전극(7911)과 겹치는 영역(7921)을 형성하여도 좋다. 또, 도 79a와 공통되는 부분은 공통된 부호를 사용하고, 설명은 생략한다.
- [0681] 또한, 도 80a에 도시하는 바와 같이, 구동 트랜지스터(7918)의 불순물 영역(7905)과 접하는 배선(7913)과 같은 층에 형성된 제 2 상부 전극(8091)을 갖고 있어도 좋다. 또, 도 79a와 공통되는 부분은 공통된 부호를 사용하고, 설명은 생략한다. 제 2 상부 전극(8091)과 상부 전극(7911)의 사이에 층간 절연물(7912)이 있고, 제 2 용량 소자를 구성하고 있다. 또한, 제 2 상부 전극(8091)은 불순물 영역(7908)과 접하고 있기 때문에, 상부 전극(7911)과 채널형성영역(7906)의 사이에 하지막(7902)을 두고 구성되는 제 1 용량 소자와 상부 전극(7911)과 제 2 상부 전극(8091)의 사이에 층간 절연물(7912)을 두고 구성되는 제 2 용량 소자가 병렬로 접속되고, 제 1 용량 소자와 제 2 용량 소자로 이루어지는 용량 소자(8092)를 구성하고 있다. 이 용량 소자(8092)의 용량은 제 1 용량 소자와 제 2 용량 소자의 용량을 가산한 합성용량이기 때문에, 작은 면적으로 큰 용량의 용량 소자를 형성할 수 있다. 요컨대, 본 발명의 표시 장치에서 화소 구성의 용량 소자로서 사용하면 개구율의 향상을 더욱 도모할 수 있다.
- [0682] 또한, 도 80b에 도시하는 용량 소자의 구성으로 하여도 좋다. 기판(8001)상에 하지막(8002)이 형성되고, 그 위에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(8018)의 채널형성영역(8003) 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(8005)을 갖는다. 또, 채널형성영역(8003)은 채널 도프가 행하여지고 있어도 좋다.
- [0683] 기판은 유리기판, 석영기판, 세라믹기판, 플라스틱기판 등을 사용할 수 있다. 또한, 하지막(7902)으로서는 질화알루미늄이나 산화규소, 산화질화규소 등의 단층이나 이들의 적층을 사용할 수 있다.
- [0684] 반도체층상에는 게이트 절연막(8006)을 개재하여 게이트 전극(8007) 및 제 1 전극(8008)이 형성되어 있다.
- [0685] 구동 트랜지스터(8018) 및 제 1 전극(8008)을 덮고 제 1 층간 절연물(8009)이 형성되고, 제 1 층간 절연물(8009)상에 콘택트 홀을 통해서 배선(8010)이 불순물 영역(8005)과 접하고 있다. 또한, 배선(8010)과 같은 재료로 이루어지는 동층의 제 2 전극(8011)이 형성된다.
- [0686] 또, 배선(8010) 및 제 2 전극(8011)을 덮도록 제 2 층간 절연물(8012)이 형성되고, 제 2 층간 절연물(8012)상에 콘택트 홀을 통해서, 배선(8010)과 접하고 화소전극(8013)이 형성되어 있다. 또한, 화소전극(8013)과 같은 재료로 이루어지는 동층의 제 3 전극(8014)이 형성되어 있다. 여기에서, 제 1 전극(8008), 제 2 전극(8011) 및 제 3 전극(8014)으로 이루어지는 용량 소자(8019)가 형성된다.
- [0687] 화소전극(8013)과 제 3 전극(8014)의 단부를 덮고 제 3 층간 절연물(8015)이 형성되고, 제 3 층간 절연물(8015) 및 제 3 전극(8014)상에 유기 화합물을 포함하는 층(8016) 및 대향전극(8017)이 형성되고, 화소전극(8013)과 대향전극(8017)의 사이에 유기 화합물을 포함하는 층(8016)을 둔 영역에서는 발광 소자(8020)가 형성되어 있다.

- [0688] 상술한 바와 같이, 결정성 반도체막을 반도체층에 사용한 트랜지스터의 구성은 도 79 및 도 80에 도시한 바와 같은 구성을 들 수 있다. 또, 도 79 및 도 80에 도시한 트랜지스터의 구조는 톱 게이트의 구조의 트랜지스터의 일례이다. 요컨대, 트랜지스터는 P형이어도 좋고, N형이어도 좋다. N형의 경우에는 LDD 영역은 게이트 전극과 겹친 구성으로 하여도 좋고, 게이트 전극과 겹치지 않은 구성으로 하여도 좋고, 또는 LDD 영역의 일부의 영역이 겹친 구성으로 하여도 좋다. 또, 게이트 전극은 테이퍼 형상이어도 좋고, 게이트 전극의 테이퍼부의 하부에 LDD 영역이 자기정합적으로 형성된 구성으로 하여도 좋다. 또한, 게이트 전극은 2개에 한하지 않고 3이상의 멀티 게이트 구조이어도 좋고, 1개의 게이트 전극이어도 좋다.
- [0689] 본 발명의 표시 장치의 화소를 구성하는 트랜지스터의 반도체층(채널 형성영역이나 소스 영역이나 드레인 영역 등)에 결정성 반도체막을 사용하는 것으로, 예를 들면, 도 100a에서의 제 1 게이트 드라이버(10003), 제 2 게이트 드라이버(10006) 및 신호 제어 회로(10001)를 화소부(10002)와 일체로 형성하는 것이 용이하게 된다.
- [0690] 또한, 반도체층에 폴리실리콘을 사용한 트랜지스터의 구성으로서, 기판과 반도체층의 사이에 게이트 전극이 있는 구조, 요컨대, 반도체층의 아래에 게이트 전극이 위치하는 보텀 게이트의 트랜지스터를 적용한 표시 패널의 부분 단면을 도 81에 도시한다.
- [0691] 기판(8101)상에 하지막(8102)이 형성되어 있다. 또 하지막(8102)상에 게이트 전극(8103)이 형성되어 있다. 또한, 게이트 전극(8103)과 동층에 같은 재료로 이루어지는 제 1 전극(8104)이 형성되어 있다. 게이트 전극(8103)의 재료에는 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 외에, 금속과 실리콘의 화합물인 실리사이드이어도 좋다.
- [0692] 또한, 게이트 전극(8103) 및 제 1 전극(8104)을 덮도록 게이트 절연막(8105)이 형성되어 있다. 게이트 절연막(8105)으로서는 산화규소막이나 질화규소막 등이 사용된다.
- [0693] 또한, 게이트 절연막(8105)상에 반도체층이 형성되어 있다. 반도체층은 구동 트랜지스터(8122)의 채널형성영역(8106), LDD 영역(8107) 및 소스 영역 또는 드레인 영역이 되는 불순물 영역(8108), 및 용량 소자(8123)의 제 2 전극이 되는 채널형성영역(8109), LDD 영역(8110) 및 불순물 영역(8111)을 갖는다. 또, 채널형성영역(8106) 및 채널형성영역(8109)은 채널 도프가 행하여지고 있어도 좋다.
- [0694] 기판은 유리기판, 석영기판, 세라믹기판, 플라스틱기판 등을 사용할 수 있다. 또한, 하지막(8102)으로서는 질화알루미늄이나 산화규소, 산화질화규소 등의 단층이나 이들의 적층을 사용할 수 있다.
- [0695] 반도체층을 덮고 제 1 층간 절연물(8112)이 형성되고, 제 1 층간 절연물(8112)상에 콘택트 홀을 통해서 배선(8113)이 불순물 영역(8108)과 접하고 있다. 또한, 배선(8113)과 동층에 같은 재료로 제 3 전극(8114)이 형성되어 있다. 제 1 전극(8104), 제 2 전극, 제 3 전극(8114)에 의해서 용량 소자(8123)가 구성되어 있다.
- [0696] 또한, 제 1 층간 절연물(8112)에는 개구부(8115)가 형성되어 있다. 구동 트랜지스터(8122), 용량 소자(8123) 및 개구부(8115)를 덮도록 제 2 층간 절연물(8116)이 형성되고, 제 2 층간 절연물(8116)상에 콘택트 홀을 개재하여, 화소전극(8117)이 형성되어 있다. 또한, 화소전극(8117)의 단부를 덮고 절연물(8118)이 형성되어 있다. 예를 들면, 포지티브형의 감광성 아크릴수지막을 사용할 수 있다. 그리고, 화소전극(8117)상에 유기 화합물을 포함하는 층(8119) 및 대향전극(8120)이 형성되고, 화소전극(8117)과 대향전극(8120)의 사이에 유기 화합물을 포함하는 층(8119)이 있는 영역에서는 발광 소자(8121)가 형성되어 있다. 그리고, 발광 소자(8121)의 하부에 개구부(8115)가 위치하고 있다. 요컨대, 발광 소자(8121)로부터의 발광을 기판측으로부터 추출할 때에는 개구부(8115)를 갖기 때문에 투과율을 높일 수 있다.
- [0697] 또한, 도 81a에서 화소전극(8117)과 동층에 같은 재료를 사용하여 제 4 전극(8124)을 형성하고, 도 81b와 같은 구성으로 하여도 좋다. 이와 같이 하면, 제 1 전극(8104), 제 2 전극, 제 3 전극(8114) 및 제 4 전극(8124)에 의해서 구성되는 용량 소자(8123)를 형성할 수 있다.
- [0698] 다음에, 트랜지스터의 반도체층에 비정질 실리콘(a-Si : H)막을 사용한 경우에 관해서 설명한다. 도 82에는 톱 게이트의 트랜지스터, 도 83 및 도 84에는 보텀 게이트의 트랜지스터의 경우에 관해서 도시한다.
- [0699] 비정질 실리콘을 반도체층에 사용한 톱 게이트 구조의 트랜지스터의 단면을 도 82a에 도시한다. 기판(8201)상에 하지막(8202)이 형성되어 있다. 또 하지막(8202)상에 화소전극(8203)이 형성되어 있다. 또한, 화소전극(8203)과 동층에 같은 재료로 이루어지는 제 1 전극(8204)이 형성되어 있다.

- [0700] 기판은 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 또한, 하지막(8202)으로서는 질화알루미늄이나 산화규소, 산화질화규소 등의 단층이나 이들의 적층을 사용할 수 있다.
- [0701] 또한, 하지막(8202)상에 배선(8205) 및 배선(8206)이 형성되고, 화소전극(8203)의 단부가 배선(8205)으로 덮여 있다. 배선(8205) 및 배선(8206)의 상부에 N형의 도전형을 갖는 N형 반도체층(8207) 및 N형 반도체층(8208)이 형성되어 있다. 또한, 배선(8205)과 배선(8206)의 사이로, 하지막(8202)상에 반도체층(8209)이 형성되어 있다. 그리고, 반도체층(8209)의 일부는 N형 반도체층(8207) 및 N형 반도체층(8208)상까지 연장되어 있다. 또, 이 반도체층은 비정질 실리콘(a-Si : H), 미결정 반도체(μ -Si : H) 등의 비결정성을 갖는 반도체막으로 형성되어 있다. 또한, 반도체층(8209)상에 게이트 절연막(8210)이 형성되어 있다. 또한, 게이트 절연막(8210)과 동층의 같은 재료로 이루어지는 절연막(8211)이 제 1 전극(8204)상에도 형성되어 있다. 또, 게이트 절연막(8210)으로서는 산화규소막이나 질화규소막 등이 사용된다.
- [0702] 또한, 게이트 절연막(8210)상에, 게이트 전극(8212)이 형성되어 있다. 또한, 게이트 전극과 동층에 같은 재료로 이루어지는 제 2 전극(8213)이 제 1 전극(8204)상에 절연막(8211)을 개재하여 형성되어 있다. 제 1 전극(8204) 및 제 2 전극(8213)의 사이에 절연막(8211)을 둔 용량 소자(8219)가 형성되어 있다. 또한, 화소전극(8203)의 단부, 구동 트랜지스터(8218) 및 용량 소자(8219)를 덮고, 층간 절연막(8214)이 형성되어 있다.
- [0703] 층간 절연막(8214) 및 그 개구부에 위치하는 화소전극(8203)상에 유기 화합물을 포함하는 층(8215) 및 대향전극(8216)이 형성되고, 화소전극(8203)과 대향전극(8216)의 사이에 유기 화합물을 포함하는 층(8215)을 둔 영역에서 발광 소자(8217)가 형성되어 있다.
- [0704] 또한, 도 82a에 도시하는 제 1 전극(8204)을 도 82b에 도시하는 바와 같이 제 1 전극(8220)으로 형성하여도 좋다. 제 1 전극(8220)은 배선(8205 및 8206)과 동층의 동일 재료로 형성되어 있다.
- [0705] 또한, 비정질 실리콘을 반도체층에 사용한 보텀 게이트 구조의 트랜지스터를 사용한 표시 장치의 패널의 부분 단면을 도 83에 도시한다.
- [0706] 기판(8301)상에 하지막(8302)이 형성되어 있다. 또 하지막(8302)상에 게이트 전극(8303)이 형성되어 있다. 또한, 게이트 전극과 동층에 같은 재료로 이루어지는 제 1 전극(8304)이 형성되어 있다. 게이트 전극(8303)의 재료에는 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 외에, 금속과 실리콘의 화합물인 실리사이드이어도 좋다.
- [0707] 또한, 게이트 전극(8303) 및 제 1 전극(8304)을 덮도록 게이트 절연막(8305)이 형성되어 있다. 게이트 절연막(8305)으로서는 산화규소막이나 질화규소막 등이 사용된다.
- [0708] 또한, 게이트 절연막(8305)상에, 반도체층(8306)이 형성되어 있다. 또한, 반도체층(8306)과 동층에 같은 재료로 이루어지는 반도체층(8307)이 형성되어 있다.
- [0709] 기판은 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 또한, 하지막(8302)으로서는 질화알루미늄이나 산화규소, 산화질화규소 등의 단층이나 이들의 적층을 사용할 수 있다.
- [0710] 반도체층(8306)상에는 N형의 도전성을 갖는 N형 반도체층(8308, 8309)이 형성되고, 반도체층(8307)상에는 N형 반도체층(8310)이 형성되어 있다.
- [0711] N형 반도체층(8308, 8309)상에는 각각 배선(8311, 8312)이 형성되고, N형 반도체층(8310)상에는 배선(8311 및 8312)과 동층의 동일 재료로 이루어지는 도전층(8313)이 형성되어 있다.
- [0712] 반도체층(8307), N형 반도체층(8310) 및 도전층(8313)으로 이루어지는 제 2 전극이 구성된다. 또, 이 제 2 전극과 제 1 전극(8304)의 사이에 하지막(8302)을 둔 구조의 용량 소자(8320)가 형성되어 있다.
- [0713] 또한, 배선(8311)의 한쪽의 단부는 연재하고, 그 연재한 배선(8311) 상부에 접하여 화소전극(8314)이 형성되어 있다.
- [0714] 또한, 화소전극(8314)의 단부, 구동 트랜지스터(8319) 및 용량 소자(8320)를 덮도록 절연물(8315)이 형성되어 있다.
- [0715] 화소전극(8314) 및 절연물(8315)상에는 유기 화합물을 포함하는 층(8316) 및 대향전극(8317)이 형성되고, 화소전극(8314)과 대향전극(8317)이 사이에 유기 화합물을 포함하는 층(8316)이 두어진 영역에서는 발광 소자(8318)가 형성되어 있다.

- [0716] 용량 소자의 제 2 전극의 일부가 되는 반도체층(8307) 및 N형 반도체층(8310)은 형성하지 않아도 좋다. 요컨대 제 2 전극은 도전층(8313)으로 하고, 제 1 전극(8304)과 도전층(8313)의 사이에 게이트 절연막이 두어진 구조의 용량 소자로 하여도 좋다.
- [0717] 또, 도 83a에서, 배선(8311)을 형성하기 전에 화소전극(8314)을 형성하는 것으로, 도 83b에 도시하는 바와 같이, 화소전극(8314)으로 이루어지는 제 2 전극(8321)과 제 1 전극(8304)의 사이에 게이트 절연막(8305)이 두어진 구조의 용량 소자(8322)를 형성할 수 있다.
- [0718] 또, 도 83에서는 역스태거형의 채널 에치 구조의 트랜지스터에 관해서 도시하였지만, 물론 채널 보호 구조의 트랜지스터이어도 좋다. 채널 보호 구조의 트랜지스터의 경우에 관해서, 도 84a, 84b를 참조하여 설명한다.
- [0719] 도 84a에 도시하는 채널 보호형 구조의 트랜지스터는 도 83a에 도시한 채널 에치 구조의 구동 트랜지스터(8319)의 반도체층(8306)의 채널이 형성되는 영역상에 에칭의 마스크가 되는 절연물(8401)이 형성되어 있는 점이 다르고, 다른 공통된 부분은 공통된 부호를 사용하고 있다.
- [0720] 또한, 마찬가지로, 도 84b에 도시하는 채널 보호형 구조의 트랜지스터는 도 83b에 도시한 채널 H구조의 구동 트랜지스터(8319)의 반도체층(8306)의 채널이 형성되는 영역상에 에칭의 마스크가 되는 절연물(8401)이 형성되어 있는 점이 다르고, 다른 공통된 부분은 공통된 부호를 사용하고 있다.
- [0721] 본 발명의 표시 장치의 화소를 구성하는 트랜지스터의 반도체층(채널형성영역이나 소스 영역이나 드레인 영역 등)에 비정질 반도체막을 사용하는 것으로, 제조비용을 삭감할 수 있다. 예를 들면, 도 66이나 도 67에 도시하는 화소 구성을 사용하는 것으로 비정질 반도체막을 적용하는 것이 가능하다.
- [0722] 또, 본 발명의 표시 장치의 화소 구성에 적용할 수 있는 트랜지스터의 구조나, 용량 소자의 구조는 상술한 구성에 한하지 않고, 여러가지 구성의 트랜지스터의 구조나, 용량 소자의 구조를 사용할 수 있다.
- [0723] 또한, 표시 패널의 구동에 상기 실시형태에서 개시한 표시 장치의 구성을 적용함으로써, 트랜지스터의 특성 열화를 억제할 수 있다. 그 때문에, 트랜지스터의 특성 열화가 원인인 시프트 레지스터의 오동작을 방지할 수 있다. 또한, 시프트 레지스터의 오동작이 원인인 표시 패널의 표시 불량을 억제할 수 있다.
- [0724] 또, 본 실시형태에서 개시한 표시 패널의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 패널의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0725] (실시형태 15)
- [0726] 본 실시형태에서는 본 발명을 적용할 수 있는 반도체장치가 박막 트랜지스터(TFT)를 소자로서 갖는 경우의 반도체 장치의 제작방법에 관해서, 도면을 참조하여 설명한다.
- [0727] 도 85는 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조 및 제조 프로세스의 예를 도시하는 도면이다. 도 85a는 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조의 예를 도시하는 도면이다. 또한, 도 85b 내지 85g는 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 제조 프로세스의 예를 도시하는 도면이다. 또, 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조 및 제조 프로세스는 도 85에 도시하는 것에 한정되지 않고, 여러 가지 구조 및 제조 프로세스를 사용할 수 있다.
- [0728] 우선, 도 85a를 참조하여, 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조의 예에 관해서 설명한다. 도 85a는 복수의 다른 구조를 갖는 TFT의 단면도이다. 여기에서, 도 85a에서는 복수의 다른 구조를 갖는 TFT를 병치하여 도시하고 있지만, 이것은 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조를 설명하기 위한 표현이고, 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT가, 실제로 도 85a와 같이 병치되어 있을 필요는 없고, 필요에 따라서 나누어 제작할 수 있다.
- [0729] 다음에, 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT를 구성하는 각 층의 특징에 관해서 설명한다.
- [0730] 기관(8511)은 바륨붕규산유리나, 알루미늄붕규산유리 등의 유리기관, 석영기관, 세라믹기관 또는 스테인리스를 포함하는 금속기관 등을 사용할 수 있다. 이 외에도, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱이나, 아크릴 등의 가요성을 갖는 합성 수지로 이루어지는 기관을 사용하는 것도 가능하다. 가요성을 갖는 기관을 사용함으로써, 구부리기가 가능한 반도체장치를 제작하는 것이 가능해진다. 또한, 이러한 기관이면, 그 면적이나 형상에 큰 제한은 없기 때문에, 기관(8511)으로서,

예를 들면, 1번이 1미터 이상이고, 직사각형 사용하면, 생산성을 각별히 향상시킬 수 있다. 이러한 이점은 원형의 실리콘기판을 사용하는 경우와 비교하면 큰 우위점이다.

[0731] 절연막(8512)은 하지막으로서 기능한다. 기판(8511)으로부터 Na 등의 알칼리 금속이나 알칼리토류 금속이, 반도체소자의 특성에 악영향을 미치는 것을 막기 위해서 형성한다. 절연막(8512)으로서는 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다. 예를 들면, 절연막(8512)을 2층 구조로 형성하는 경우, 1층째의 절연막으로서 질화산화규소막을 형성하고, 2층째의 절연막으로서 산화질화규소막을 형성하면 좋다. 또한 절연막(8512)을 3층 구조로 형성하는 경우, 1층째의 절연막으로서 산화질화규소막을 형성하고, 2층째의 절연막으로서 질화산화규소막을 형성하고, 3층째의 절연막으로서 산화질화규소막을 형성하면 좋다.

[0732] 반도체막(8513, 8514, 8515)은 비정질(어몰퍼스) 반도체 또는 세미어몰퍼스 반도체(SAS)로 형성할 수 있다. 또한, 다결정 반도체막을 하여도 좋다. SAS는 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조를 갖고, 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체이며, 단거리질서와 격자 왜곡을 갖는 결정질인 영역을 포함하고 있다. 적어도 막 중의 일부의 영역에는 0.5 내지 20nm의 결정영역을 관측할 수 있고, 규소를 주성분으로 하는 경우에는 라만 스펙트럼이 520cm^{-1} 보다도 저파수측으로 시프트하고 있다. X선 회절에서는 규소결정 격자에 유래하게 되는 (111), (220)의 회절 피크가 관측된다. 미결합수(댕글링 본드)의 종단으로서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함시키고 있다. SAS는 규소를 함유한 기체를 글로방전 분해(플라즈마 CVD)하여 형성한다. 규소를 함유한 기체로서는 SiH_4 외에도 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하는 것이 가능하다. 또한 GeF_4 을 혼합시켜도 좋다. 이 규소를 함유한 기체를 H_2 , 또는 H_2 와 He, Ar, Kr, Ne로부터 선택된 일종 또는 복수종의 회가스원소로 희석하여도 좋다. 희석율은 2 내지 1000배의 범위, 압력은 개략 0.1Pa 내지 133Pa의 범위, 전원 주파수는 1MHz 내지 120MHz 바람직하게는 13MHz 내지 60MHz, 기판 가열온도는 300°C 이하이면 좋다. 막 중의 불순물원소로서, 산소, 질소, 탄소 등의 대기성분의 불순물은 $1 \times 10^{20}\text{cm}^{-3}$ 이하로 하는 것이 바람직하고, 특히, 산소농도는 $5 \times 10^{19}/\text{cm}^3$ 이하 바람직하게는 $1 \times 10^{19}/\text{cm}^3$ 이하로 한다. 여기에서는 공지의 수단(스퍼터법, LPCVD법, 플라즈마 CVD법 등)을 사용하여 실리콘(Si)을 주성분으로 하는 재료(예를 들면 $\text{Si}_x\text{Ge}_{1-x}$ 등)로 비정질 반도체막을 형성하고, 상기 비정질 반도체막을 레이저 결정화법, RTA 또는 퍼니스어닐로를 사용하는 열결정화법, 결정화를 조장하는 금속원소를 사용하는 열결정화법 등의 공지의 결정화법에 의해 결정화시킨다.

[0733] 절연막(8516)은 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다.

[0734] 게이트 전극(8517)은 단층의 도전막, 또는 2층, 3층의 도전막의 적층 구조로 할 수 있다. 게이트 전극(8517)의 재료로서는 공지의 도전막을 사용할 수 있다. 예를 들면, 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 실리콘(Si) 등의 원소의 단층막, 또는 원소의 질화막(대표적으로는 질화탄탈륨막, 질화텅스텐막, 질화티타늄막), 또는 원소를 조합한 합금막(대표적으로는 Mo-W 합금, Mo-Ta 합금), 또는 원소의 실리사이드막(대표적으로는 텅스텐실리사이드막, 티타늄실리사이드막) 등을 사용할 수 있다. 또, 상술한 단층막, 질화막, 합금막, 실리사이드막 등은 단층으로 사용하여도 좋고, 적층하여 사용하여도 좋다.

[0735] 절연막(8518)은 공지의 수단(스퍼터법이나 플라즈마 CVD법 등)에 의해, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드라이크카본) 등의 탄소를 포함하는 막의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다.

[0736] 절연막(8519)은 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드라이크카본) 등의 탄소를 포함하는 막은 물론, 이 외에도 에폭시, 폴리이미드, 폴리이미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료나 실록산수지로 이루어지는 단층 또는 적층 구조로 형성할 수 있다. 또, 실록산수지는 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와 플루오로기를 사용하여도 좋다. 또, 본 발명에서의 반도체장치에서, 절연막(8518)을 형성하지 않고 게이트 전극(8517)을 덮도록 직접 절연막(8519)을 형성하는 것도 가능하다.

[0737] 도전막(8523)은 Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au, Mn 등의 원소의 단층막, 또는 원소의 질화막, 또는 원

소를 조합한 합금막, 또는 원소의 실리사이드막 등을 사용할 수 있다. 예를 들면, 원소를 복수 포함하는 합금으로서, C와 Ti를 함유한 Al합금, Ni를 함유한 Al합금, C과 Ni를 함유한 Al합금, C과 Mn을 함유한 Al합금 등을 사용할 수 있다. 또한, 적층 구조로 형성하는 경우, Al을 Mo 또는 Ti 등을 사이에 둔 구조로 할 수 있다. 이와 같이 하는 것으로, Al의 열이나 화학 반응에 대한 내성을 향상시킬 수 있다.

[0738] 다음에, 도 85a에 도시한, 복수의 다른 구조를 갖는 TFT의 단면도를 참조하여, 각각의 구조의 특징에 관해서 설명한다.

[0739] 8501은 싱글드레인 TFT이고, 간편한 방법으로 제조할 수 있기 때문에, 제조비용이 낮고, 수율을 높게 제조할 수 있다는 이점이 있다. 여기에서, 반도체막(8513, 8515)은 각각 불순물의 농도가 다르고, 반도체막(8513)은 채널 영역, 반도체막(8515)은 소스 영역 및 드레인 영역으로서 사용한다. 이와 같이, 불순물의 양을 제어하는 것으로, 반도체막의 저항율을 제어할 수 있다. 또한, 반도체막과 도전막(8523)의 전기적인 접촉 상태를, �믹 접촉에 가깝게 할 수 있다. 또, 불순물의 양이 다른 반도체막을 나누어 제작하는 방법으로서서는 게이트 전극(8517)을 마스크로 하여 반도체막에 불순물을 도핑하는 방법을 이용할 수 있다.

[0740] 8502는 게이트 전극(8517)에 일정 이상의 테이퍼각을 갖는 TFT이고, 간편한 방법으로 제조할 수 있기 때문에, 제조비용이 낮고, 수율을 높게 제조할 수 있다는 이점이 있다. 여기에서, 반도체막(8513, 8514, 8515)은 각각 불순물 농도가 다르고, 반도체막(8513)은 채널영역, 반도체막(8514)은 저농도 드레인(Lightly Doped Drain : LDD)영역, 반도체막(8515)은 소스 영역 및 드레인 영역으로서 사용한다. 이와 같이, 불순물의 양을 제어하는 것으로, 반도체막의 저항율을 제어할 수 있다. 또한, 반도체막과 도전막(8523)의 전기적인 접촉 상태를, �믹 접촉에 가깝게 할 수 있다. 또한, LDD 영역을 갖기 때문에, TFT 내부에 고전계가 가해지기 어렵고, 핫캐리어에 의한 소자의 열화를 억제할 수 있다. 또, 불순물의 양이 다른 반도체막을 나누어 제작하는 방법으로서서는 게이트 전극(8517)을 마스크로 하여 반도체막에 불순물을 도핑하는 방법을 이용할 수 있다. TFT(8502)에서는 게이트 전극(8517)이 일정 이상의 테이퍼각을 갖고 있기 때문에, 게이트 전극(8517)을 통과하여 반도체막에 도핑되는 불순물의 농도에 구배를 가질 수 있고, 간편히 LDD 영역을 형성할 수 있다.

[0741] 8503은 게이트 전극(8517)이 적어도 2층으로 구성되고, 하층의 게이트 전극이 상층의 게이트 전극보다도 긴 형상을 갖는 TFT이다. 게이트 전극(8517)이 이러한 형상인 것에 의해서, 포토마스크를 추가하지 않고, LDD 영역을 형성할 수 있다. 또, TFT(8503)와 같이, LDD 영역이 게이트 전극(8517)과 겹쳐 있는 구조를, 특별히 GOLD 구조(Gate Overlapped LDD)라고 부른다. 또, 게이트 전극(8517)의 형상을 이러한 형상으로 하는 방법으로서서는 다음과 같은 방법을 이용하여도 좋다. 우선, 게이트 전극(8517)을 패터닝할 때에, 드라이 에칭에 의해, 하층의 게이트 전극 및 상층의 게이트 전극을 에칭하여 측면에 경사(테이퍼)가 있는 형상으로 한다. 계속해서, 이방성 에칭에 의해 상층의 게이트 전극의 경사를 수직에 가까워지도록 가공한다. 이것에 의해, 하층의 게이트 전극이 상층의 게이트 전극보다도 긴 형상의 게이트 전극이 형성된다. 그 후, 2회, 불순물원소를 도핑함으로써, 채널 영역으로서 사용하는 반도체막(8513), LDD 영역으로서 사용하는 반도체막(8514), 소스 단자 및 드레인 단자로서 사용하는 반도체막(8515)이 형성된다.

[0742] 또, 게이트 전극(8517)과 겹쳐 있는 LDD 영역을 Lov영역, 게이트 전극(8517)과 겹치지 않은 LDD 영역을 Loff 영역이라고 부르기로 한다. 여기에서, Loff 영역은 오프 전류값을 억제하는 효과는 높지만, 드레인 근방의 전계를 완화하여 핫캐리어에 의한 온 전류값의 열화를 막는 효과는 낮다. 한편, Lov 영역은 드레인 근방의 전계를 완화하여, 온 전류값의 열화의 방지에는 유효하지만, 오프 전류값을 억제하는 효과는 낮다. 따라서, 여러가지 회로마다, 요구되는 특성에 따른 구조의 TFT를 제작하는 것이 바람직하다. 예를 들면, 본 발명에서의 반도체장치를 표시 장치로서 사용하는 경우, 화소 TFT는 오프 전류값을 억제하기 위해서, Loff 영역을 갖는 TFT를 사용하는 것이 적합하다. 한편, 주변회로에서의 TFT는 드레인 근방의 전계를 완화하여, 온 전류값의 열화를 방지하기 위해서, Lov 영역을 갖는 TFT를 사용하는 것이 적합하다.

[0743] 8504는 게이트 전극(8517)의 측면에 접하여, 사이드 월(8521)을 갖는 TFT이다. 사이드 월(8521)을 가짐으로써, 사이드 월(8521)과 겹치는 영역을 LDD 영역으로 할 수 있다.

[0744] 8505는 반도체막에 마스크를 사용하여 도핑함으로써, LDD(Loff)영역을 형성한 TFT이다. 이렇게 함으로써, 확실히 LDD 영역을 형성할 수 있고, TFT의 오프 전류값을 저감할 수 있다.

[0745] 8506은 반도체막에 마스크를 사용하여 도핑함으로써, LDD(Lov)영역을 형성한 TFT이다. 이와 같이 함으로써, 확실히 LDD 영역을 형성할 수 있고, TFT의 드레인 근방의 전계를 완화하여, 온 전류값의 열화를 저감할 수 있다.

- [0746] 다음에, 도 85b 내지 85g를 참조하여, 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 제조 프로세스의 예를 설명한다. 또, 본 발명을 적용할 수 있는 반도체장치가 가질 수 있는 TFT의 구조 및 제조 프로세스는 도 85에 도시하는 것에 한정되지 않고, 여러 가지 구조 및 제조 프로세스를 사용할 수 있다.
- [0747] 본 발명에서는 기관(8511), 절연막(8512), 반도체막(8513, 8514, 8515), 절연막(8516), 절연막(8518), 또는 절연막(8519)의 표면에, 플라즈마 처리를 사용하여 산화 또는 질화를 함으로써, 반도체막 또는 절연막을 산화 또는 질화할 수 있다. 이와 같이, 플라즈마 처리를 사용하여 반도체막 또는 절연막을 산화 또는 질화함으로써, 상기 반도체막 또는 절연막의 표면을 개질하여, CVD법이나 스퍼터법에 의해 형성한 절연막과 비교하여 더욱 치밀한 절연막을 형성할 수 있기 때문에, 핀홀 등의 결함을 억제하여 반도체장치의 특성 등을 향상시키는 것이 가능해진다.
- [0748] 우선, 기관(8511)의 표면을 플루오르산(HF), 알칼리 또는 순수(純水)를 사용하여 세정한다. 기관(8511)은 바륨붕규산유리나, 알루미늄붕규산유리 등의 유리기관, 석영기관, 세라믹기관 또는 스테인리스를 포함하는 금속기관 등을 사용할 수 있다. 이 외에도, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱이나, 아크릴 등의 가요성을 갖는 합성 수지로 이루어지는 기관을 사용하는 것도 가능하다. 또, 여기에서는 기관(8511)으로서 유리기관을 사용하는 경우를 나타낸다.
- [0749] 여기에서, 기관(8511)의 표면에 플라즈마 처리를 하는 것으로, 기관(8511)의 표면을 산화 또는 질화함으로써, 기관(8511)의 표면에 산화막 또는 질화막을 형성하여도 좋다(도 85b). 표면에 플라즈마 처리를 하는 것으로 형성된 산화막 또는 질화막 등의 절연막을, 이하에서는 플라즈마 처리 절연막이라고도 한다. 도 85b에서는 절연막(8531)이 플라즈마 처리 절연막이다. 일반적으로, 유리나 플라스틱 등의 기관상에 박막 트랜지스터 등의 반도체소자를 형성하는 경우, 유리나 플라스틱 등에 포함되는 Na 등의 알칼리 금속이나 알칼리토류 금속 등의 불순물원소가 반도체소자에 혼입되어 오염됨으로써, 반도체소자의 특성에 영향을 미칠 우려가 있다. 그러나, 유리나 플라스틱 등으로 이루어지는 기관의 표면을 질화함으로써, 기관에 포함되는 Na 등의 알칼리 금속이나 알칼리토류 금속 등의 불순물원소가 반도체소자에 혼입하는 것을 방지할 수 있다.
- [0750] 또, 플라즈마 처리에 의해 표면을 산화하는 경우에는 산소 분위기하(예를 들면, 산소(O₂)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함) 분위기하 또는 산소와 수소(H₂)와 희가스 분위기하 또는 1산화2질소와 희가스 분위기하)에서 플라즈마 처리를 한다. 한편, 플라즈마 처리에 의해 표면을 질화하는 경우에는 질소 분위기하(예를 들면, 질소(N₂)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함) 분위기하 또는 질소와 수소와 희가스 분위기하 또는 NH₃과 희가스 분위기하)에서 플라즈마 처리를 한다. 희가스로서는 예를 들면 Ar을 사용할 수 있다. 또한, Ar과 Kr을 혼합한 가스를 사용하여도 좋다. 그 때문에, 플라즈마 처리 절연막은 플라즈마 처리에 사용한 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)를 포함하고 있다. 예를 들면, Ar을 사용한 경우에는 플라즈마 처리 절연막에 Ar이 포함되어 있다.
- [0751] 또한, 플라즈마 처리는 상기 가스의 분위기 중에서, 전자밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{13} \text{ cm}^{-3}$ 이하이고, 플라즈마의 전자온도가 0.5eV 이상 1.5eV 이하로 하는 것이 적합하다. 플라즈마의 전자밀도가 고밀도이고, 피처리물 부근에서의 전자온도가 낮기 때문에, 피처리물에 대한 플라즈마에 의한 손상을 방지할 수 있다. 또한, 플라즈마의 전자밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상으로 고밀도이기 때문에, 플라즈마 처리를 사용하여, 피조사물을 산화 또는 질화함으로써 형성되는 산화막 또는 질화막은 CVD법이나 스퍼터법 등에 의해 형성된 막과 비교하여 막 두께 등이 균일성이 우수하고, 또한 치밀한 막을 형성할 수 있다. 또한, 플라즈마의 전자온도가 1eV 이하로 낮기 때문에, 종래의 플라즈마 처리나 열산화법과 비교하여 저온도로 산화 또는 질화처리를 할 수 있다. 예를 들면, 유리기관의 일그러짐점 온도보다도 100도 이상 낮은 온도로 플라즈마 처리를 하여도 충분히 산화 또는 질화처리를 할 수 있다. 또, 플라즈마를 형성하기 위한 주파수로서는 마이크로파(2.45GHz) 등의 고주파를 사용할 수 있다. 또, 이하에 특히 언급하지 않는 경우는 플라즈마 처리로서 상기 조건을 사용하여 행하는 것으로 한다.
- [0752] 또, 도 85b에서는 기관(8511)의 표면을 플라즈마 처리함으로써 플라즈마 처리 절연막을 형성하는 경우를 도시하고 있지만, 본 발명은 기관(8511)의 표면에 플라즈마 처리 절연막을 형성하지 않는 경우도 포함한다.
- [0753] 또, 도 85c 내지 85g에서는 피처리물의 표면을 플라즈마 처리함으로써 형성되는 플라즈마 처리 절연막을 도시하지 않지만, 본 발명에서는 기관(8511), 절연막(8512), 반도체막(8513, 8514, 8515), 절연막(8516), 절연막(8518), 또는 절연막(8519)의 표면에, 플라즈마 처리를 함으로써 형성되는 플라즈마 처리 절연막이 존재하는 경우도 포함한다.

- [0754] 다음에, 기판(8511)상에 공지의 수단(스퍼터법, LPCVD법, 플라즈마 CVD법 등)을 사용하여 절연막(8512)을 형성한다(도 85c). 절연막(8512)으로서는 산화규소 또는 산화질화규소를 사용할 수 있다.
- [0755] 여기에서, 절연막(8512)의 표면에 플라즈마 처리를 하여, 절연막(8512)을 산화 또는 질화함으로써, 절연막(8512)의 표면에 플라즈마 처리 절연막을 형성하여도 좋다. 절연막(8512)의 표면을 산화함으로써, 절연막(8512)의 표면을 개질하여 핀홀 등의 결함이 적은 치밀한 막을 얻을 수 있다. 또한, 절연막(8512)의 표면을 산화함으로써, N원자의 함유율이 낮은 플라즈마 처리 절연막을 형성할 수 있기 때문에, 플라즈마 처리 절연막에 반도체막을 형성한 경우에 플라즈마 처리 절연막과 반도체막 계면 특성이 향상된다. 또한, 플라즈마 처리 절연막은 플라즈마 처리에 사용한 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)를 포함하고 있다. 또, 플라즈마 처리는 상술한 조건하에서 동일하게 할 수 있다.
- [0756] 다음에, 절연막(8512)상에 섬 형상의 반도체막(8513, 8514)을 형성한다(도 85d). 섬 형상의 반도체막(8513, 8514)은 절연막(8512)상에 공지의 수단(스퍼터법, LPCVD법, 플라즈마 CVD법 등)을 사용하여 실리콘(Si)을 주성분으로 하는 재료(예를 들면 $\text{Si}_x\text{Ge}_{1-x}$ 등) 등을 사용하여 비정질 반도체막을 형성하고, 상기 비정질 반도체막을 결정화시켜, 반도체막을 선택적으로 에칭함으로써 형성할 수 있다. 또, 비정질 반도체막의 결정화는 레이저 결정화법, RTA 또는 퍼니스어닐로를 사용하는 열결정화법, 결정화를 조장하는 금속원소를 사용하는 열결정화법 또는 이들 방법을 조합한 방법 등의 공지의 결정화법에 의해 할 수 있다. 또, 여기에서는 섬 형상의 반도체막의 단부를 직각에 가까운 형상($\theta=85^\circ$ 내지 100°)으로 형성한다. 또한, 저농도 드레인 영역이 되는 반도체막(8514)은 마스크를 사용하여 불순물을 도핑함으로써 형성되어도 좋다.
- [0757] 여기에서, 반도체막(8513, 8514)의 표면에 플라즈마 처리를 하여, 반도체막(8513, 8514)의 표면을 산화 또는 질화함으로써, 반도체막(8513, 8514)의 표면에 플라즈마 처리 절연막을 형성하여도 좋다. 예를 들면, 반도체막(8513, 8514)으로서 Si를 사용한 경우, 플라즈마 처리 절연막으로서, 산화규소 또는 질화규소가 형성된다. 또한, 플라즈마 처리에 의해 반도체막(8513, 8514)을 산화시킨 후에, 다시 플라즈마 처리를 함으로써 질화시켜도 좋다. 이 경우, 반도체막(8513, 8514)에 접하여 산화규소가 형성되고, 상기 산화규소의 표면에 질화산화규소가 형성된다. 또, 플라즈마 처리에 의해 반도체막을 산화하는 경우에는 산소 분위기하(예를 들면, 산소(O_2)와 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함) 분위기하 또는 산소와 수소(H_2)와 회가스 분위기하 또는 1산화 2질소와 회가스 분위기하)에서 플라즈마 처리를 한다. 한편, 플라즈마 처리에 의해 반도체막을 질화하는 경우에는 질소 분위기하(예를 들면, 질소(N_2)와 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함) 분위기하 또는 질소와 수소와 회가스 분위기하 또는 NH_3 와 회가스 분위기하)에서 플라즈마 처리를 한다. 회가스로서는 예를 들면 Ar을 사용할 수 있다. 또한, Ar과 Kr을 혼합한 가스를 사용하여도 좋다. 그 때문에, 플라즈마 처리 절연막은 플라즈마 처리에 사용한 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)를 포함하고 있다. 예를 들면, Ar을 사용한 경우에는 플라즈마 처리 절연막에 Ar이 포함되어 있다.
- [0758] 다음에, 절연막(8516)을 형성한다(도 85e). 절연막(8516)은 공지의 수단(스퍼터법, LPCVD법, 플라즈마 CVD법 등)을 사용하여, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다. 또, 반도체막(8513, 8514)의 표면을 플라즈마 처리함으로써, 반도체막(8513, 8514)의 표면에 플라즈마 처리 절연막을 형성한 경우에는 플라즈마 처리 절연막을 절연막(8516)으로서 사용하는 것도 가능하다.
- [0759] 여기에서, 절연막(8516)의 표면에 플라즈마 처리를 하여, 절연막(8516)의 표면을 산화 또는 질화함으로써, 절연막(8516)의 표면에 플라즈마 처리 절연막을 형성하여도 좋다. 또, 플라즈마 처리 절연막은 플라즈마 처리에 사용한 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)를 포함하고 있다. 또한, 플라즈마 처리는 상술한 조건하에서 동일하게 할 수 있다.
- [0760] 또한, 일단 산소 분위기하에서 플라즈마 처리를 함으로써 절연막(8516)을 산화시킨 후에, 다시 질소 분위기하에서 플라즈마 처리를 함으로써 질화시켜도 좋다. 이와 같이, 절연막(8516)에 플라즈마 처리를 하여, 절연막(8516)의 표면을 산화 또는 질화함으로써, 절연막(8516)의 표면을 개질하여 치밀한 막을 형성할 수 있다. 플라즈마 처리를 함으로써 얻어진 절연막은 CVD법이나 스퍼터법으로 형성된 절연막과 비교하여 치밀하고 핀홀 등의 결함도 적기 때문에, 박막 트랜지스터의 특성을 향상시킬 수 있다.
- [0761] 다음에, 게이트 전극(8517)을 형성한다(도 85f). 게이트 전극(8517)은 공지의 수단(스퍼터법, LPCVD법, 플라즈마 CVD법 등)을 사용하여 형성할 수 있다.

- [0762] TFT(8501)에서는 게이트 전극(8517)을 형성한 후에 불순물 도핑을 하는 것으로, 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다.
- [0763] TFT(8502)에서는 게이트 전극(8517)을 형성한 후에 불순물 도핑을 하는 것으로, LDD 영역으로서 사용하는 8514와 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다.
- [0764] TFT(8503)에서는 게이트 전극(8517)을 형성한 후에 불순물 도핑을 하는 것으로, LDD 영역으로서 사용하는 8514와 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다.
- [0765] TFT(8504)에서는 게이트 전극(8517)의 측면에 사이드 월(8521)을 형성한 후, 불순물 도핑을 하는 것으로, LDD 영역으로서 사용하는 8514와 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다. 또, 사이드 월(8521)은 산화규소 또는 질화규소를 사용할 수 있다. 사이드 월(8521)을 게이트 전극(8517)의 측면에 형성하는 방법으로서 예를 들면, 게이트 전극(8517)을 형성한 후에, 산화규소 또는 질화규소를 공지의 방법으로 성막한 후에, 이방성 에칭에 의해서 산화규소막 또는 질화규소막을 에칭하는 방법을 이용할 수 있다. 이와 같이 하는 것으로, 게이트 전극(8517)의 측면에만 산화규소 또는 질화규소막을 남길 수 있기 때문에, 게이트 전극(8517)의 측면에 사이드 월(8521)을 형성할 수 있다.
- [0766] TFT(8505)에서는 게이트 전극(8517)을 덮도록 마스크(8522)를 형성한 후, 불순물 도핑을 하는 것으로, LDD(Loff)영역으로서 사용하는 8514와 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다.
- [0767] TFT(8506)에서는 게이트 전극(8517)을 형성한 후에 불순물 도핑을 하는 것으로, LDD(Lov)영역으로서 사용하는 8514와 소스 영역 및 드레인 영역으로서 사용하는 반도체막(8515)을 형성할 수 있다.
- [0768] 다음에, 절연막(8518)을 형성한다(도 85g). 절연막(8518)은 공지의 수단(스퍼터법이나 플라즈마 CVD법 등)에 의해, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드라이크카본) 등의 탄소를 포함하는 막의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다.
- [0769] 여기에서, 절연막(8518)의 표면에 플라즈마 처리를 하여, 절연막(8518)의 표면을 산화 또는 질화함으로써, 절연막(8518)의 표면에 플라즈마 처리 절연막을 형성하여도 좋다. 또, 플라즈마 처리 절연막은 플라즈마 처리에 사용한 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)를 포함하고 있다. 또한, 플라즈마 처리는 상술한 조건하에서 동일하게 할 수 있다.
- [0770] 다음에, 절연막(8519)을 형성한다. 절연막(8519)은 공지의 수단(스퍼터법이나 플라즈마 CVD법 등)에 의해, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드라이크카본) 등의 탄소를 포함하는 막을 사용할 수 있는 것 외에, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료나 실록산수지의 단층 구조, 또는 이들의 적층 구조로 형성할 수 있다. 또, 실록산수지는 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와 플루오로기를 사용하여도 좋다. 또한, 플라즈마 처리 절연막에는 플라즈마 처리에 사용한 회가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함함)가 포함되어 있고, 예를 들면 Ar을 사용한 경우에는 플라즈마 처리 절연막 중에 Ar이 포함되어 있다.
- [0771] 절연막(8519)으로서 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료나 실록산수지 등을 사용한 경우, 절연막(8519)의 표면을 플라즈마 처리에 의해 산화 또는 질화함으로써, 상기 절연막의 표면을 개질할 수 있다. 표면을 개질함으로써, 절연막(8519)의 강도가 향상되어, 개구부 형성시 등에서의 균열의 발생이나 에칭시의 막 감소 등의 물리적 손상을 저감하는 것이 가능해진다. 또한, 절연막(8519)의 표면이 개질됨으로써, 절연막(8519)상에 도전막(8523)을 형성하는 경우에 도전막과의 밀착성이 향상된다. 예를 들면, 절연막(8519)으로서 실록산수지를 사용하여 플라즈마 처리를 사용하여 질화를 한 경우, 실록산수지의 표면이 질화됨으로써 질소 또는 회가스를 포함하는 플라즈마 처리 절연막이 형성되고, 물리적 강도가 향상된다.
- [0772] 다음에, 반도체막(8515)과 전기적으로 접속된 도전막(8523)을 형성하기 위해서, 절연막(8519), 절연막(8518), 절연막(8516)에 콘택트 홀을 형성한다. 또, 콘택트 홀의 형상은 테이퍼형이어도 좋다. 이와 같이 하는 것으로, 도전막(8523)의 커버리지를 향상시킬 수 있다.
- [0773] 또, 본 실시형태에서 개시한 반도체장치의 제작방법은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 제

작방법에도 적용시킬 수 있다. 또한, 본 실시형태에서 개시한 반도체장치의 제작방법도 자유롭게 조합하여 실시할 수 있다.

[0774] (실시형태 16)

[0775] 본 실시형태에서는 트랜지스터를 비롯한 반도체장치를 제작하는 프로세스로서, 하프톤 방식에 관해서 설명한다.

[0776] 도 104는 트랜지스터, 용량 소자, 저항 소자를 포함하는 반도체장치의 단면 구조를 도시하는 도면이다. 도 104는 N채널형 트랜지스터(10401), N채널형 트랜지스터(10402), 용량 소자(10404), 저항 소자(10405), P채널형 트랜지스터(10403)가 개시되어 있다. 각 트랜지스터는 반도체층(10505), 절연층(10508), 게이트 전극(10509)을 구비하고 있다. 게이트 전극(10509)은 제 1 도전층(10503)과 제 2 도전층(10502)의 적층 구조로 형성되어 있다. 또한, 도 105a 내지 105e는 도 104에서 도시하는 트랜지스터, 용량 소자, 저항 소자에 대응하는 상면도이고, 조합하여 참조할 수 있다.

[0777] 도 104에 있어서, N채널형 트랜지스터(10401)는 채널길이 방향(캐리어가 흐르는 방향)에 있어서, 게이트 전극의 양측에 저농도 드레인(LDD)이라고도 불리고, 배선(10504)과 콘택트를 형성하는 소스 영역 및 드레인 영역을 형성하는 불순물 영역(10506)의 불순물 농도보다도 저농도로 도핑된 불순물 영역(10507)이 반도체층(10505)에 형성되어 있다. 불순물 영역(10506)과 불순물 영역(10507)에는 N채널형 트랜지스터(10401)를 구성하는 경우, N형을 부여하는 불순물로서 인 등이 첨가되어 있다. LDD는 핫 일렉트론 열화나 단채널 효과를 억제하는 수단으로서 형성된다.

[0778] 도 105a에서 도시하는 바와 같이, N채널형 트랜지스터(10401)의 게이트 전극(10509)에 있어서, 제 1 도전층(10503)은 제 2 도전층(10502)의 양측으로 확대되어 형성되어 있다. 이 경우에 있어서, 제 1 도전층(10503)의 막 두께는 제 2 도전층(10502)의 막 두께보다도 얇게 형성되어 있다. 제 1 도전층(10503)의 두께는 10 내지 100kV의 전계로 가속된 이온종을 통과시키는 것이 가능한 두께로 형성되어 있다. 불순물 영역(10507)은 게이트 전극(10509)의 제 1 도전층(10503)과 겹치도록 형성되어 있다. 즉, 게이트 전극(10509)과 오버랩하는 LDD 영역을 형성하고 있다. 이 구조는 게이트 전극(10509)에 있어서, 제 2 도전층(10502)을 마스크로 하여, 제 1 도전층(10503)을 통해서 1도전형의 불순물을 첨가함으로써, 자기정합적으로 불순물 영역(10507)을 형성하고 있다. 즉, 게이트 전극과 오버랩하는 LDD를 자기정합적으로 형성하고 있다.

[0779] 도 104에 있어서, N채널형 트랜지스터(10402)는 게이트 전극의 한쪽에 불순물 영역(10506)의 불순물 농도보다도 저농도로 도핑된 불순물 영역(10507)이 반도체층(10505)에 형성되어 있다. 도 105b에서 도시하는 바와 같이, N채널형 트랜지스터(10402)의 게이트 전극(10509)에 있어서, 제 1 도전층(L0503)은 제 2 도전층(10502)의 한쪽으로 확대되는 형성되어 있다. 이 경우도 같이, 제 2 도전층(10502)을 마스크로 하여, 제 1 도전층(10503)을 통해서 1도전형의 불순물을 첨가함으로써, 자기정합적으로 LDD를 형성할 수 있다.

[0780] 한쪽에 LDD를 갖는 트랜지스터는 소스 단자 및 드레인 단자간에 정전압만, 또는 부전압만이 인가되는 트랜지스터에 적용하면 좋다. 구체적으로는 인버터회로, NAND회로, NOR회로, 래치회로와 같은 논리 게이트를 구성하는 트랜지스터나, 앰프, 정전압 발생회로, VCO와 같은 아날로그회로를 구성하는 트랜지스터에 적용하면 좋다.

[0781] 도 104에서, 용량 소자(10404)는 제 1 도전층(10503)과 반도체층(10505)의 사이에 절연층(10508)을 두고 형성되어 있다. 용량 소자(10404)를 형성하는 반도체층(10505)에는 불순물 영역(10510)과 불순물 영역(10511)을 구비하고 있다. 불순물 영역(10511)은 반도체층(10505)에 있어서 제 1 도전층(10503)과 겹치는 위치에 형성된다. 또한, 불순물 영역(10510)은 배선(10504)과 콘택트를 형성한다. 불순물 영역(10511)은 제 1 도전층(10503)을 통해서 1도전형의 불순물을 첨가할 수 있기 때문에, 불순물 영역(10510)과 불순물 영역(10511)에 포함되는 불순물 농도는 같게 할 수도 있고, 다르게 하는 것도 가능하다. 어쨌든간에, 용량 소자(10404)에 있어서, 반도체층(10505)은 전극으로서 기능시키기 때문에, 1도전형의 불순물을 첨가하여 저저항화하여 두는 것이 바람직하다. 또한, 제 1 도전층(10503)은 도 105c에 도시하는 바와 같이, 제 2 도전층(10502)을 보조적인 전극으로서 이용함으로써, 전극으로서 충분히 기능시킬 수 있다. 이와 같이, 제 1 도전층(10503)과 제 2 도전층(10502)을 조합한 복합적인 전극 구조로 함으로써, 용량 소자(10404)를 자기정합적으로 형성할 수 있다.

[0782] 도 104에 있어서, 저항 소자(10405)는 제 1 도전층(10503)에 의해서 형성되어 있다. 제 1 도전층(10503)은 30 내지 150nm 정도의 두께로 형성되기 때문에, 그 폭이나 길이를 적절하게 설정하여 저항 소자를 구성할 수 있다.

[0783] 저항 소자는 고농도로 불순물원소를 포함하는 반도체층이나, 막 두께가 얇은 금속층에 의해서 구성하면 좋다.

저항치가 막 두께, 막질, 불순물 농도, 활성화율 등에 의존하는 반도체층에 대하여, 금속층은 막 두께, 막질로 저항치가 결정되기 때문에, 격차가 작아 바람직하다. 저항 소자(10405)의 상면도를 도 105d에 도시한다.

[0784] 도 104에서, P채널형 트랜지스터(10403)는 반도체층(10505)에 불순물 영역(10512)을 구비하고 있다. 이 불순물 영역(10512)은 배선(10504)과 콘택트를 형성하는 소스 영역 및 드레인 영역을 형성한다. 게이트 전극(10509)의 구성은 제 1 도전층(10503)과 제 2 도전층(10502)이 중첩한 구성으로 되어 있다. P채널형 트랜지스터(10403)는 LDD를 형성하지 않는 싱글드레인 구조의 트랜지스터이다. P채널형 트랜지스터(10403)를 형성하는 경우, 불순물 영역(10512)에는 P형을 부여하는 불순물로서 붕소 등이 첨가된다. 한편, 불순물 영역(10512)에 인을 첨가하면 싱글드레인 구조의 N채널형 트랜지스터로 할 수도 있다. P채널형 트랜지스터(10403)의 상면도를 도 105e에 도시한다.

[0785] 반도체층(10505) 및 절연층(10508)의 한쪽 또는 쌍방에 대하여 마이크로파로 여기되고, 전자온도가 2eV 이하, 이온 에너지가 5eV 이하, 전자밀도가 10^{11} 내지 $10^{13}/\text{cm}^3$ 정도인 고밀도 플라즈마 처리에 의해서 산화 또는 질화 처리하여도 좋다. 이때, 기판온도를 300 내지 450℃로 하고, 산화 분위기(O_2 , N_2O 등) 또는 질화 분위기(N_2 , NH_3 등)에서 처리함으로써, 반도체층(10505)과 절연층(10508)의 계면의 결함 준위를 저감할 수 있다. 절연층(10508)에 대하여 이 처리를 함으로써, 이 절연층의 치밀화를 도모할 수 있다. 즉, 하전(荷電) 결함의 생성을 억제하여 트랜지스터의 임계치 전압의 변동을 억제할 수 있다. 또한, 트랜지스터를 3V 이하의 전압으로 구동시키는 경우에는 이 플라즈마 처리에 의해 산화 또는 질화된 층을 절연층(10508)으로서 적용할 수 있다. 또한, 트랜지스터의 구동전압이 3V 이상인 경우에는 이 플라즈마 처리로 반도체층(10505)의 표면에 형성한 절연층과 CVD법(플라즈마 CVD법 또는 열 CVD법)으로 퇴적한 절연층을 조합하여 절연층(10508)을 형성할 수 있다. 또한, 마찬가지로 이 절연층은 용량 소자(10404)의 유전체층으로서도 이용할 수 있다. 이 경우, 이 플라즈마 처리로 형성된 절연층은 1 내지 10nm의 두께로 형성되고, 치밀한 막이기 때문에, 큰 전하용량을 가지는 용량 소자를 형성할 수 있다.

[0786] 도 104 및 도 105를 참조하여 설명한 바와 같이, 막 두께가 다른 도전층을 조합함으로써, 여러가지 구성의 소자를 형성할 수 있다. 제 1 도전층만이 형성되는 영역과 제 1 도전층과 제 2 도전층이 적층되어 있는 영역은 회절 격자 패턴 또는 반투막으로 이루어지는 광 강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클을 사용하여 형성할 수 있다. 즉, 포토리소그래피 공정에 있어서, 포토레지스트를 노광할 때에, 포토마스크의 투과 광량을 조절하여, 현상되는 레지스트 마스크의 두께를 다르게 하다. 이 경우, 포토마스크 또는 레티클에 해상도 한계 이하의 슬릿을 형성하여 상기 복잡한 형상을 갖는 레지스트를 형성하여도 좋다. 또한, 현상 후에 약 200℃의 베이킹을 하여 포토레지스트 재료로 형성되는 마스크 패턴을 변형시켜도 좋다.

[0787] 또한, 회절 격자 패턴 또는 반투막으로 이루어지는 광 강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클 사용함으로써, 제 1 도전층만이 형성되는 영역과 제 1 도전층과 제 2 도전층이 적층되어 있는 영역을 연속하여 형성할 수 있다. 도 105a에 도시하는 바와 같이, 제 1 도전층만이 형성되는 영역을 반도체층상에 선택적으로 형성할 수 있다. 이러한 영역은 반도체층상에서 유효하지만, 그 이외의 영역(게이트 전극과 연속하는 배선영역)에서는 필요가 없다. 이 포토마스크 또는 레티클을 사용함으로써, 배선부분은 제 1 도전층만의 영역을 만들지 않아도 되기 때문에, 배선 밀도를 실질적으로 높일 수 있다.

[0788] 도 104 및 도 105의 경우에는 제 1 도전층은 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 질화탄탈륨 또는 몰리브덴(Mo) 등의 고용점 금속, 또는 고용점 금속을 주성분으로 하는 합금 또는 화합물을 30 내지 50nm의 두께로 형성한다. 또한, 제 2 도전층은 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 질화탄탈륨 또는 몰리브덴(Mo) 등의 고용점 금속, 또는 고용점 금속을 주성분으로 하는 합금 또는 화합물로 300 내지 600nm의 두께로 형성한다. 예를 들면, 제 1 도전층과 제 2 도전층을 각각 다른 도전 재료를 사용하여, 나중에 행하는 에칭 공정에서 에칭 레이트의 차가 생기도록 한다. 일례로서, 제 1 도전층으로서 질화탄탈륨막을 사용하고, 제 2 도전층으로서 텅스텐막을 사용할 수 있다.

[0789] 본 실시형태에서는 회절 격자 패턴 또는 반투막으로 이루어지는 광 강도 저감 기능을 갖는 보조 패턴을 설치한 포토마스크 또는 레티클 사용하여, 전극 구조가 다른 트랜지스터, 용량 소자, 저항 소자를, 같은 패터닝 공정에 의해서 나누어 제작할 수 있는 것을 나타내고 있다. 이것에 의해, 회로의 특성에 따라서, 형태가 다른 소자를, 공정을 증가시키지 않고 만들어, 집적화할 수 있다.

[0790] 또, 본 실시형태에서 개시한 반도체장치의 제작방법은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 제작방법에도 적용시킬 수 있다. 또한, 본 실시형태에서 개시한 반도체장치의 제작방법도 자유롭게 조합하여 실

시할 수 있다.

[0791] (실시형태 17)

[0792] 본 실시형태에서는 본 발명의 표시 장치에 발광 소자를 형성한 경우에 적용할 수 있는 다른 구성을, 도 86 및 도 102를 참조하여 설명한다.

[0793] 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기화합물인지에 의해서 구별되고, 일반적으로, 전자는 유기 EL소자, 후자는 무기 EL 소자라고 불리고 있다.

[0794] 무기 EL 소자는 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 전자는 발광 재료의 입자를 바인더 중에 분산시킨 전계발광층을 갖고, 후자는 발광 재료의 박막으로 이루어지는 전계발광층을 갖고 있는 점에 차이는 있지만, 고전계로 가속된 전자를 필요로 하는 점에서는 공통이다. 또, 얻어지는 발광의 메커니즘으로서서는 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광과 금속이온의 내각(內殼) 전자전이를 이용하는 국재형(局在型) 발광이 있다. 일반적으로, 분산형 무기 EL에서는 도너-억셉터 재결합형 발광, 박막형 무기 EL 소자로서는 국재형 발광인 경우가 많다.

[0795] 본 발명에서 사용할 수 있는 발광 재료는 모체 재료와 발광 중심이 되는 불순물원소로 구성된다. 함유시키는 불순물원소를 변화시키는 것으로, 여러 가지 색의 발광을 얻을 수 있다. 발광 재료의 제작방법으로서는 고상법이나 액상법(공침법) 등의 여러 가지 방법을 이용할 수 있다. 또한, 분무열분해법, 복분해법, 프리커서의 열분해 반응에 의한 방법, 역 미셀법이나 이들의 방법과 고온 소성을 조합한 방법, 동결건조법 등의 액상법 등도 사용할 수 있다.

[0796] 고상법은 모체 재료와 불순물원소 또는 불순물원소를 포함하는 화합물을 칭량하여, 유발에서 혼합, 전기로에서 가열, 소성을 하여 반응시켜, 모체 재료에 불순물원소를 함유시키는 방법이다. 소성 온도는 700 내지 1500℃가 바람직하다. 온도가 지나치게 낮은 경우는 고상 반응이 진행되지 않고, 온도가 지나치게 높은 경우는 모체 재료가 분해되어 버리기 때문이다. 또, 분말 상태로 소성을 하여도 좋지만, 펠릿 상태로 소성을 하는 것이 바람직하다. 고상법으로서는 액상법 등의 다른 방법과 비교하여 비교적 고온에서의 소성을 필요로 하지만, 간단한 방법이기 때문에, 생산성이 좋아 대량생산에 적합하다.

[0797] 액상법(공침법)은 모체 재료 또는 모체 재료를 포함하는 화합물과 불순물원소 또는 불순물원소를 포함하는 화합물을 용액 중에서 반응시켜, 건조시킨 후, 소성을 하는 방법이다. 발광 재료의 입자가 균일하게 분포하여, 입경이 작고, 고상법의 소성 온도보다도 낮은 소성 온도에서도 반응이 진행할 수 있다.

[0798] 발광 재료에 사용하는 모체 재료로서는 황화물, 산화물, 질화물을 사용할 수 있다. 황화물로서는 예를 들면, 황화아연, 황화카드뮴, 황화갈륨, 황화이트륨, 황화갈륨, 황화스트론튬, 황화바륨 등을 사용할 수 있다. 또한, 산화물로서는 예를 들면, 산화아연, 산화이트륨 등을 사용할 수 있다. 또한, 질화물로서는 예를 들면, 질화알루미늄, 질화갈륨, 질화인듐 등을 사용할 수 있다. 또, 셀렌화아연, 텔루화아연 등도 사용할 수 있고, 황화갈륨-갈륨, 황화스트론튬-갈륨, 황화바륨-갈륨 등의 3원계의 혼정이어도 좋다.

[0799] 국재형 발광의 발광 중심으로 하여, 망간(Mn), 동(Cu), 사마륨(Sm), 테르븀(Tb), 에르븀(Er), 툴륨(Tm), 유로퓸(Eu), 세륨(Ce), 프라세오뎴(Pr) 등을 사용할 수 있다. 또, 전하보상으로서, 불소(F), 염소(Cl) 등의 할로젠원소가 첨가되어 있어도 좋다.

[0800] 한편, 도너-억셉터 재결합형 발광의 발광 중심으로 하여, 도너 준위를 형성하는 제 1 불순물원소 및 억셉터 준위를 형성하는 제 2 불순물원소를 포함하는 발광 재료를 사용할 수 있다. 제 1 불순물원소는 예를 들면, 불소(F), 염소(Cl), 알루미늄(Al) 등을 사용할 수 있다. 제 2 불순물원소로서는 예를 들면, 동(Cu), 은(Ag) 등을 사용할 수 있다.

[0801] 도너-억셉터 재결합형 발광의 발광 재료를 고상법을 이용하여 합성하는 경우, 모체 재료와 제 1 불순물원소 또는 제 1 불순물원소를 포함하는 화합물과 제 2 불순물원소 또는 제 2 불순물원소를 포함하는 화합물을 각각 칭량하여, 유발에서 혼합한 후, 전기로에서 가열, 소성을 한다. 모체 재료로서는 상술한 모체 재료를 사용할 수 있고, 제 1 불순물원소 또는 제 1 불순물원소를 포함하는 화합물로서는 예를 들면, 불소(F), 염소(Cl), 황화알루미늄 등을 사용할 수 있고, 제 2 불순물원소 또는 제 2 불순물원소를 포함하는 화합물로서는 예를 들면, 동(Cu), 은(Ag), 황화동, 황화은 등을 사용할 수 있다. 소성 온도는 700 내지 1500℃가 바람직하다. 온도가 지나치게 낮은 경우는 고상 반응이 진행되지 않고, 온도가 지나치게 높은 경우는 모체 재료가 분해되어 버리기 때문이다. 또, 분말 상태로 소성을 하여도 좋지만, 펠릿 상태로 소성을 하는 것이 바람직하다.

- [0802] 또한, 고상 반응을 이용하는 경우의 불순물원소로서, 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물을 조합하여 사용하여도 좋다. 이 경우, 불순물원소가 확산되기 쉽고, 고상 반응이 진행하기 쉬워지기 때문에, 균일한 발광 재료를 얻을 수 있다. 또, 여분의 불순물원소가 들어 가지 않기 때문에, 순도가 높은 발광 재료를 얻을 수 있다. 제 1 불순물원소와 제 2 불순물원소로 구성되는 화합물로서는 예를 들면, 염화동, 염화은 등을 사용할 수 있다.
- [0803] 또, 이들의 불순물원소의 농도는 모체 재료에 대하여 0.01 내지 10atom% 이면 좋고 바람직하게는 0.05 내지 5atom%의 범위이다.
- [0804] 박막형 무기 EL의 경우, 전계발광층은 상기 발광 재료를 포함하는 층이고, 저항가열증착법, 전자빔증착(EB증착)법 등의 진공증착법, 스퍼터링법 등의 물리기상성장법(PVD), 유기금속 CVD법, 하이드라이드 수송 감압 CVD법 등의 화학기상성장법(CVD), 원자층 에피택시법(ALE) 등을 사용하여 형성할 수 있다.
- [0805] 도 86a 내지 86c에 발광 소자로서 사용할 수 있는 박막형 무기 EL 소자의 일례를 도시한다. 도 86a 내지 86c에서, 발광 소자는 제 1 전극층(8600), 전계발광층(8602), 제 2 전극층(8603)을 포함한다.
- [0806] 도 86b 및 도 86c에 도시하는 발광 소자는 도 86a의 발광 소자에 있어서, 전극층과 전계발광층간에 절연층을 형성하는 구조이다. 도 86b에 도시하는 발광 소자는 제 1 전극층(8600)과 전계발광층(8602)의 사이에 절연층(8604)을 갖고, 도 86c에 도시하는 발광 소자는 제 1 전극층(8600)과 전계발광층(8602)의 사이에 절연층(8604a), 제 2 전극층(8603)과 전계발광층(8602)의 사이에 절연층(8604b)을 갖고 있다. 이와 같이 절연층은 전계발광층을 사이에 두는 한 쌍의 전극층 중 한쪽의 사이에만 형성하여도 좋고, 양쪽의 사이에 형성하여도 좋다. 또한 절연층은 단층이어도 좋고 복수층으로 이루어지는 적층이어도 좋다.
- [0807] 또한, 도 86b에서는 제 1 전극층(8600)에 접하도록 절연층(8604)이 형성되어 있지만, 절연층과 전계발광층의 순서를 반대로 하고, 제 2 전극층(8603)에 접하도록 절연층(8604)을 형성하여도 좋다.
- [0808] 분산형 무기 EL의 경우, 입자형의 발광 재료를 바인더 중에 분산시켜 막 형상의 전계발광층을 형성한다. 발광 재료의 제작방법에 의해서, 충분히 원하는 크기의 입자를 얻을 수 없는 경우는 유발 등에서 분쇄 등에 의해서 입자형로 가공하면 좋다. 바인더는 입자형의 발광 재료를 분산한 상태로 고정하여, 전계발광층으로서의 형상으로 유지하기 위한 물질이다. 발광 재료는 바인더에 의해서 전계발광층 중에 균일하게 분산하여 고정된다.
- [0809] 분산형 무기 EL의 경우, 전계발광층의 형성방법은 선택적으로 전계발광층을 형성할 수 있는 액적도출법이나, 인쇄법(스크린인쇄나 오프셋인쇄 등), 스핀코트법 등의 도포법, 침지법, 디스펜서법 등을 사용할 수도 있다. 막 두께는 특별히 한정되지 않지만 바람직하게는 10 내지 1000nm의 범위이다. 또한, 발광 재료 및 바인더를 포함하는 전계발광층에 있어서, 발광 재료의 비율은 50중량% 이상 80중량% 이하로 하면 좋다.
- [0810] 도 102a 내지 102c에 발광 소자로서 사용할 수 있는 분산형 무기 EL 소자의 일례를 도시한다. 도 102a에서의 발광 소자는 제 1 전극층(10200), 전계발광층(10202), 제 2 전극층(10203)의 적층 구조를 갖고, 전계발광층(10202) 중에 바인더에 의해서 유지된 발광 재료(10201)를 포함한다.
- [0811] 본 실시형태에 사용할 수 있는 바인더로서는 유기 재료나 무기 재료를 사용할 수 있고, 유기 재료 및 무기 재료의 혼합 재료를 사용하여도 좋다. 유기 재료로서는 시아노에틸셀룰로오스계 수지와 같이, 비교적 유전율이 높은 중합체나, 폴리에틸렌, 폴리프로필렌, 폴리스티렌계수지, 실리콘수지, 에폭시수지, 플루오르화비닐리덴 등의 수지를 사용할 수 있다. 또한, 방향족폴리아미드, 폴리벤조이미다졸 등의 내열성 고분자, 또는 실록산수지를 사용하여도 좋다. 또, 실록산수지는 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용하여도 좋다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와 플루오로기를 사용하여도 좋다. 또한, 폴리비닐알콜, 폴리비닐부티랄 등의 비닐수지, 페놀수지, 노볼락수지, 아크릴수지, 멜라민수지, 우레탄수지, 옥사졸수지(폴리벤조옥사졸) 등의 수지 재료를 사용하여도 좋다. 이들의 수지에, 티타늄산바륨이나 티타늄산스트론튬 등의 고유전율의 미립자를 적절히 혼합하여 유전율을 조정할 수도 있다.
- [0812] 바인더에 포함되는 무기 재료로서는 산화규소, 질화규소, 산소 및 질소를 포함하는 규소, 질화알루미늄, 산소 및 질소를 포함하는 알루미늄 또는 산화알루미늄, 산화티타늄, 티타늄산바륨, 티타늄산스트론튬, 티타늄산연, 니오브산갈륨, 니오브산연, 산화탄탈륨, 탄탈륨산바륨, 탄탈륨산리튬, 산화이트륨, 산화지르코늄, 황화아연 그 밖의 무기절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 유기 재료에, 유전율이 높은 무

기 재료를 포함함(첨가 등에 의해서)으로써, 발광 재료 및 바인더로 이루어지는 전계발광층의 유전율을 더욱 제어할 수 있고, 더욱 유전율을 크게 할 수 있다.

[0813] 제작공정에서, 발광 재료는 바인더를 포함하는 용액 중에 분산되지만 본 실시형태에 사용할 수 있는 바인더를 포함하는 용액의 용매로서는 바인더 재료가 용해하여, 전계발광층을 형성하는 방법(각종 웨트 프로세스) 및 원하는 막 두께로 최적의 점도의 용액을 제작할 수 있는 용매를 적절하게 선택하면 좋다. 유기용매 등을 사용할 수 있고, 예를 들면 바인더로서 실록산수지를 사용하는 경우는 프로필렌글리콜모노메틸에테르, 프로필렌글리콜모노메틸에테르아세테이트(PGMEA라고도 함), 3-메톡시-3메틸-1-부탄올(MMB라고도 함) 등을 사용할 수 있다.

[0814] 도 102b 및 도 102c에 도시하는 발광 소자는 도 102a의 발광 소자에 있어서, 전극층과 전계발광층간에 절연층을 형성하는 구조이다. 도 102b에 도시하는 발광 소자는 제 1 전극층(10200)과 전계발광층(10202)의 사이에 절연층(10204)을 갖고, 도 102c에 도시하는 발광 소자는 제 1 전극층(10200)과 전계발광층(10202)의 사이에 절연층(10204a), 제 2 전극층(10203)과 전계발광층(10202)의 사이에 절연층(10204b)을 갖고 있다. 이와 같이 절연층은 전계발광층을 협지하는 한 쌍의 전극층 중 한쪽의 사이에만 형성하여도 좋고, 양쪽의 사이에 형성하여도 좋다. 또한 절연층은 단층이어도 좋고 복수층으로 이루어지는 적층이어도 좋다.

[0815] 또한, 도 102b에서는 제 1 전극층(10200)에 접하도록 절연층(10204)이 형성되어 있지만, 절연층과 전계발광층의 순서를 반대로 하여, 제 2 전극층(10203)에 접하도록 절연층(10204)을 형성하여도 좋다.

[0816] 도 86에서의 절연층(8604), 도 102에서의 절연층(10204)과 같은 절연층은 특별히 한정되지 않지만, 절연 내압이 높고, 치밀한 막질인 것이 바람직하고, 게다가 유전율이 높은 것이 바람직하다. 예를 들면, 산화실리콘, 산화이트륨, 산화티타늄, 산화알루미늄, 산화haf늄, 산화탄탈륨, 티타늄산바륨, 티타늄산스트론튬, 티타늄산연, 질화실리콘, 산화지르코늄 등이나 이들의 혼합막 또는 2종 이상의 적층막을 사용할 수 있다. 이들의 절연막은 스퍼터링, 증착, CVD 등에 의해 성막할 수 있다. 또한, 절연층은 이들 절연 재료의 입자를 바인더 중에 분산하여 성막하여도 좋다. 바인더 재료는 전계발광층에 포함되는 바인더와 같은 재료, 방법을 이용하여 형성하면 좋다. 막 두께는 특별히 한정되지 않지만 바람직하게는 10 내지 1000nm의 범위이다.

[0817] 본 실시형태에서 개시하는 발광 소자는 전계발광층을 협지하는 한 쌍의 전극층간에 전압을 인가하는 것으로 발광을 얻을 수 있지만, 직류 구동 또는 교류 구동의 어느 것에서나 동작할 수 있다.

[0818] 또, 본 실시형태에서 개시한 표시 장치는 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 장치의 구성도 자유롭게 조합하여 실시할 수 있다.

[0819] (실시형태 18)

[0820] 도 87은 표시 패널(8701)과 회로기판(8702)을 조합한 표시 모듈을 도시하고 있다. 회로기판(8702)에는 예를 들면, 컨트롤회로(8703)나 신호분할회로(8704) 등이 형성되어 있다. 또한, 표시 패널(8701)과 회로기판(8702)은 접속 배선(8708)을 개재하여 접속되어 있다.

[0821] 이 표시 패널(8701)은 표시 소자가 각 화소에 형성된 화소부(8705)와 주사선 구동 회로(8706), 선택된 화소에 비디오 신호를 공급하는 신호선 구동 회로(8707)를 갖고 있다. 화소는 실시형태 9 및 실시형태 10과 같다. 주사선 구동 회로(8706)는 실시형태 1 내지 실시형태 8과 같다. 신호선 구동 회로(8707)는 실시형태 11과 같다.

[0822] 단, 이미 설명한 바와 같이, 신호선 구동 회로(8707)는 반드시 필요하지는 않고, 회로기판(8702)으로부터 접속 배선(8708)을 통해서 선택된 화소에 비디오 신호를 공급하여도 좋다. 또한, 주사선 구동 회로(8706)는 화소부(8705)의 양측에 배치되어 있어도 좋다.

[0823] 이 표시 모듈에 의해 액정 텔레비전 수상기 또는 EL 텔레비전 수신기를 완성시킬 수 있다. 도 88은 텔레비전 수상기의 주요한 구성을 도시하는 블록도이다. 튜너(8801)는 영상 신호와 음성신호를 수신한다. 영상 신호는 영상 신호증폭 회로(8802)와 거기로부터 출력되는 신호를 빨강, 초록, 파랑의 각 색에 대응한 색신호로 변환하는 영상 신호 처리회로(8803)와 그 영상 신호를 드라이버 IC의 입력사양으로 변환시키기 위한 컨트롤회로(8804)에 의해 처리된다. 컨트롤회로(8804)는 주사선측과 신호선측에 각각 신호를 출력한다. 디지털 구동하는 경우에는 신호선측에 신호분할회로(8805)를 형성하고, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로 하여도 좋다.

[0824] 튜너(8801)에서 수신한 신호 중, 음성신호는 음성신호증폭 회로(8806)에 보내지고, 그 출력은 음성신호 처리회

로(8807)를 지나서 스피커(8808)에 공급된다. 제어 회로(8809)는 수신국(수신 주파수)이나 음량의 제어정보를 입력부(8810)로부터 받아, 튜너(8801)나 음성신호 처리회로(8807)에 신호를 송출한다.

[0825] 도 89에 도시하는 바와 같이, 표시 모듈을 케이스(8901)에 넣어, 텔레비전 수상기를 완성시킬 수 있다. 표시 모듈에 의해, 표시 패널(8902)이 형성된다. 또한, 스피커(8903), 조작 스위치(8904) 등이 적절하게 구비되어 있다.

[0826] 이 텔레비전 수상기는 표시 패널(8902)을 포함하여 구성됨으로써, 부품수를 삭감할 수 있다. 따라서, 이 텔레비전 수신기는 저가로 제조할 수 있다.

[0827] 물론, 본 발명은 텔레비전 수상기에 한정되지 않고, 컴퓨터의 모니터를 비롯하여, 철도역이나 공항 등에서의 정보 표시반이나, 가두에서의 광고표시반 등 특히 대면적의 표시 매체로서 여러 가지 용도에 적용할 수 있다.

[0828] 또, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성도 자유롭게 조합하여 실시할 수 있다.

[0829] (실시형태 19)

[0830] 도 90a는 표시 패널(9001)과 프린트기관(9002)을 조합한 모듈을 도시하고 있다. 표시 패널(9001)은 복수의 화소가 형성된 화소부(9003), 제 1 주사선 구동 회로(9004), 제 2 주사선 구동 회로(9005) 및 신호선 구동 회로(9006)를 갖고 있다. 물론, 표시 패널(9001)의 구성은 도 9, 도 11, 도 12 및 도 44와 같은 구성으로 하여도 좋다.

[0831] 프린트기관(9002)에는 컨트롤러(9007), 중앙 처리장치(9008; CPU), 메모리(9009), 전원회로(90010), 음성처리 회로(90011) 및 송수신회로(90012) 등이 구비되어 있다. 프린트기관(9002)과 표시 패널(9001)은 FPC(90013; 플렉시블 프린트 회로)에 의해 접속되어 있다. FPC(90013)에는 용량 소자, 버퍼 회로 등을 형성하고, 전원전압이나 신호에 노이즈가 실리거나, 신호의 상승이 둔해지거나 하는 것을 막는 구성으로 하여도 좋다. 또한, 컨트롤러(9007), 음성처리회로(90011), 메모리(9009), CPU(9008), 전원회로(90010) 등은 COG(Chip on Glass) 방식을 사용하여 표시 패널(9001)에 실장할 수도 있다. COG 방식에 의해, 프린트기관(9002)의 규모를 축소할 수 있다.

[0832] 프린트기관(9002)에 구비된 인터페이스(I/F)부(90014)를 통해서, 각종 제어신호의 입출력이 행하여진다. 또한, 안테나와의 사이의 신호의 송수신을 하기 위한 안테나용 포트(90015)가 프린트기관(9002)에 형성되어 있다.

[0833] 도 90b는 도 90a에 도시한 모듈이 블록도를 도시한다. 이 모듈은 메모리(9009)로서 VRAM(90016), DRAM(90017), 플래시메모리(90018) 등이 포함되어 있다. VRAM(90016)에는 패널에 표시하는 화상의 데이터가, DRAM(90017)에는 화상 데이터 또는 음성 데이터가, 플래시메모리(90018)에는 각종 프로그램이 기억되어 있다.

[0834] 전원회로(90010)는 표시 패널(9001), 컨트롤러(9007), CPU(9008), 음성처리회로(90011), 메모리(9009), 송수신 회로(90012)를 동작시키는 전력을 공급한다. 또한 패널의 사양에 따라서는 전원회로(90010)에 전류원이 구비되어 있는 경우도 있다.

[0835] CPU(9008)는 제어신호 생성 회로(90020), 디코더(90021), 레지스터(90022), 연산회로(90023), RAM(90024), CPU(9008)용 인터페이스(90019) 등을 갖고 있다. 인터페이스(90019)를 통해서 CPU(9008)에 입력된 각종 신호는 일단 레지스터(90022)에 보유된 후, 연산회로(90023), 디코더(90021) 등에 입력된다. 연산회로(90023)에서는 입력된 신호에 근거하여 연산을 하여, 각종 명령을 보내는 장소를 지정한다. 한편 디코더(90021)에 입력된 신호는 디코드되고, 제어신호 생성 회로(90020)에 입력된다. 제어신호 생성 회로(90020)는 입력된 신호에 근거하여, 각종 명령을 포함하는 신호를 생성하여, 연산회로(90023)에 있어서 지정된 장소, 구체적으로는 메모리(9009), 송수신회로(90012), 음성처리회로(90011), 컨트롤러(9007) 등에 보낸다.

[0836] 메모리(9009), 송수신회로(90012), 음성처리회로(90011), 컨트롤러(9007)는 각각 받은 명령에 따라서 동작한다. 이하 그 동작에 관해서 간단히 설명한다.

[0837] 입력수단(90025)으로부터 입력된 신호는 인터페이스부(90014)를 통해서 프린트기관(9002)에 실장된 CPU(9008)에 보내진다. 제어신호 생성 회로(90020)는 포인팅 디바이스나 키보드 등의 입력수단(90025)으로부터 보내진 신호에 따라서, VRAM(90016)에 격납하고 있는 화상 데이터를 소정의 포맷으로 변환하여, 컨트롤러(9007)에

송부한다.

- [0838] 컨트롤러(9007)는 패널의 사양에 맞추어 CPU(9008)로부터 보내진 화상 데이터를 포함하는 신호에 데이터 처리를 실시하여, 표시 패널(9001)에 공급한다. 또한 컨트롤러(9007)는 전원회로(90010)로부터 입력된 전원전압이나 CPU(9008)로부터 입력된 각종 신호를 바탕으로, Hsync신호, Vsync신호, 클록 신호 CLK, 교류전압(AC Cont), 전환 신호 L/R를 생성하여, 표시 패널(9001)에 공급한다.
- [0839] 송수신회로(90012)에서는 안테나(90028)에서 전파로서 송수신되는 신호가 처리되어 있고, 구체적으로는 아이솔레이터, 밴드패스 필터, VCO(Voltage Controlled Oscillator), LPF(Low Pass Filter), 커플러, 밸룬(balun) 등의 고주파회로를 포함하고 있다. 송수신회로(90012)에 있어서 송수신되는 신호 중 음성정보를 포함하는 신호가, CPU(9008)로부터의 명령에 따라서, 음성처리회로(90011)에 보내진다.
- [0840] CPU(9008)의 명령에 따라서 보내진 음성정보를 포함하는 신호는 음성처리회로(90011)에서 음성신호로 복조되어, 스피커(90027)에 보내진다. 또한 마이크(90026)로부터 보내진 음성신호는 음성처리회로(90011)에서 변조되어, CPU(9008)로부터의 명령에 따라서, 송수신회로(90012)에 보내진다.
- [0841] 컨트롤러(9007), CPU(9008), 전원회로(90010), 음성처리회로(90011), 메모리(9009)를, 본 실시형태의 패키지로서 실장할 수 있다. 본 실시형태는 아이솔레이터, 밴드패스 필터, VCO, LPF, 커플러, 밸룬 등의 고주파회로이면, 어떠한 회로에나 응용할 수 있다.
- [0842] 또, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0843] (실시형태 20)
- [0844] 도 91은 실시형태 19의 모듈을 포함하는 휴대전화기의 1형태를 도시하고 있다. 표시 패널(9101)은 하우징(91030)에 탈착이 자유롭게 내장된다. 하우징(91030)은 표시 패널(9101)의 사이즈에 조합하여, 형상이나 치수를 적절하게 변경할 수 있다. 표시 패널(9101)을 고정된 하우징(91030)은 프린트기판(91031)에 감착되어 모듈로서 조립된다.
- [0845] 표시 패널(9101)은 FPC(91013)를 통해서 프린트기판(91031)에 접속된다. 프린트기판(91031)에는 스피커(91032), 마이크로폰(91033), 송수신회로(91034), CPU 및 컨트롤러 등을 포함하는 신호 처리회로(91035)가 형성되어 있다. 이러한 모듈과 입력수단(91036), 배터리(91037)를 조합하여, 케이스(91039)에 수납한다. 표시 패널(9101)의 화소부는 케이스(91039)에 형성된 개구창으로부터 시인할 수 있도록 배치한다.
- [0846] 표시 패널(9101)은 복수의 화소를 갖는 화소부와 주사선 구동 회로를 갖고 있다. 주사선 구동 회로를 화소부와 일체로 형성함으로써, 도 91의 휴대전화기는 저가로 제조할 수 있다. 또한, 표시 모듈의 부품수가 적어지기 때문에, 수율의 증가, 경량화, 소형화 등의 메리트를 얻을 수 있다.
- [0847] 본 실시형태에 관계되는 휴대전화기는 그 기능이나 용도에 따라서 여러가지 형태로 변용할 수 있다. 예를 들면, 표시 패널을 복수 구비하거나, 케이스를 적절하게 복수로 분할하여 경첩에 의해 개폐식으로 한 구성으로 하여도, 상기한 작용 효과를 가질 수 있다.
- [0848] 또, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0849] (실시형태 21)
- [0850] 본 실시형태는 실시형태 19에서 설명한 표시 모듈을 포함하는 휴대전화기(10300)를 완성시키는 일례에 관해서 예시한다.
- [0851] 도 103에서 도시하는 휴대전화기는 조작 스위치류(10304), 마이크로폰(10305) 등이 구비된 본체(A(10301))와 표시 패널(A(10308)), 표시 패널(B(10309)), 스피커(10306) 등이 구비된 본체(B(10302))가, 경첩(10310)으로 개폐 가능하게 연결되어 있다. 표시 패널(A(10308))과 표시 패널(B(10309))은 회로기판(10307)과 함께 본체(B(10302))의 케이스(10303) 중에 수납된다. 표시 패널(A(10308)) 및 표시 패널(B(10309))의 화소부는 케이스(10303)에 형성된 개구창으로부터 시인할 수 있도록 배치된다.

- [0852] 표시 패널(A10308))과 표시 패널(B10309))은 그 휴대전화기(10300)의 기능에 따라서 화소수 등의 사양을 적절하게 설정할 수 있다. 예를 들면, 표시 패널(A10308))을 주화면으로 하고, 표시 패널(B10309)을 부화면으로서 조합할 수 있다.
- [0853] 표시 패널(A10308)) 및 표시 패널(B10309))은 복수의 화소를 갖는 화소부와 주사선 구동 회로를 갖고 있다. 주사선 구동 회로를 화소부와 일체로 형성함으로써, 도 103의 휴대전화기는 저가로 제조할 수 있다. 또한, 표시 모듈의 부품수가 적어지기 때문에, 수율의 증가, 경량화, 소형화 등의 메리트를 얻을 수 있다.
- [0854] 이러한 표시 패널을 사용함으로써, 표시 패널(A10308))을 문자나 화상을 표시하는 고세밀한 컬러표시화면으로 하여, 표시 패널(B10309))을 문자정보를 표시하는 단색의 정보 표시화면으로 할 수 있다. 특히 표시 패널(B10309))을 액티브 매트릭스형으로 하여, 고세밀화를 함으로써, 여러가지 문자정보를 표시하여, 1화면당 정보 표시 밀도를 향상시킬 수 있다. 예를 들면, 표시 패널(A10308))을, 2 내지 2.5인치로 64계조, 26만색의 QVGA(320도트×240도트)로 하여, 표시 패널(B10309))을, 단색으로 2 내지 8계조, 180 내지 220ppi의 고세밀 패널로서, 로마자, 히라가나, 가다카나를 비롯하여 로마자나 아라비아 문자 등을 표시할 수 있다.
- [0855] 본 실시형태에 관계되는 휴대전화기는 그 기능이나 용도에 따라서 여러가지 형태로 변용할 수 있다. 예를 들면, 경첩(10310)의 부위에 촬상소자를 내장하여, 카메라가 있는 휴대전화기로 하여도 좋다. 또한, 조작 스위치류(10304), 표시 패널(A10308)), 표시 패널(B10309))을 하나의 케이스 내에 넣은 구성으로 하여도, 상기한 작용 효과를 가질 수 있다. 또한, 표시부를 복수개 갖춘 정보 표시 단말에 본 실시형태의 구성을 적용하여도, 같은 효과를 얻을 수 있다.
- [0856] 또, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다. 또한, 본 실시형태에서 개시한 표시 패널이나 표시 모듈의 구성도 자유롭게 조합하여 실시할 수 있다.
- [0857] (실시형태 22)
- [0858] 본 발명은 여러 가지 전자기기에 적용할 수 있다. 구체적으로는 전자기기의 표시부에 적용할 수 있다. 그와 같은 전자기기로서, 비디오카메라, 디지털카메라 등의 카메라, 고글형 디스플레이, 내비게이션 시스템, 음향재생장치(카오디오, 오디오콤보 등), 컴퓨터, 게임기기, 휴대정보단말(모바일컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 발광 장치를 구비한 장치) 등을 들 수 있다.
- [0859] 도 93a는 발광 장치로, 케이스(93001), 지지대(93002), 표시부(93003), 스피커부(93004), 비디오 입력단자(93005) 등을 포함한다. 본 발명의 표시 장치를 표시부(93003)에 사용할 수 있다. 또, 발광 장치는 퍼스널 컴퓨터용, 텔레비전방송수신용, 광고표시용 등의 모든 정보 표시용 발광 장치가 포함된다. 본 발명의 표시 장치를 표시부(93003)에 사용한 발광 장치는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0860] 도 93b는 카메라이고, 본체(93101), 표시부(93102), 수상부(93103), 조작키(93104), 외부 접속 포트(93105), 셔터 버튼(93106) 등을 포함한다.
- [0861] 본 발명을 표시부(93102)에 사용한 디지털카메라는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0862] 도 93c는 컴퓨터이고, 본체(93201), 케이스(93202), 표시부(93203), 키보드(93204), 외부 접속 포트(93205), 포인팅 디바이스(93206) 등을 포함한다. 본 발명을 표시부(93203)에 사용한 컴퓨터는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0863] 도 93d는 모바일컴퓨터이고, 본체(93301), 표시부(93302), 스위치(93303), 조작키(93304), 적외선 포트(93305) 등을 포함한다. 본 발명을 표시부(93302)에 사용한 모바일컴퓨터는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0864] 도 93e는 기록매체를 구비한 휴대형의 화상재생장치(구체적으로는 DVD 재생장치)이고, 본체(93401), 케이스(93402), 표시부(A(93403)), 표시부(B(93404)), 기록매체(DVD 등) 판독부(93405), 조작키(93406), 스피커부(93407) 등을 포함한다. 표시부(A(93403))는 주로 화상정보를 표시하고, 표시부(B(93404))는 주로 문자정보를 표시할 수 있다. 본 발명을 표시부(A(93403))나 표시부(B(93404))에 사용한 화상재생장치는 오프 전류에 의해

서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.

- [0865] 도 93f는 고글형 디스플레이이고, 본체(93501), 표시부(93502), 암(arm)부(93503)을 포함한다. 본 발명을 표시부(93502)에 사용한 고글형 디스플레이는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0866] 도 93g는 비디오카메라이고, 본체(93601), 표시부(93602), 케이스(93603), 외부 접속 포트(93604), 리모콘 수신부(93605), 수상부(93606), 배터리(93607), 음성 입력부(93608), 조작키(93609) 등을 포함한다. 본 발명을 표시부(93602)에 사용한 비디오카메라는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0867] 도 93h는 휴대전화기이고, 본체(93701), 케이스(93702), 표시부(93703), 음성 입력부(93704), 음성 출력부(93705), 조작키(93706), 외부 접속 포트(93707), 안테나(93708) 등을 포함한다. 본 발명을 표시부(93703)에 사용한 휴대전화기는 오프 전류에 의해서 생기는 미발광을 저감하여, 깨끗한 표시를 하는 것이 가능해진다.
- [0868] 이와 같이 본 발명은 모든 전자기기에 적용하는 것이 가능하다.
- [0869] 또, 본 실시형태에서 개시한 전자기기의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다.
- [0870] (실시형태 23)
- [0871] 본 실시형태에 관해서는 본 발명의 표시 장치의 화소 구성을 표시부에 사용한 표시 패널을 사용한 응용예에 관해서, 응용형태를 도시하고 설명한다. 본 발명의 표시 장치의 화소 구성을 표시부에 사용한 표시 패널은 이동체나 건조물 등과 일체로 형성된 구성을 취할 수 있다.
- [0872] 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널의 예에 관해서, 표시 장치 일체형의 이동체를 그 일례로 하여, 도 94에 도시한다. 도 94a는 표시 장치 일체형 이동체의 예로서 전차 차량 본체(9401)에서의 도어의 유리호의 유리에 표시 패널(9402)을 사용한 예에 관해서 도시한다. 도 94a에 도시하는 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널(9402)은 외부로부터의 신호에 의해 표시부에서 표시되는 화상의 변환이 용이하다. 그 때문에, 전차의 승차객이 교체하는 시간대마다 표시 패널의 화상을 바꾸어, 더욱 효과적인 광고 효과를 실현할 수 있다.
- [0873] 또, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널은 도 94a에서 도시한 전차 차량 본체에서의 도어의 유리에만 적용 가능한 것에 한정되지 않고, 그 형상을 다르게 함으로써, 모든 장소에 적용 가능하다. 도 94b에 그 일례에 관해서 설명한다.
- [0874] 도 94b는 전차 차량 본체에서의 차 내의 모양에 관해서 도시한 것이다. 도 94b에 있어서, 도 94a에서 도시한 도어의 유리호의 표시 패널(9402) 외에, 유리창에 형성된 표시 패널(9403), 및 천정으로부터 매달린 표시 패널(9404)을 도시한다. 본 발명의 표시 장치의 화소 구성을 구비하는 표시 패널(9403)은 자발광형의 표시 소자를 구비하기 때문에, 혼잡시에는 광고용의 화상을 표시하여, 혼잡시 이외에는 표시를 행하지 않는 것으로, 전차로부터의 외관도 볼 수 있다. 또한, 본 발명의 표시 장치의 화소 구성을 구비하는 표시 패널(9404)은 필름형의 기관에 유기 트랜지스터 등의 스위칭소자를 형성하고, 자발광형의 표시 소자를 구동하는 것으로, 표시 패널 자체를 만족시켜 표시를 하는 것도 가능하다.
- [0875] 또한, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널을 사용한 표시 장치 일체형의 이동체의 응용예에 관해서, 다른 응용형태를 도 95에서 설명한다.
- [0876] 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널의 예에 관해서, 표시 장치 일체형의 이동체를 그 일례로 하여, 도 95에 도시한다. 도 95는 표시 장치 일체형의 이동체의 예로서 자동차의 차체(9501)에 일체로 장착된 표시 패널(9502)의 예에 관해서 도시한다. 도 95에 도시하는 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널(9502)은 자동차의 차체와 일체로 장착되어 있고, 차체의 동작이나 차체 내외로부터 입력되는 정보를 온디맨드에 표시, 또한, 자동차의 목적지까지의 내비게이션 기능도 갖는다.
- [0877] 또, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널은 도 95에서 도시한 차체의 프론트부에만 적용 가능한 것에 한정되지 않고, 그 형상을 다르게 함으로써, 유리창, 도어 등 모든 장소에 적용 가능하다.
- [0878] 또한, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널을 사용한 표시 장치 일체형의 이동체의 응용예에 관해서, 다른 응용형태를 도 96에서 설명한다.

- [0879] 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널의 예에 관해서, 표시 장치 일체형의 이동체를 그 일례로 하여, 도 96에 도시한다. 도 96a는 표시 장치 일체형의 이동체의 예로서 비행기 기체(9601) 내의 객실 천정부에 일체로 장착된 표시 패널(9602)의 예에 관해서 도시한다. 도 96a에 도시하는 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널(9602)은 비행기 기체(9601)와 힌지부(9603)를 통해서 일체로 장착되어 있고, 힌지부(9603)의 신축에 의해 승객은 표시 패널(9602)의 시청이 가능하게 된다. 표시 패널(9602)은 승객이 조작하는 것으로 정보를 표시, 또한, 광고나 오락수단으로서 이용할 수 있는 기능을 갖는다. 또한, 도 96b에 도시하는 바와 같이, 힌지부를 구부려 비행기 기체(9601)에 격납함으로써, 이착륙시의 안전을 배려할 수 있다. 또, 긴급시에 표시 패널의 표시 소자를 점등시키는 것으로, 비행기 기체(9601)의 유도 등으로서도 이용 가능하다.
- [0880] 또, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널은 도 96에서 도시한 비행기 기체(9601)의 천정부에만 적용 가능한 것에 한정되지 않고, 그 형상을 다르게 함으로써, 좌석이나 도어 등 모든 장소에 적용 가능하다. 예를 들면 좌석 앞의 좌석 후방에 표시 패널을 형성하고, 조작·시청을 하는 구성이어도 좋다.
- [0881] 또, 본 실시형태에 있어서, 이동체로서는 전차 차량 본체, 자동차 차체, 비행기 기체에 관해서 예시하였지만 이것에 한정되지 않고, 자동2륜차, 자동4륜차(자동차, 버스 등을 포함함), 전차(모노레일, 철도 등을 포함함), 선박 등, 다방면에 걸친다. 본 발명의 표시 장치의 화소 구성을 적용함으로써, 표시 패널의 소형화, 저소비전력화를 달성하고, 또한 동작이 양호한 표시 매체를 구비하는 이동체를 제공할 수 있다. 또한 특히, 외부로부터의 신호에 의해, 이동체 내에서의 표시 패널의 표시를 일체로 바꾸는 것이 용이하기 때문에, 불특정 다수의 고객을 대상으로 한 광고표시판, 또한 긴급재해시의 정보 표시판으로서도 극히 유용하다고 할 수 있다.
- [0882] 또한, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널을 사용한 응용예에 관해서, 건조물에 사용한 응용형태를 도 97을 참조하여 설명한다.
- [0883] 도 97은 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널로서, 필름형의 기관에 유기 트랜지스터 등의 스위칭소자를 형성하고, 자발광형의 표시 소자를 구동함으로써 표시 패널 자체를 만곡시켜 표시 가능한 표시 패널로 하고, 그 응용예에 관해서 설명한다. 도 97에서는 건조물로서 전주 등의 옥외에 형성된 주상체가 갖는 곡면에 표시 패널을 구비하고, 여기에서는 주상체로서 전주(9701)에 표시 패널(9702)을 구비하는 구성에 관해서 도시한다.
- [0884] 도 97에 도시하는 표시 패널(9702)은 전주의 높이의 한가운데 근처에 위치시켜, 인간의 시점보다 높은 위치에 형성한다. 그리고 이동체(9703)로부터 표시 패널을 시인함으로써, 표시 패널(9702)에서의 화상을 인식할 수 있다. 전주와 같이 옥외에서 반복하여 세우고, 세운 전주에 형성한 표시 패널(9702)에서 같은 영상을 표시시킴으로써, 시인자는 정보 표시, 광고표시를 시인할 수 있다. 도 97에서 전주(9701)에 형성된 표시 패널(9702)은 외부로부터 같은 화상을 표시시키는 것이 용이하기 때문에, 극히 효율적인 정보 표시, 및 광고 효과를 실현할 수 있다. 또한, 본 발명의 표시 장치의 표시 패널에는 표시 소자로서 자발광형의 표시 소자를 형성하는 것으로, 야간에도, 시인성이 높은 표시 매체로서 유용하다고 할 수 있다.
- [0885] 또한, 본 발명의 표시 장치의 화소 구성을 사용한 표시 장치를 표시부에 갖는 표시 패널을 사용한 응용예에 관해서, 도 97은 다른 건조물의 응용형태를 도 98에서 설명한다.
- [0886] 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널의 응용예로서, 도 98에 도시한다. 도 98은 표시 장치 일체형의 예로서 유닛 버스(9801) 내의 측벽에 일체로 장착된 표시 패널(9802)의 예에 관해서 도시한다. 도 98에 도시하는 본 발명의 표시 장치의 화소 구성을 사용한 표시부를 갖는 표시 패널(9802)은 유닛 버스(9801)와 일체로 장착되어 있고, 입욕자는 표시 패널(9802)의 시청이 가능하게 된다. 표시 패널(9802)은 입욕자가 조작하는 것으로 정보를 표시, 또한 광고나 오락수단으로서 이용할 수 있는 기능을 갖는다.
- [0887] 또, 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널은, 도 98에서 도시한 유닛 버스(9801)의 측벽에만 적용 가능한 것에 한정되지 않고, 그 형상을 다르게 함으로써, 경면의 일부나 옥조 자체와 일체로 하는 등 모든 장소에 적용 가능하다.
- [0888] 또한 도 99에 건조물 내에 대형의 표시부를 갖는 텔레비전장치를 형성한 예에 관해서 도시한다. 도 99는 케이스(9910), 표시부(9911), 조작부인 리모콘장치(9912), 스피커부(9913) 등을 포함한다. 본 발명의 표시 장치의 화소 구성을 표시부에 갖는 표시 패널은 표시부(9911)의 제작에 적용된다. 도 99의 텔레비전장치는 벽걸이형으로 하여 건물과 일체로 되어 있고, 설치하는 스페이스를 넓게 필요로 하지 않고 설치 가능하다.

[0889] 또, 본 실시형태에 있어서, 건조물로서, 주상체로서 전주, 유닛 버스 등을 예로 하였지만, 본 실시형태는 이것에 한정되지 않고, 표시 패널을 구비할 수 있는 건조물이면 적용할 수 있다. 본 발명의 표시 장치의 화소 구성을 적용함으로써, 표시 장치의 소형화, 저소비전력화를 달성하고, 또한 동작이 양호한 표시 매체를 구비하는 이동체를 제공할 수 있다.

[0890] 또, 본 실시형태에서 개시한 표시 패널의 구성은 본 명세서 중의 다른 실시형태에 개시한 표시 장치의 구성과 자유롭게 조합하여 실시할 수 있다.

도면의 간단한 설명

[0891] 도 1은 실시형태 1을 설명하는 도면.

[0892] 도 2는 실시형태 1을 설명하는 도면.

[0893] 도 3은 실시형태 1을 설명하는 도면.

[0894] 도 4는 실시형태 1을 설명하는 도면.

[0895] 도 5는 실시형태 1을 설명하는 도면.

[0896] 도 6은 실시형태 1을 설명하는 도면.

[0897] 도 7은 실시형태 1을 설명하는 도면.

[0898] 도 8은 실시형태 1을 설명하는 도면.

[0899] 도 9는 실시형태 1을 설명하는 도면.

[0900] 도 10은 실시형태 1을 설명하는 도면.

[0901] 도 11은 실시형태 1을 설명하는 도면.

[0902] 도 12는 실시형태 1을 설명하는 도면.

[0903] 도 13은 실시형태 2를 설명하는 도면.

[0904] 도 14는 실시형태 2를 설명하는 도면.

[0905] 도 15는 실시형태 2를 설명하는 도면.

[0906] 도 16은 실시형태 2를 설명하는 도면.

[0907] 도 17은 실시형태 2를 설명하는 도면.

[0908] 도 18은 실시형태 2를 설명하는 도면.

[0909] 도 19는 실시형태 3을 설명하는 도면.

[0910] 도 20은 실시형태 3을 설명하는 도면.

[0911] 도 21은 실시형태 3을 설명하는 도면.

[0912] 도 22는 실시형태 3을 설명하는 도면.

[0913] 도 23은 실시형태 4를 설명하는 도면.

[0914] 도 24는 실시형태 4를 설명하는 도면.

[0915] 도 25는 실시형태 4를 설명하는 도면.

[0916] 도 26은 실시형태 4를 설명하는 도면.

[0917] 도 27은 실시형태 5를 설명하는 도면.

[0918] 도 28은 실시형태 5를 설명하는 도면.

[0919] 도 29는 실시형태 5를 설명하는 도면.

- [0920] 도 30은 실시형태 5를 설명하는 도면.
- [0921] 도 31은 실시형태 5를 설명하는 도면.
- [0922] 도 32는 실시형태 6을 설명하는 도면.
- [0923] 도 33은 실시형태 6을 설명하는 도면.
- [0924] 도 34는 실시형태 6을 설명하는 도면.
- [0925] 도 35는 실시형태 6을 설명하는 도면.
- [0926] 도 36은 실시형태 7을 설명하는 도면.
- [0927] 도 37은 실시형태 7을 설명하는 도면.
- [0928] 도 38은 실시형태 7을 설명하는 도면.
- [0929] 도 39는 실시형태 7을 설명하는 도면.
- [0930] 도 40은 실시형태 8을 설명하는 도면.
- [0931] 도 41은 실시형태 8을 설명하는 도면.
- [0932] 도 42는 실시형태 8을 설명하는 도면.
- [0933] 도 43은 실시형태 8을 설명하는 도면.
- [0934] 도 44는 실시형태 1을 설명하는 도면.
- [0935] 도 45는 실시형태 1을 설명하는 도면.
- [0936] 도 46은 실시형태 9를 설명하는 도면.
- [0937] 도 47은 실시형태 9를 설명하는 도면.
- [0938] 도 48은 실시형태 9를 설명하는 도면.
- [0939] 도 49는 실시형태 9를 설명하는 도면.
- [0940] 도 50은 실시형태 9를 설명하는 도면.
- [0941] 도 51은 실시형태 9를 설명하는 도면.
- [0942] 도 52는 실시형태 9를 설명하는 도면.
- [0943] 도 53은 실시형태 9를 설명하는 도면.
- [0944] 도 54는 실시형태 9를 설명하는 도면.
- [0945] 도 55는 실시형태 9를 설명하는 도면.
- [0946] 도 56은 실시형태 11을 설명하는 도면.
- [0947] 도 57은 실시형태 11을 설명하는 도면.
- [0948] 도 58은 실시형태 11을 설명하는 도면.
- [0949] 도 59는 실시형태 11을 설명하는 도면.
- [0950] 도 60은 실시형태 11을 설명하는 도면.
- [0951] 도 61은 실시형태 12를 설명하는 도면.
- [0952] 도 62는 실시형태 12를 설명하는 도면.
- [0953] 도 63은 실시형태 13을 설명하는 도면.
- [0954] 도 64는 실시형태 12를 설명하는 도면.
- [0955] 도 65는 실시형태 10을 설명하는 도면.

- [0956] 도 66은 실시형태 10을 설명하는 도면.
- [0957] 도 67은 실시형태 10을 설명하는 도면.
- [0958] 도 68은 실시형태 10을 설명하는 도면.
- [0959] 도 69는 실시형태 10을 설명하는 도면.
- [0960] 도 70은 실시형태 10을 설명하는 도면.
- [0961] 도 71은 실시형태 10을 설명하는 도면.
- [0962] 도 72는 실시형태 10을 설명하는 도면.
- [0963] 도 73은 실시형태 10을 설명하는 도면.
- [0964] 도 74는 실시형태 10을 설명하는 도면.
- [0965] 도 75는 실시형태 14를 설명하는 도면.
- [0966] 도 76은 실시형태 14를 설명하는 도면.
- [0967] 도 77은 실시형태 14를 설명하는 도면.
- [0968] 도 78은 실시형태 14를 설명하는 도면.
- [0969] 도 79는 실시형태 14를 설명하는 도면.
- [0970] 도 80은 실시형태 14를 설명하는 도면.
- [0971] 도 81은 실시형태 14를 설명하는 도면.
- [0972] 도 82는 실시형태 14를 설명하는 도면.
- [0973] 도 83은 실시형태 14를 설명하는 도면.
- [0974] 도 84는 실시형태 14를 설명하는 도면.
- [0975] 도 85는 실시형태 15를 설명하는 도면.
- [0976] 도 86은 실시형태 17을 설명하는 도면.
- [0977] 도 87은 실시형태 18을 설명하는 도면.
- [0978] 도 88은 실시형태 18을 설명하는 도면.
- [0979] 도 89는 실시형태 18을 설명하는 도면.
- [0980] 도 90은 실시형태 19를 설명하는 도면.
- [0981] 도 91은 실시형태 20을 설명하는 도면.
- [0982] 도 92는 실시형태 1을 설명하는 도면.
- [0983] 도 93은 실시형태 22를 설명하는 도면.
- [0984] 도 94는 실시형태 23을 설명하는 도면.
- [0985] 도 95는 실시형태 23을 설명하는 도면.
- [0986] 도 96은 실시형태 23을 설명하는 도면.
- [0987] 도 97은 실시형태 23을 설명하는 도면.
- [0988] 도 98은 실시형태 23을 설명하는 도면.
- [0989] 도 99는 실시형태 23을 설명하는 도면.
- [0990] 도 100은 실시형태 14를 설명하는 도면.
- [0991] 도 101은 실시형태 14를 설명하는 도면.

- [0992]

도 102는 실시형태 17을 설명하는 도면.
- [0993]

도 103은 실시형태 21을 설명하는 도면.
- [0994]

도 104는 실시형태 16을 설명하는 도면.
- [0995]

도 105는 실시형태 16을 설명하는 도면.
- [0996]

* 도면의 주요부분에 대한 부호의 설명
- [0997]

101 : 제 1 트랜지스터
- [0998]

102 : 제 2 트랜지스터
- [0999]

103 : 제 3 트랜지스터
- [1000]

104 : 제 4 트랜지스터
- [0999]

111 : 제 1 배선
- [1000]

112 : 제 2 배선
- [1000]

113 : 제 3 배선
- [1000]

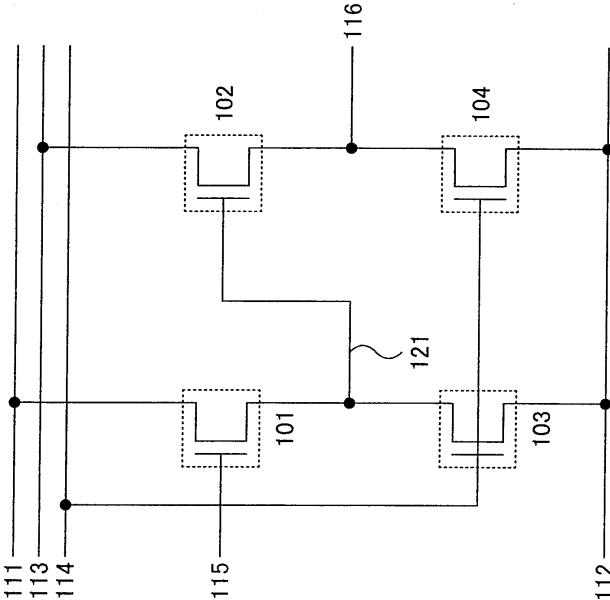
114 : 제 4 배선
- [1001]

115 : 제 5 배선
- [1001]

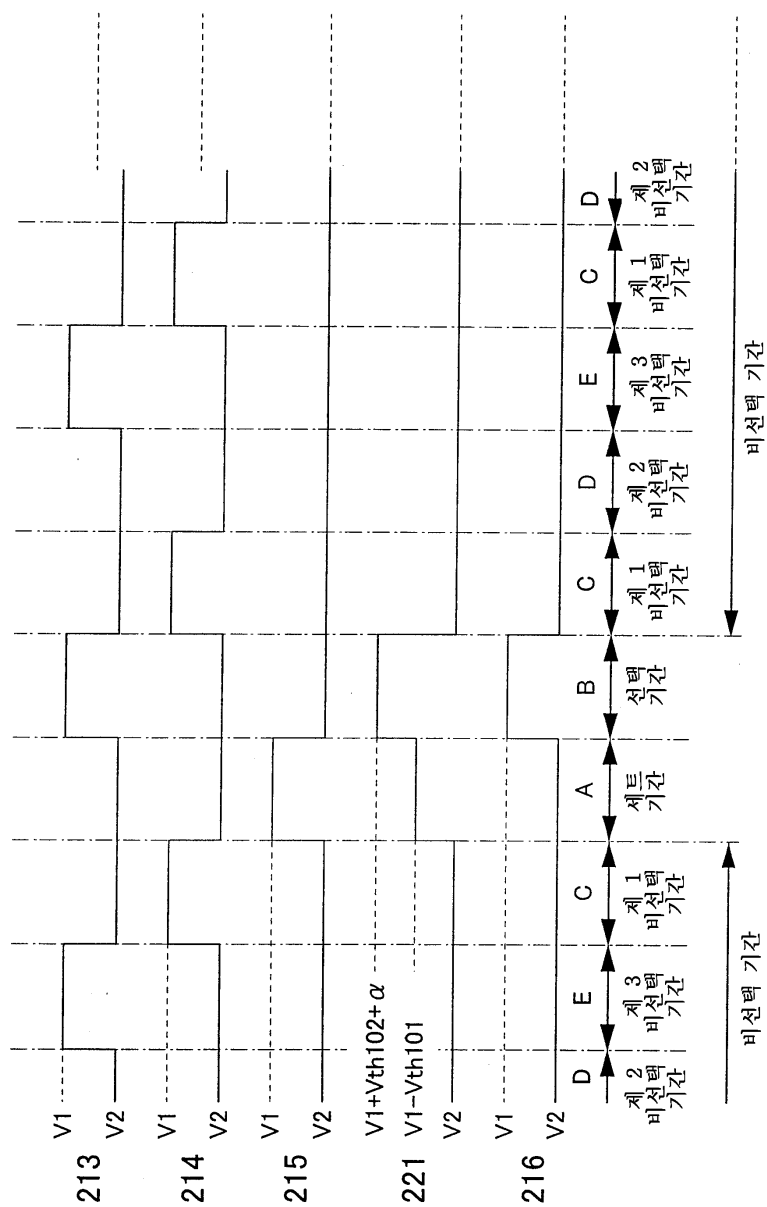
116 : 제 6 배선

도면

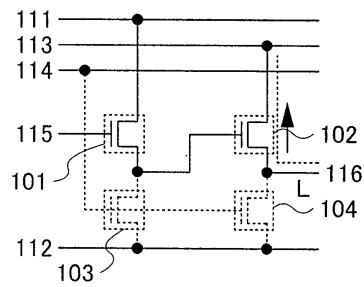
도면1



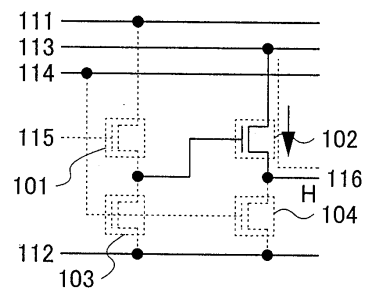
도면2



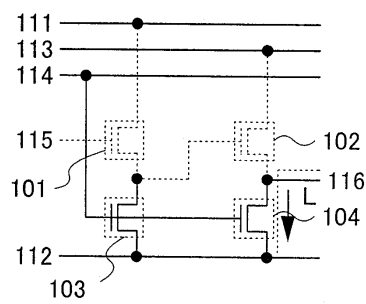
도면3a



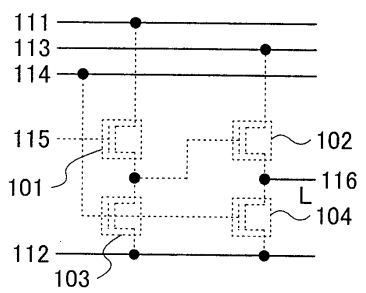
도면3b



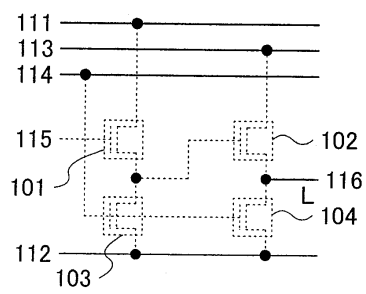
도면3c



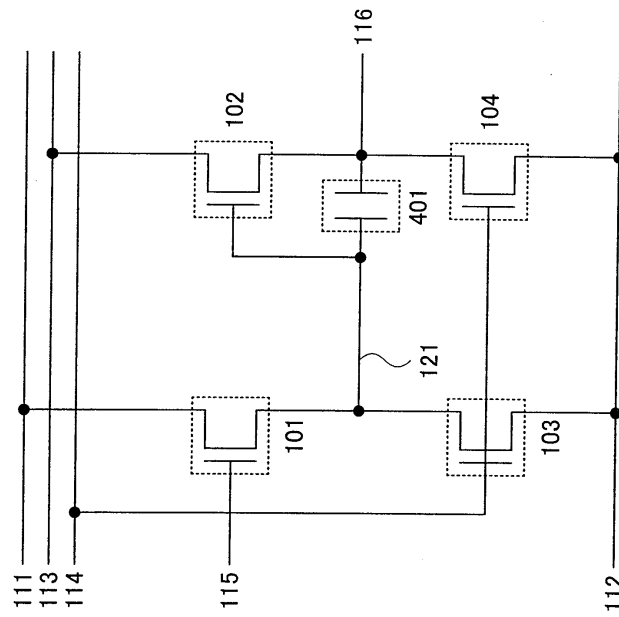
도면3d



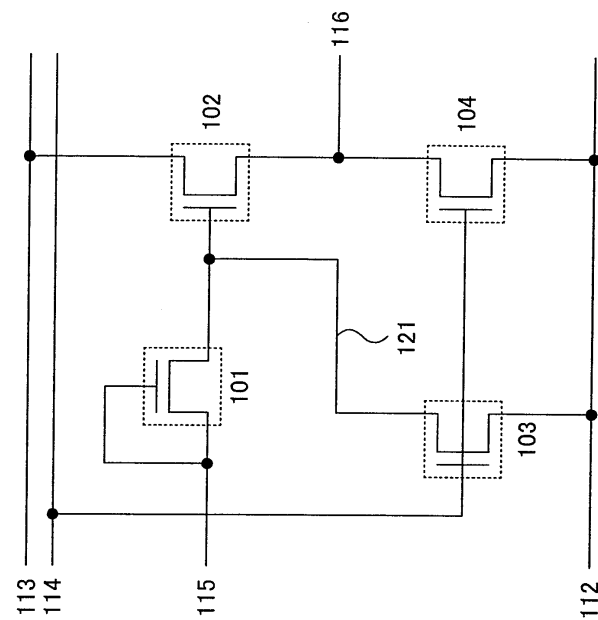
도면3e



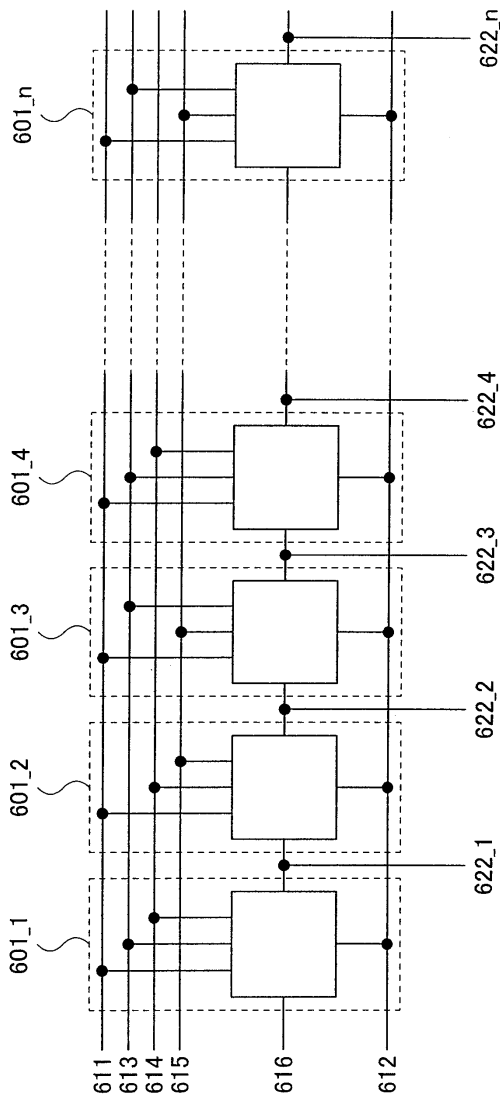
도면4



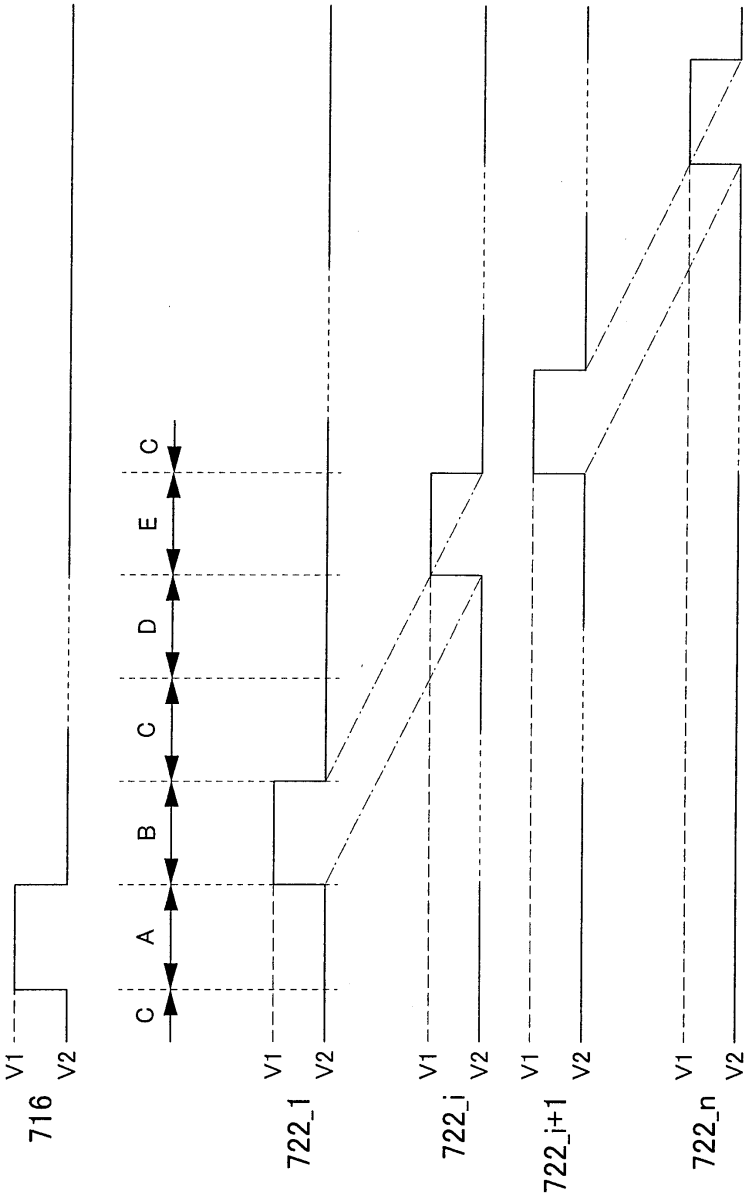
도면5



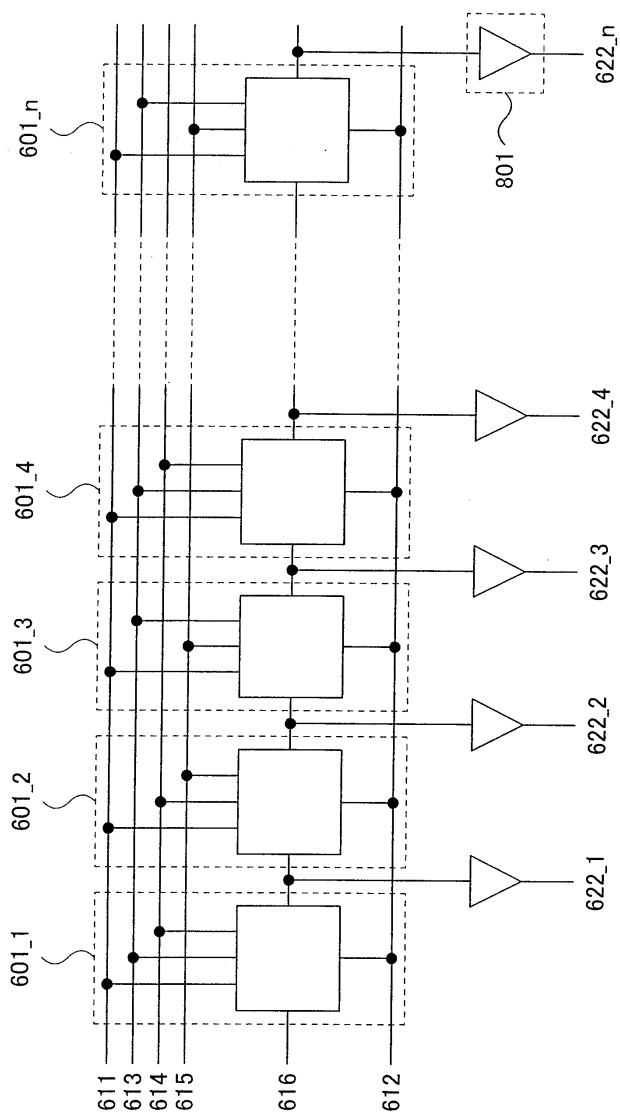
도면6



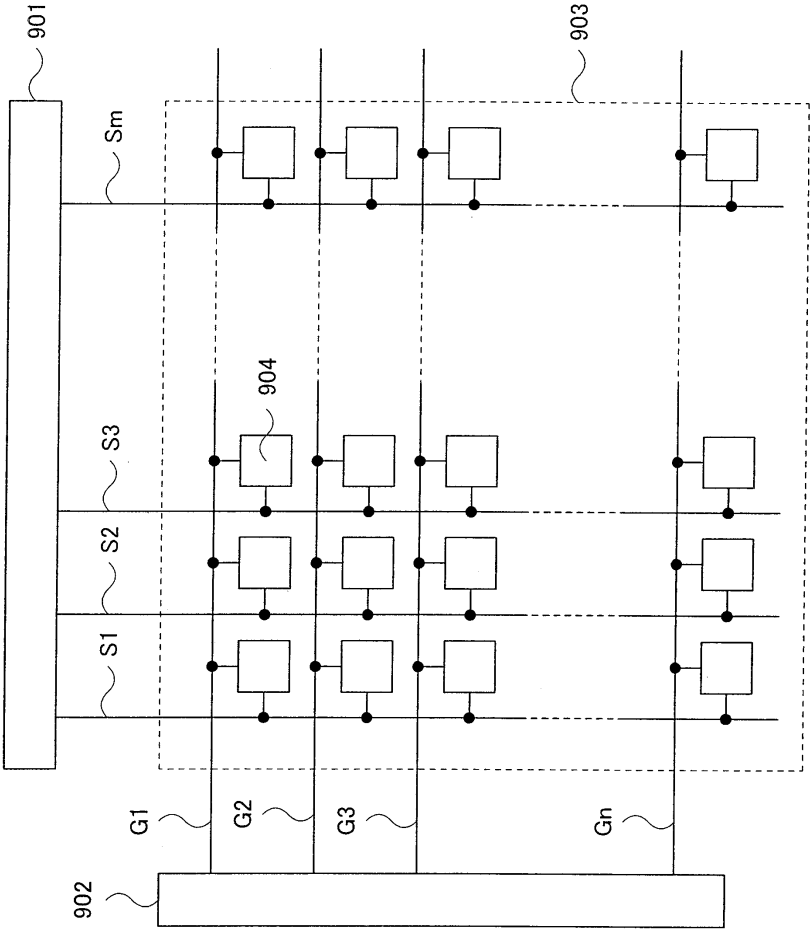
도면7



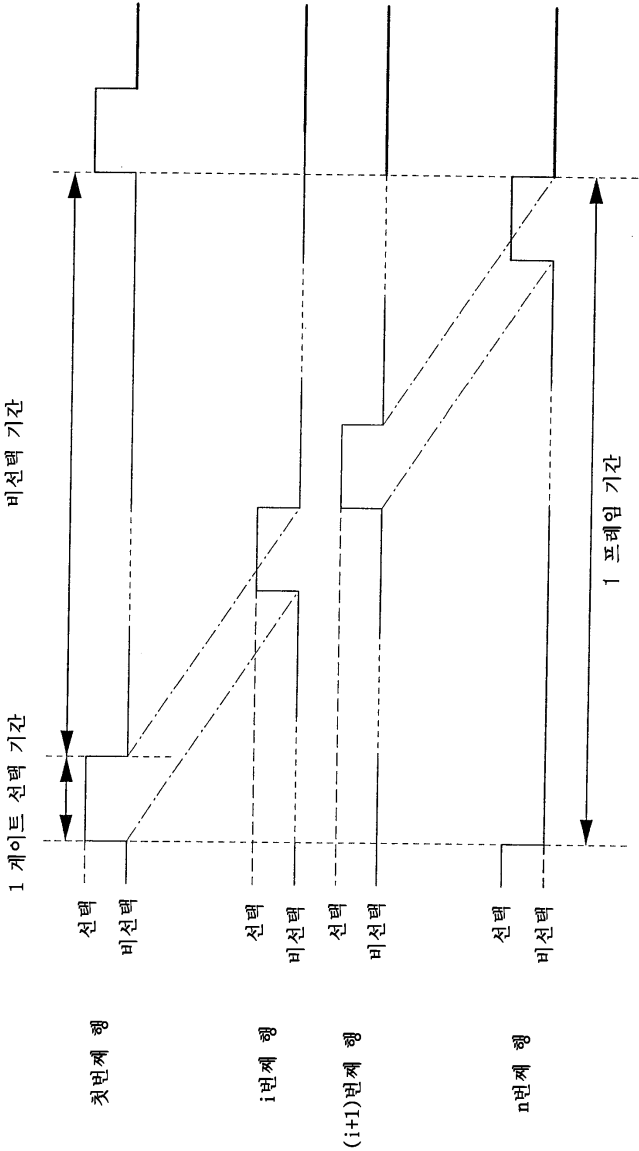
도면8



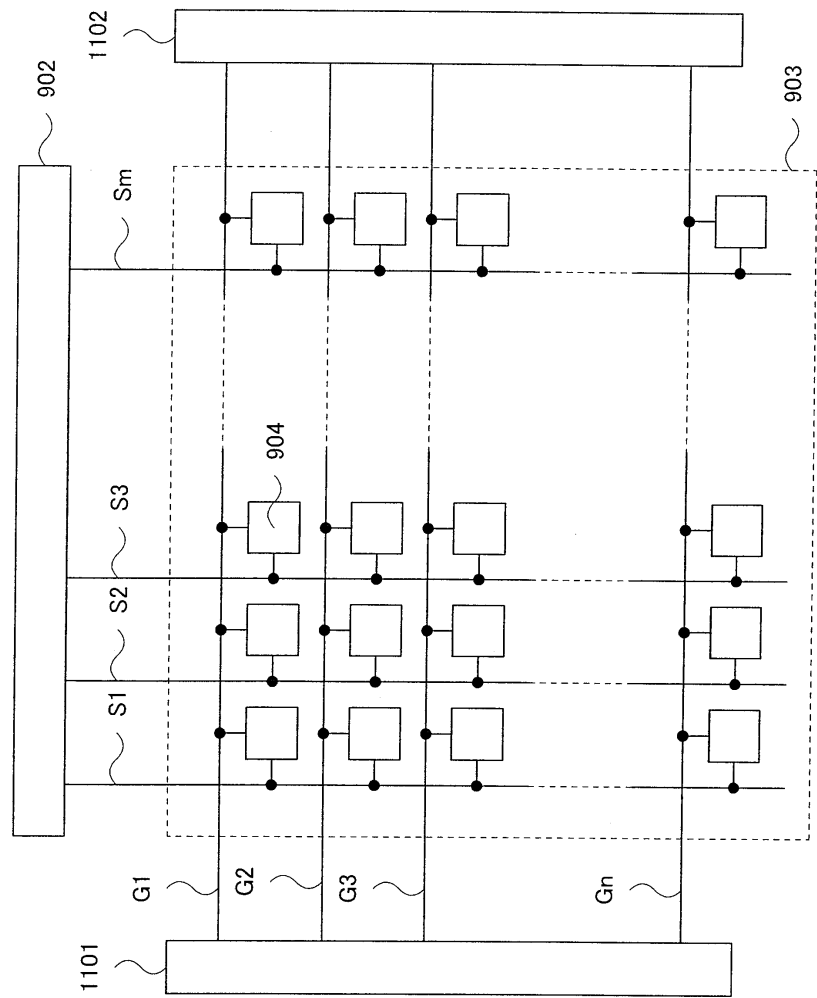
도면9



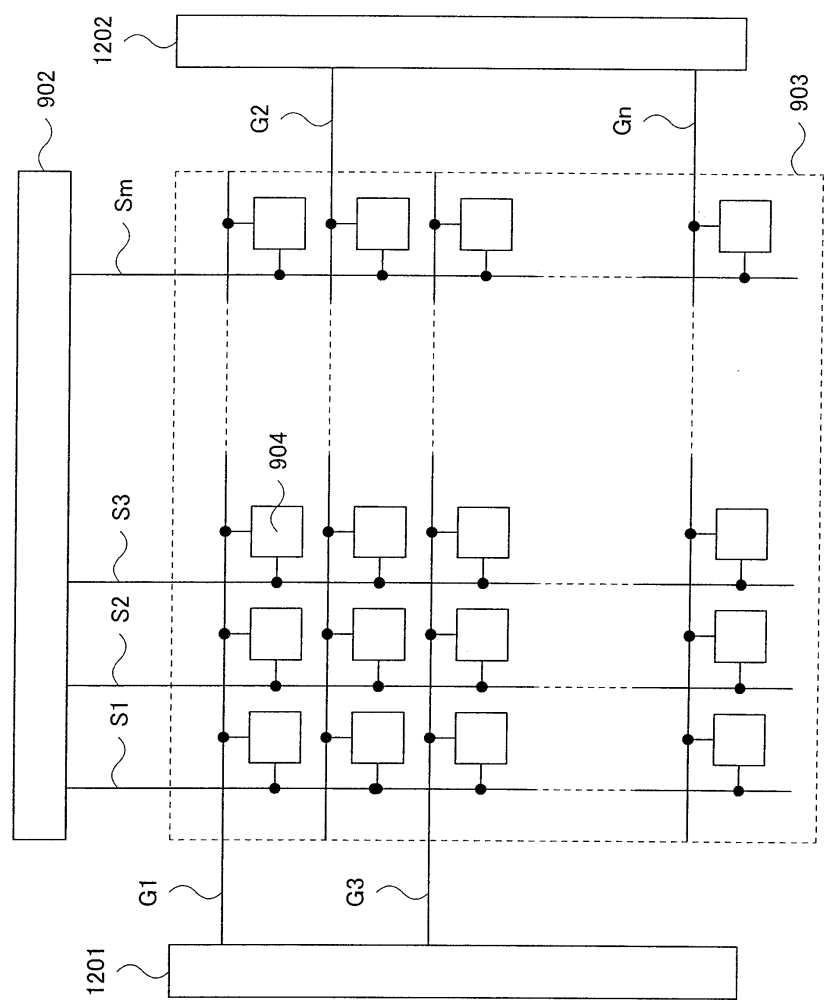
도면10



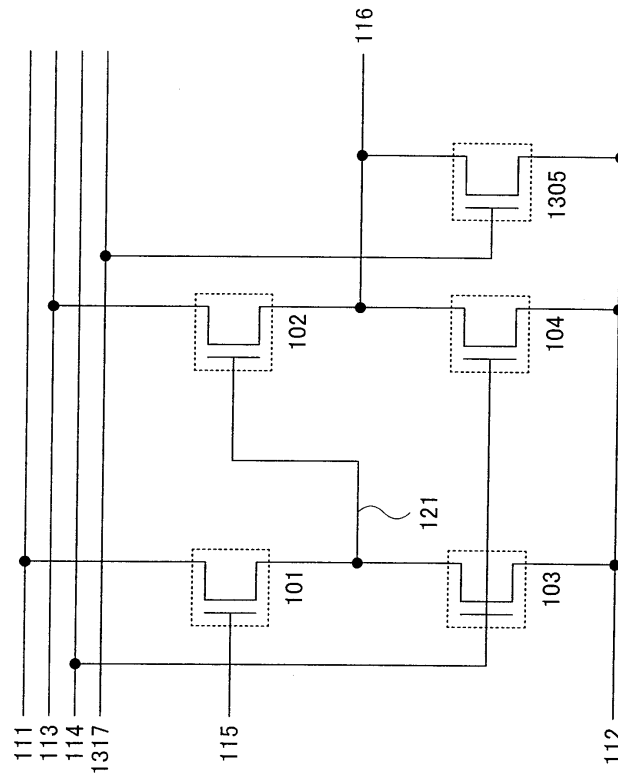
도면11



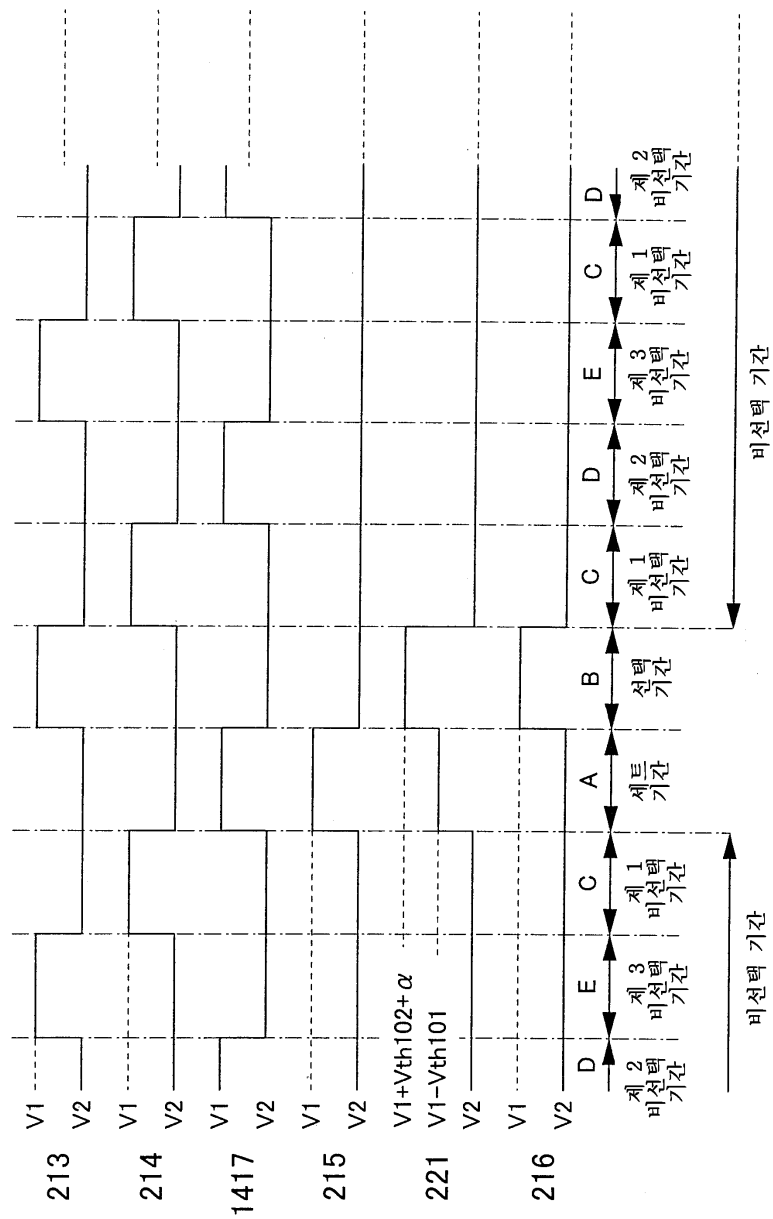
도면12



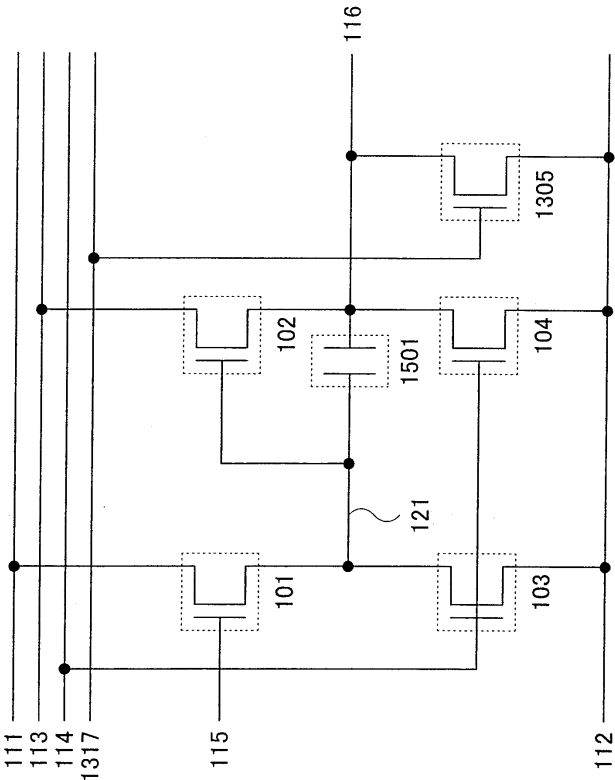
도면13



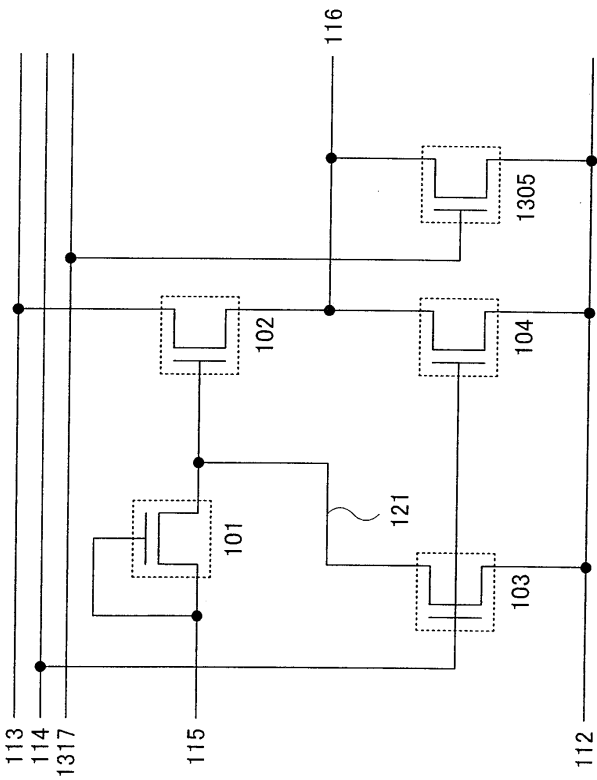
도면14



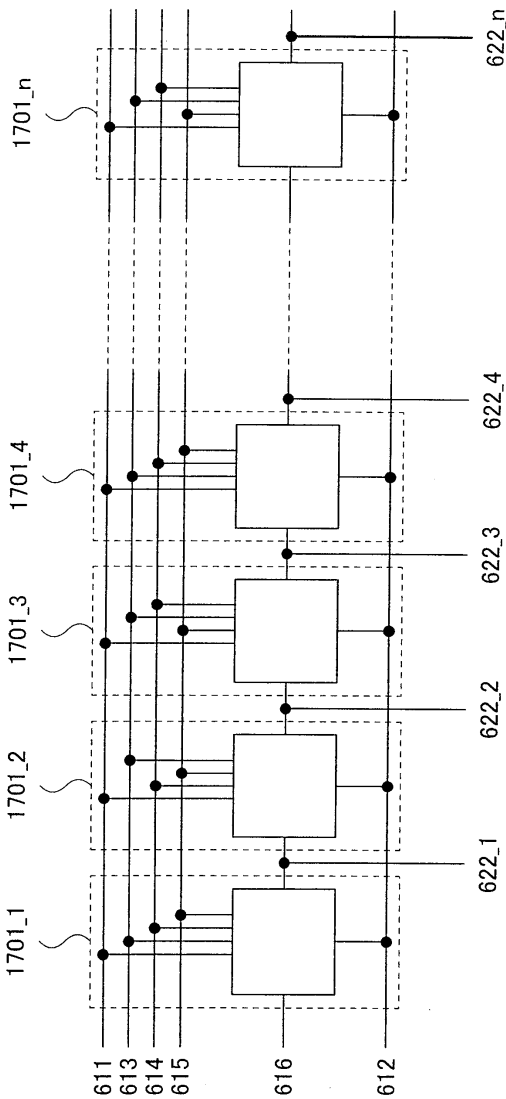
도면15



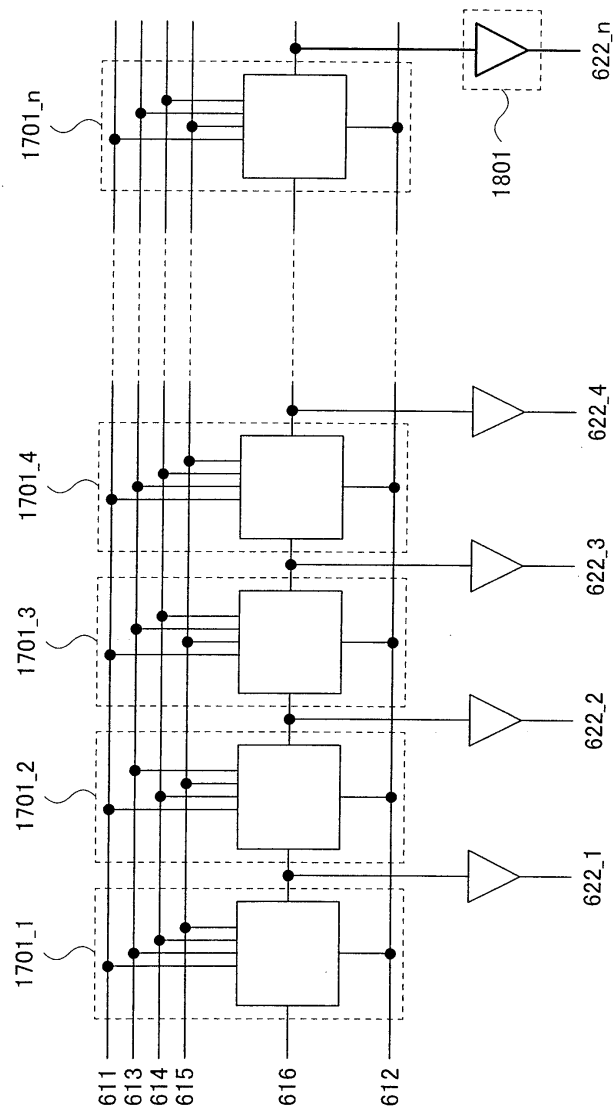
도면16



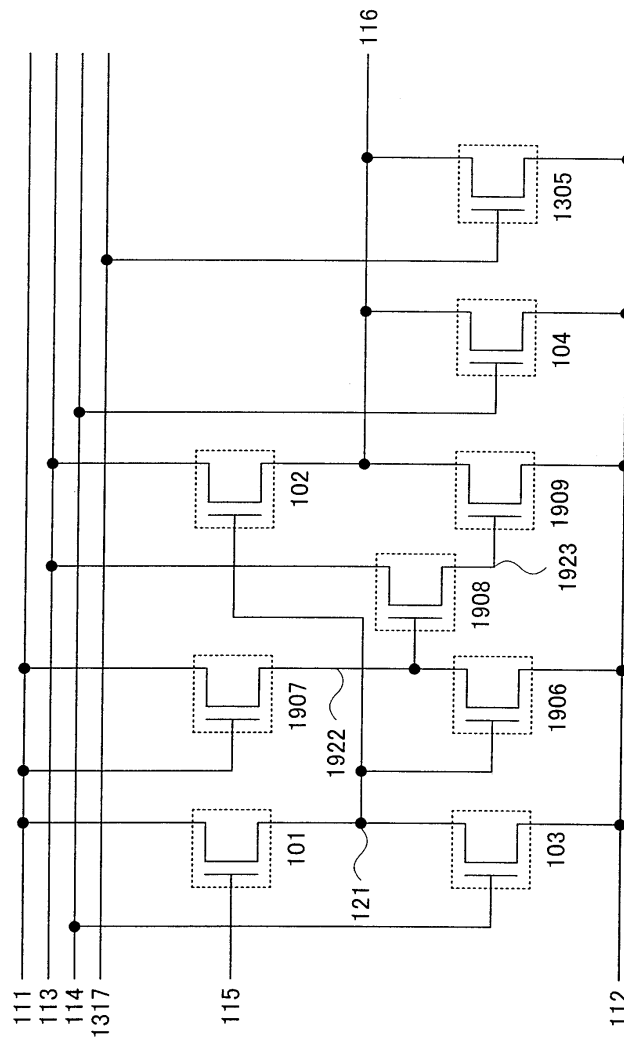
도면17



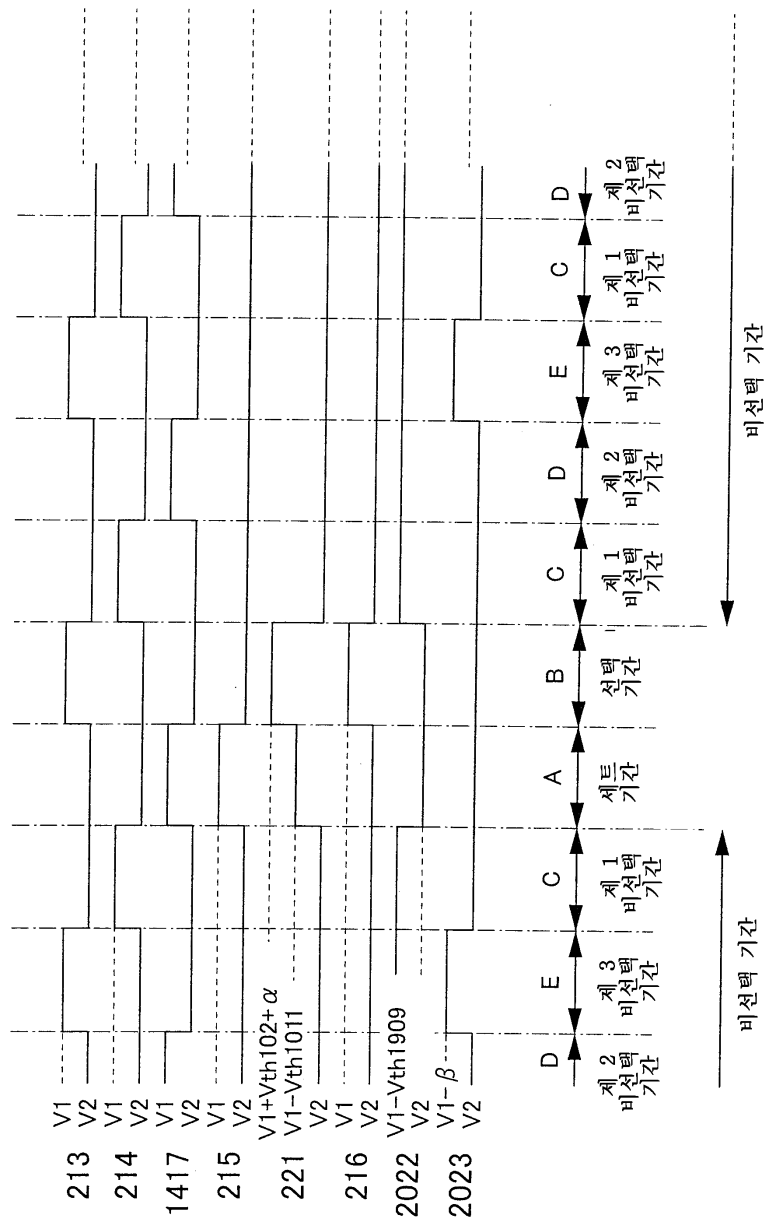
도면18



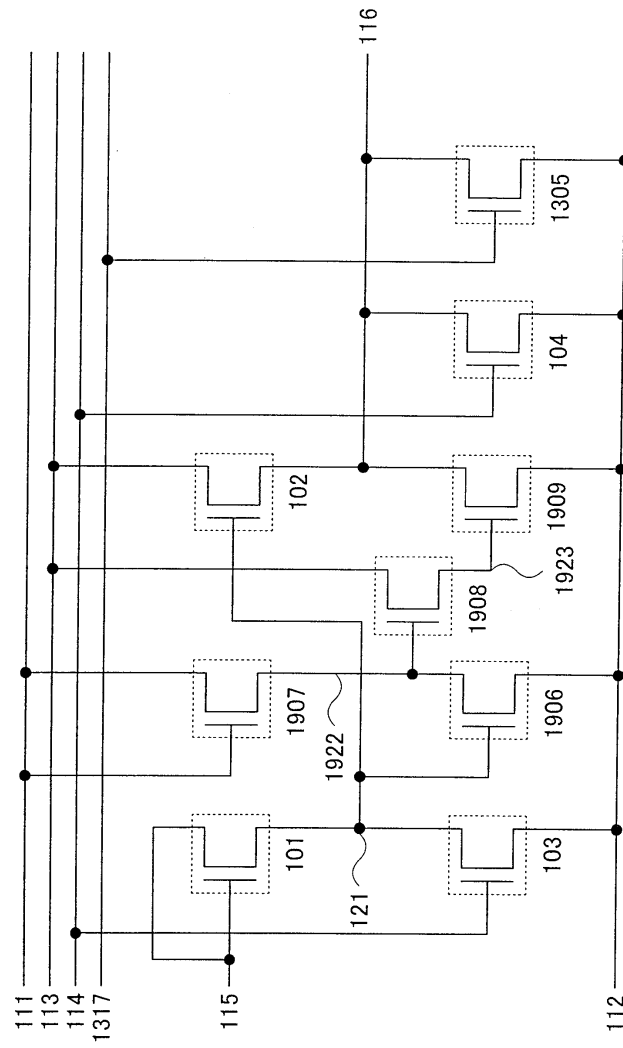
도면19



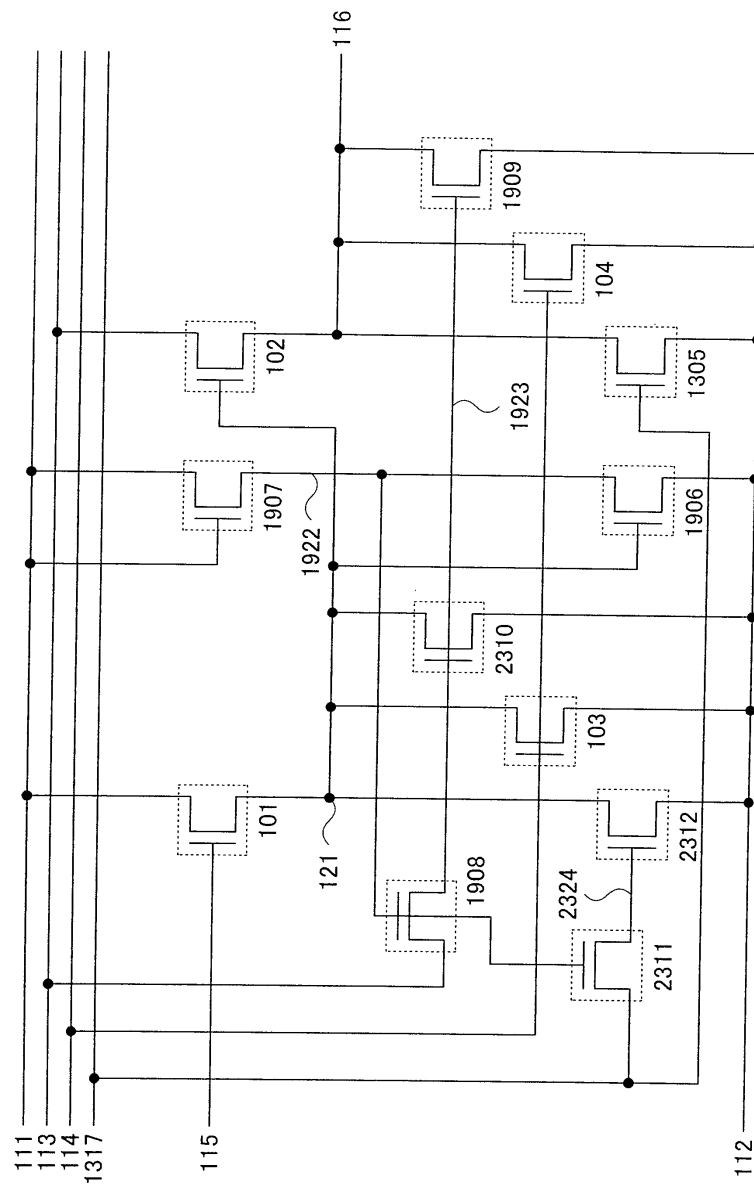
도면20



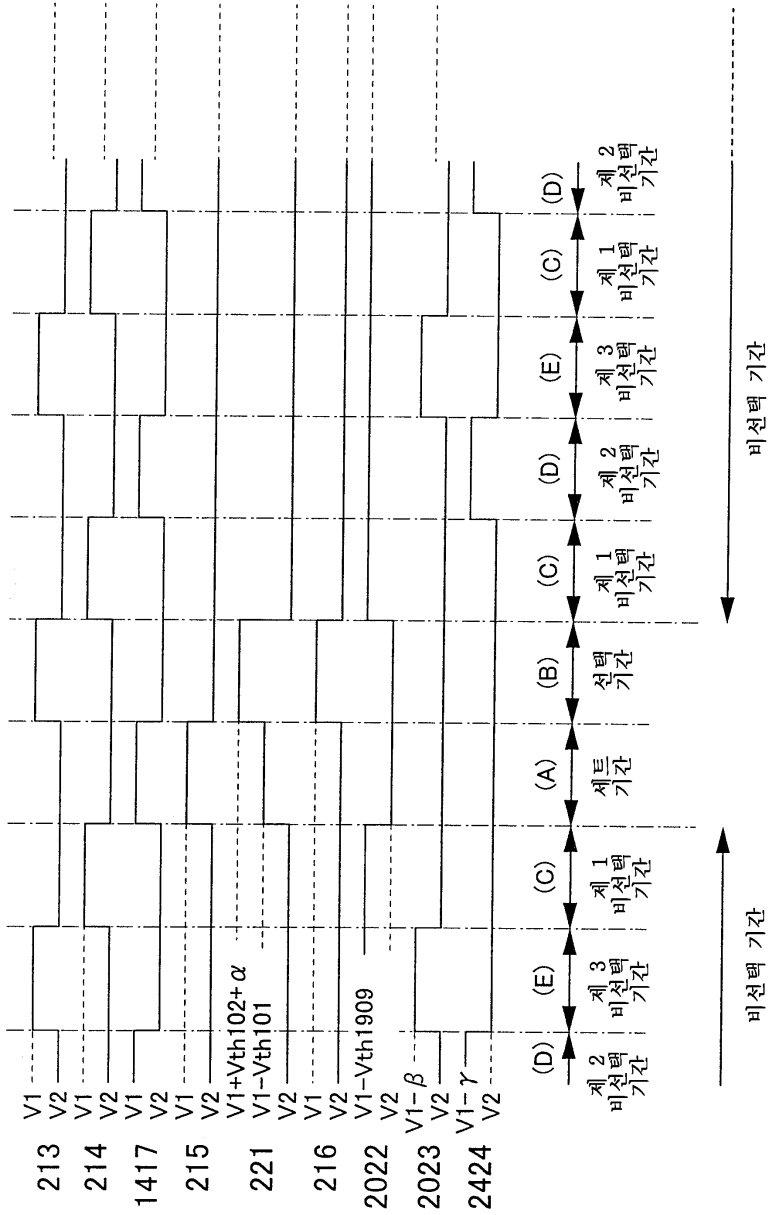
도면22



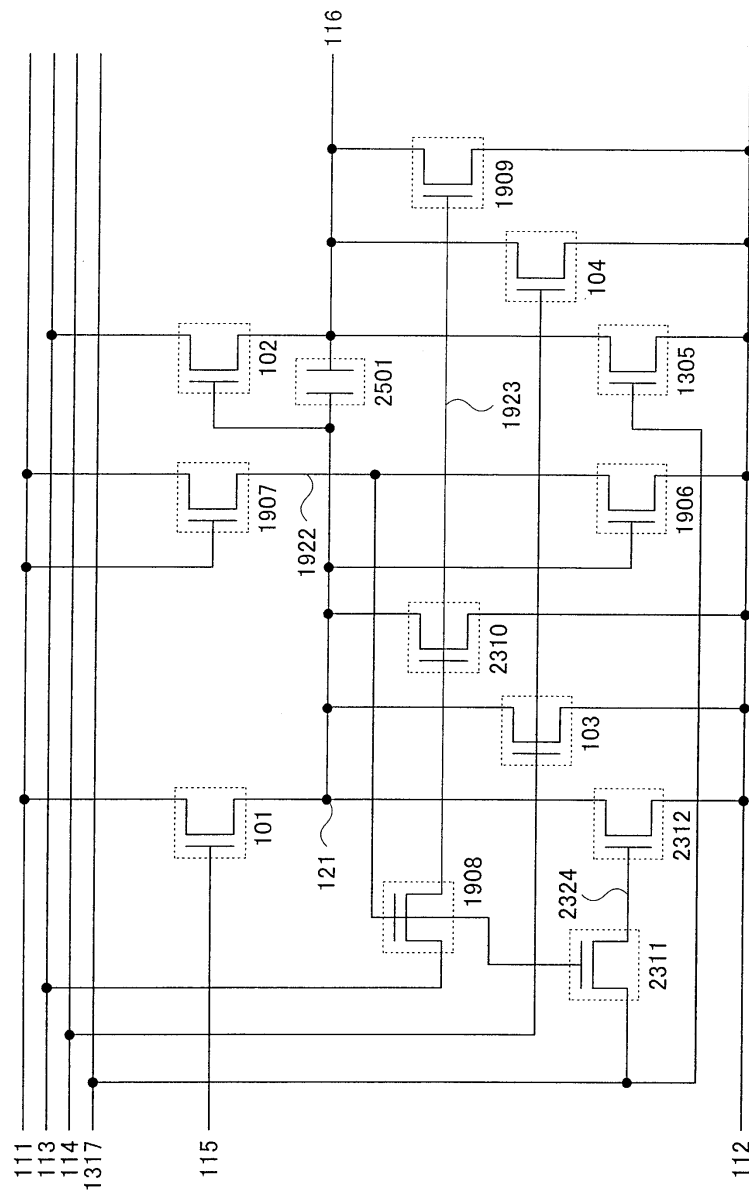
도면23



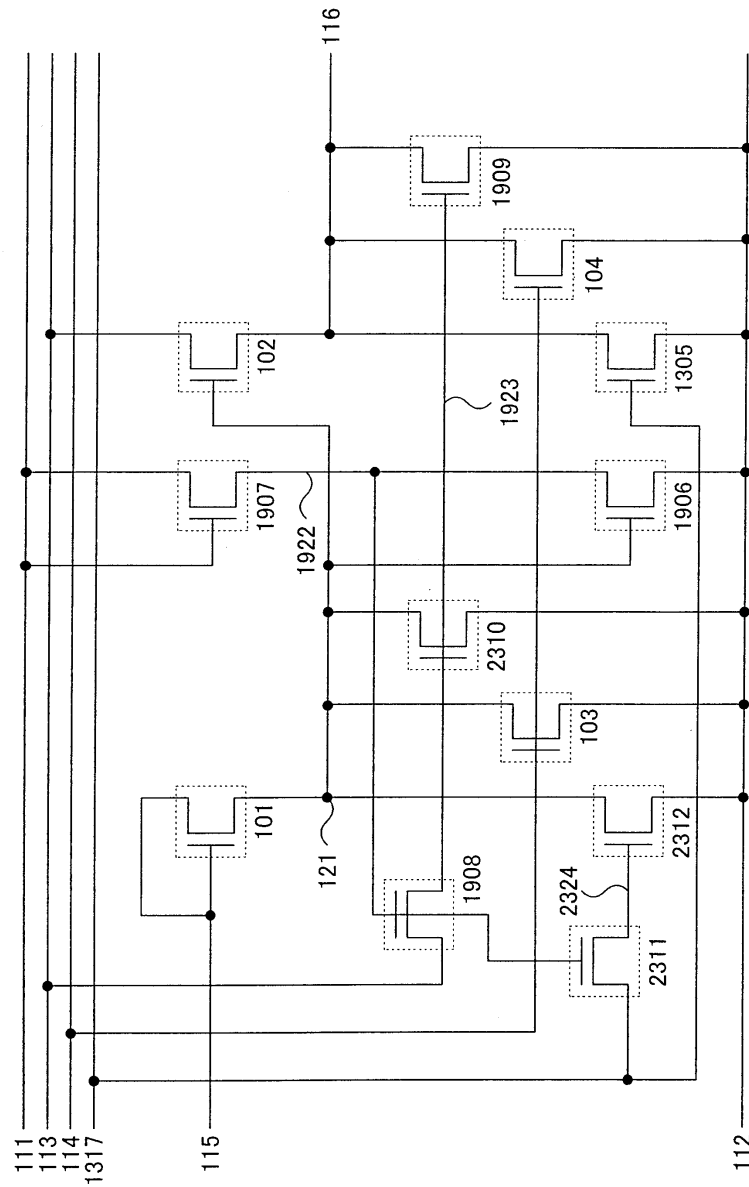
도면24



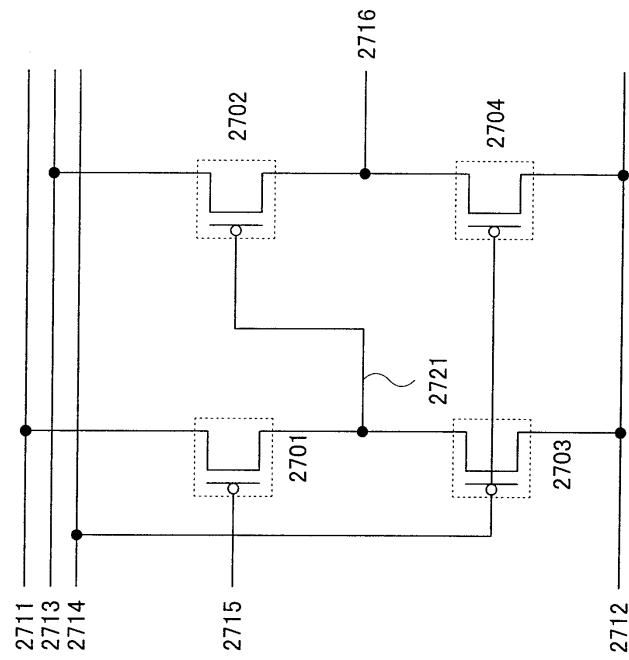
도면25



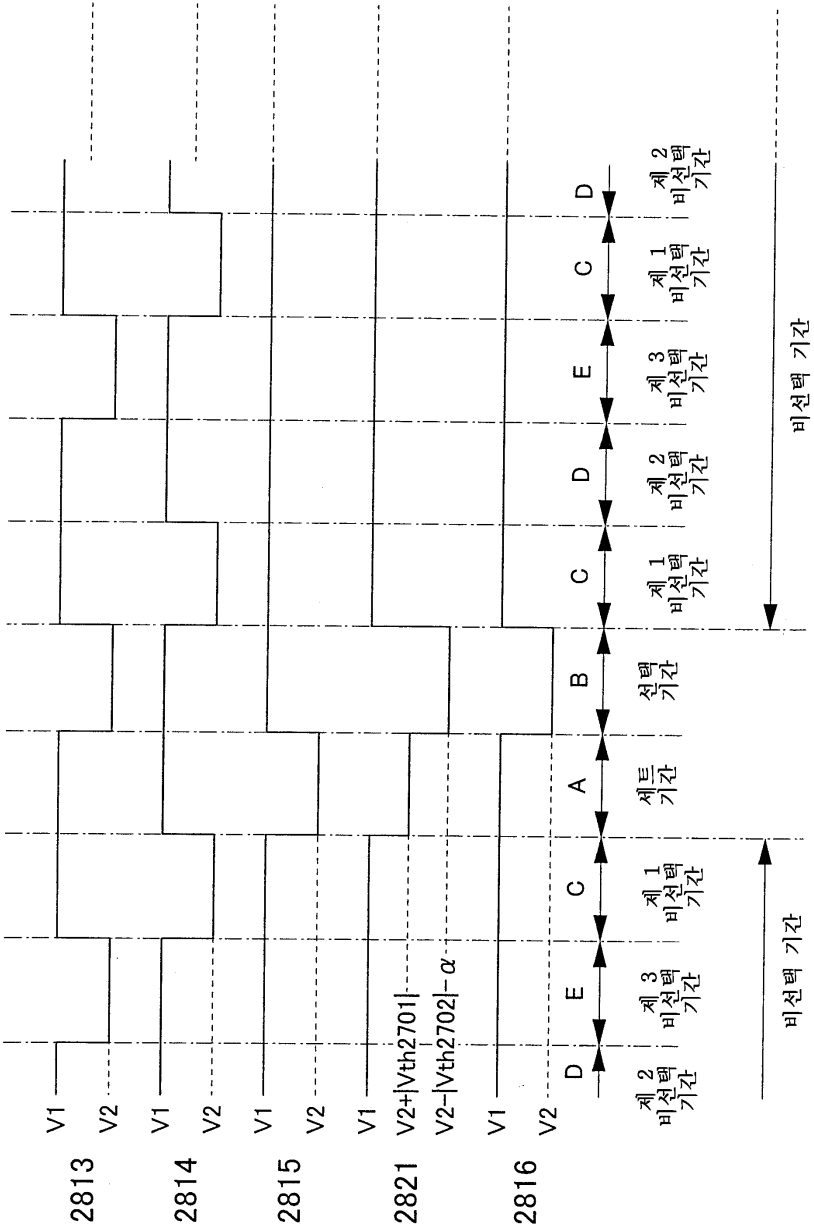
도면26



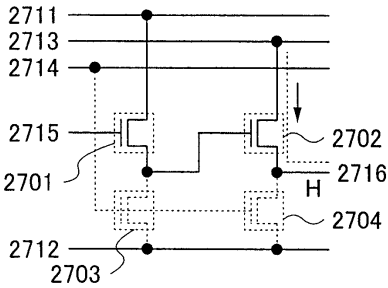
도면27



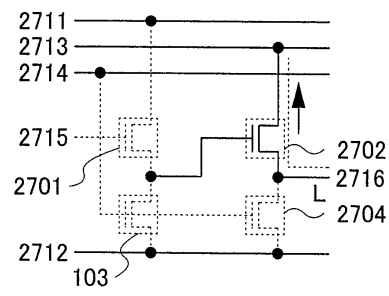
도면28



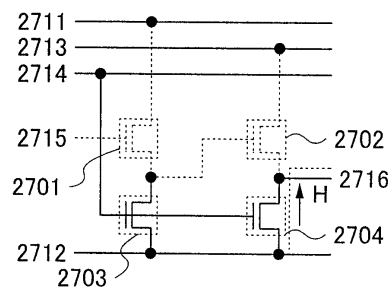
도면29a



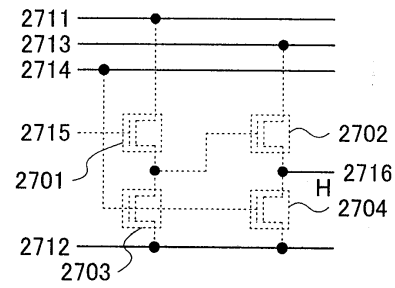
도면29b



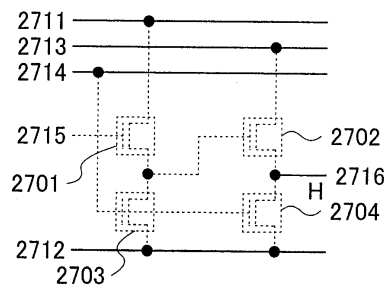
도면29c



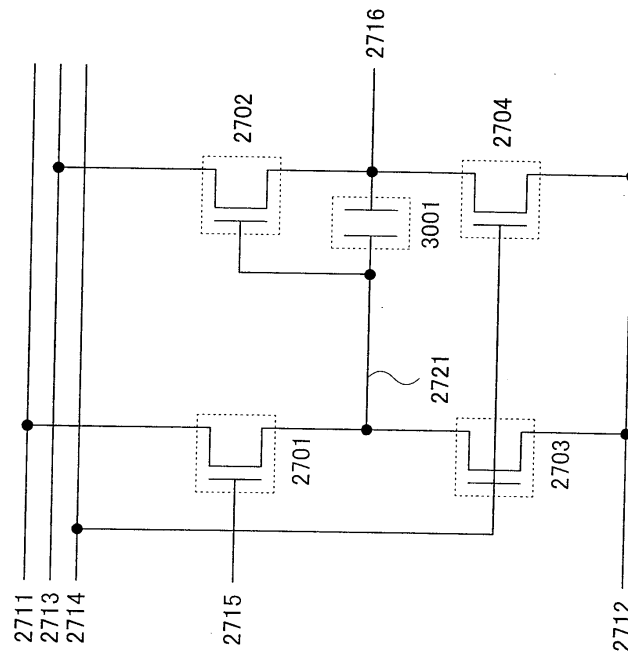
도면29d



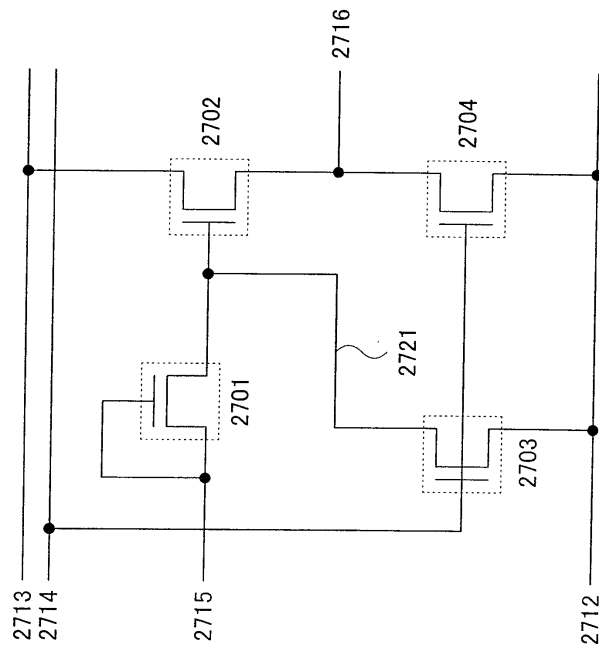
도면29e



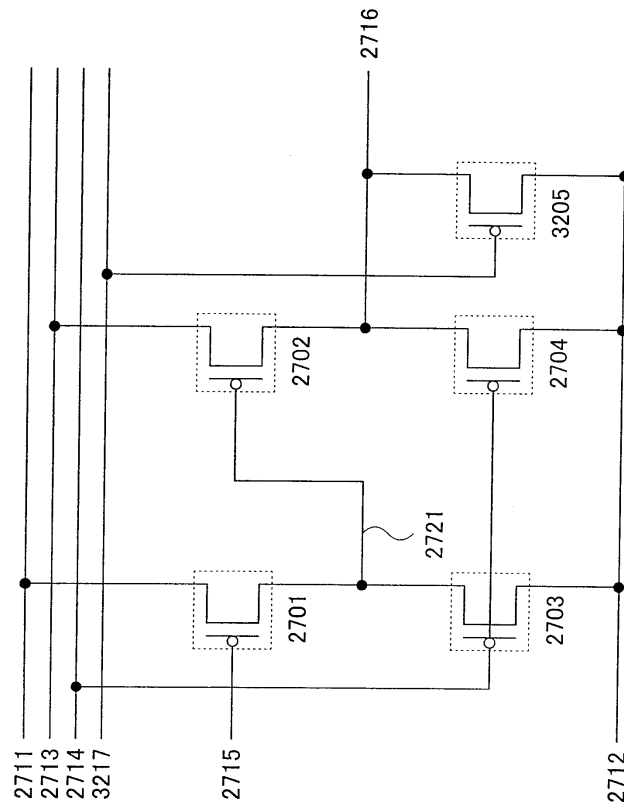
도면30



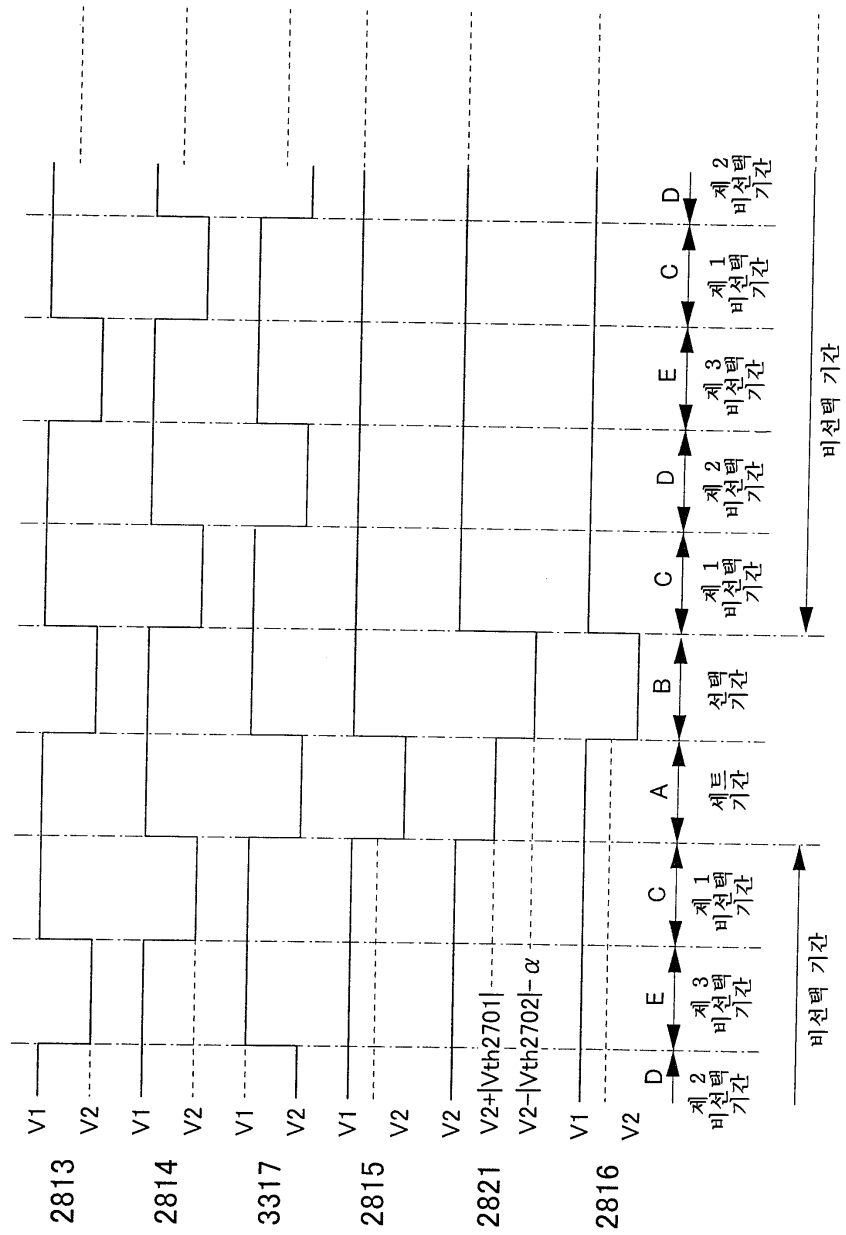
도면31



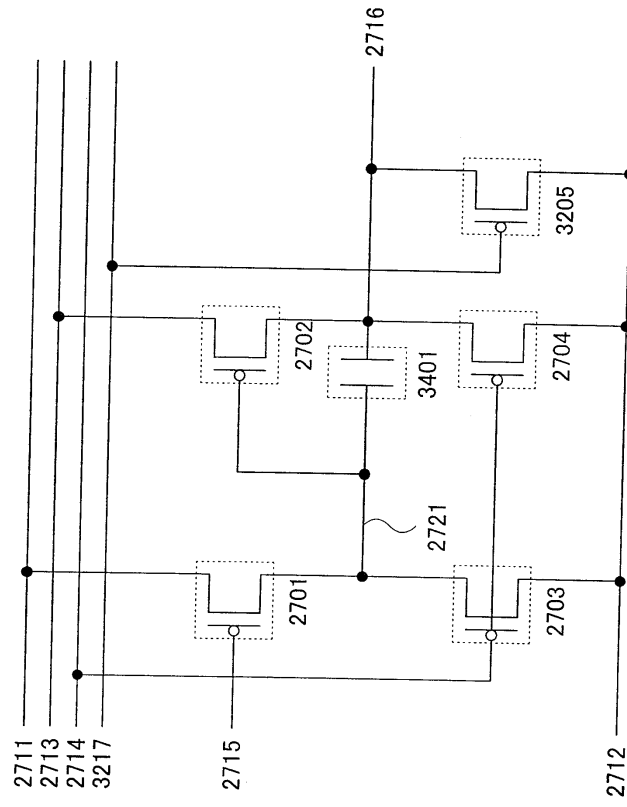
도면32



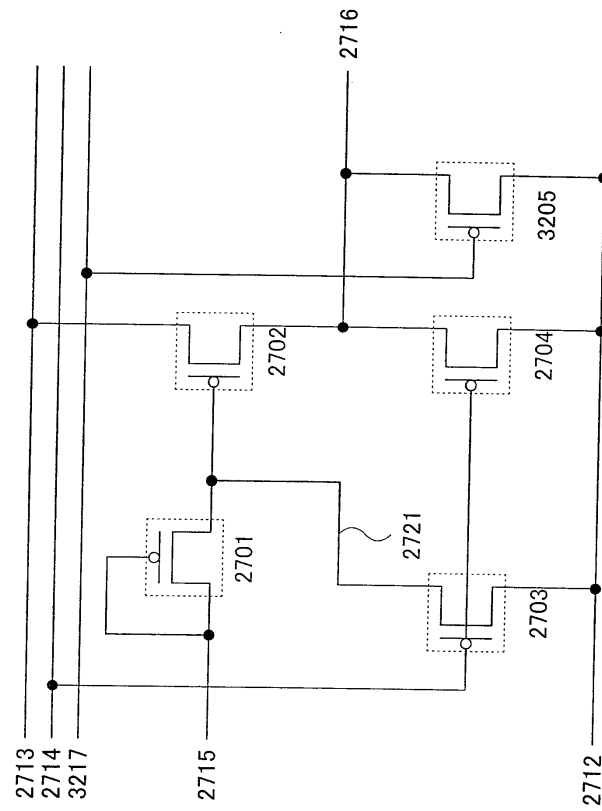
도면33



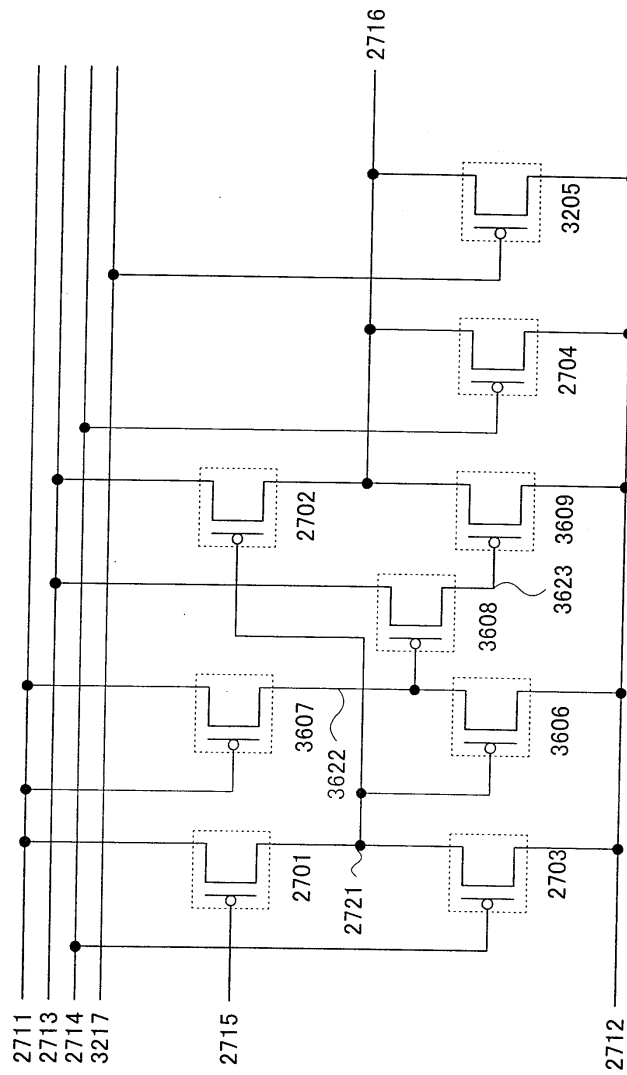
도면34



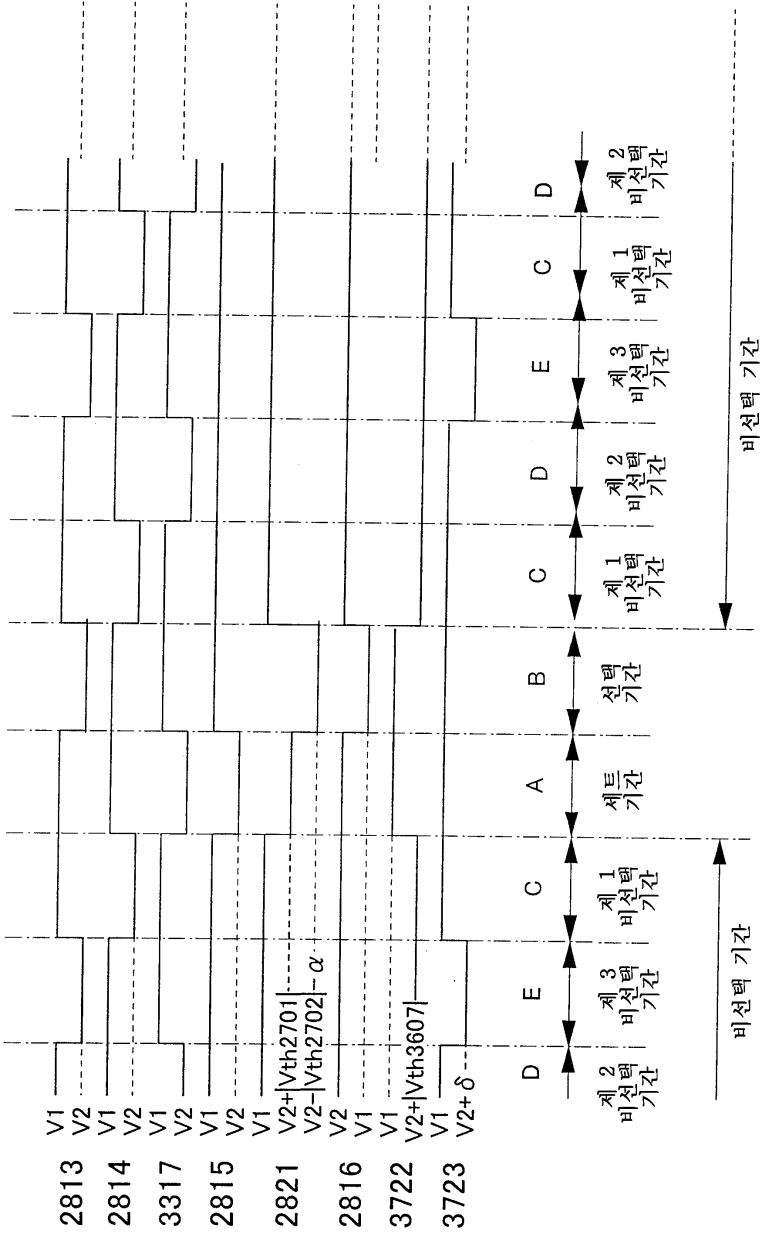
도면35



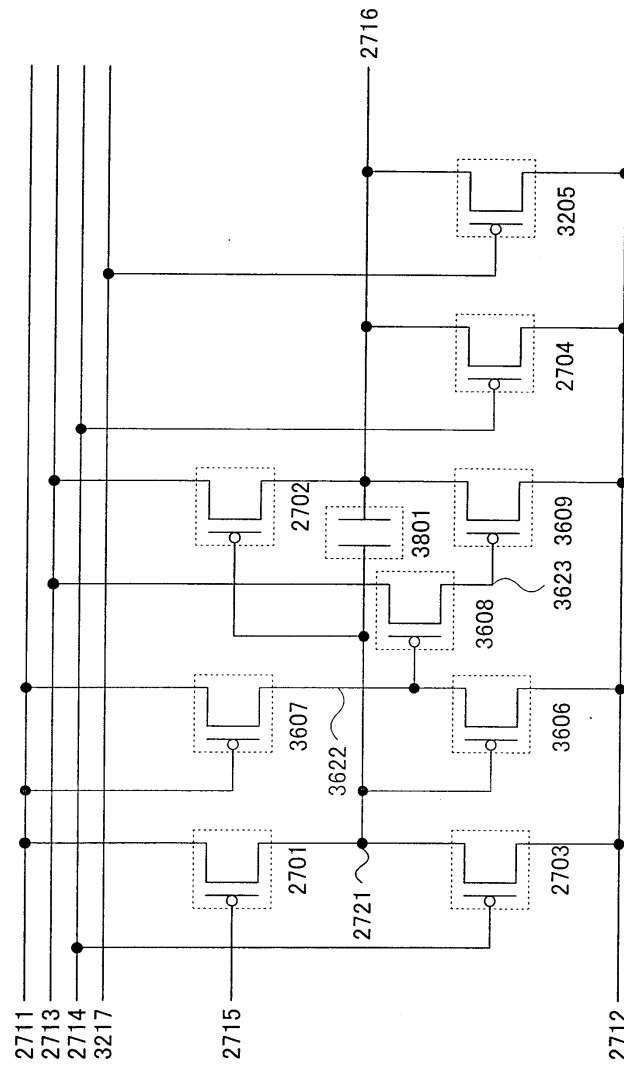
도면36



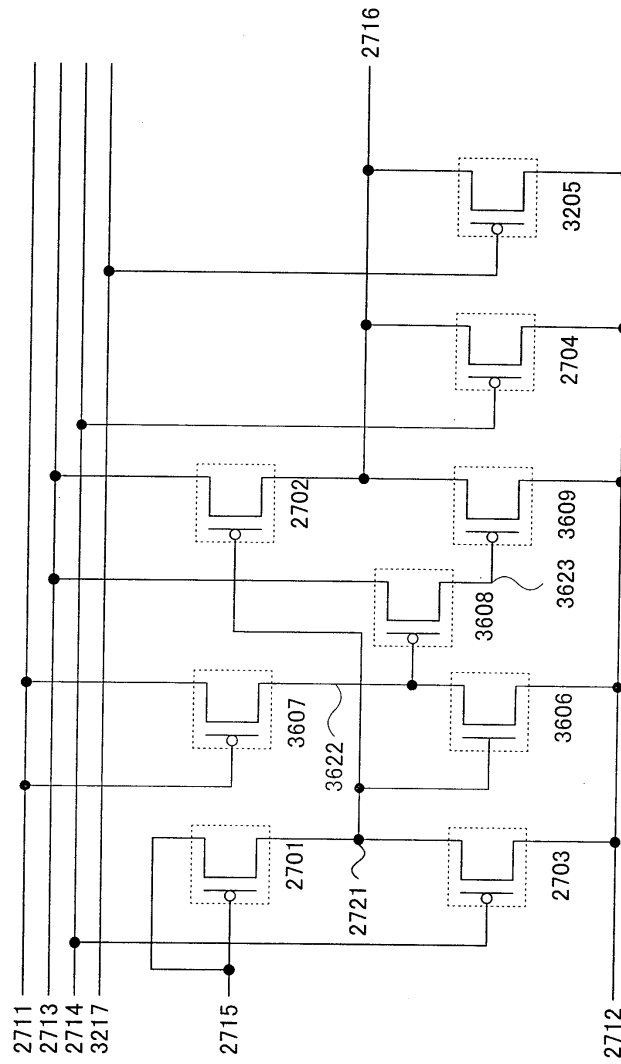
도면37



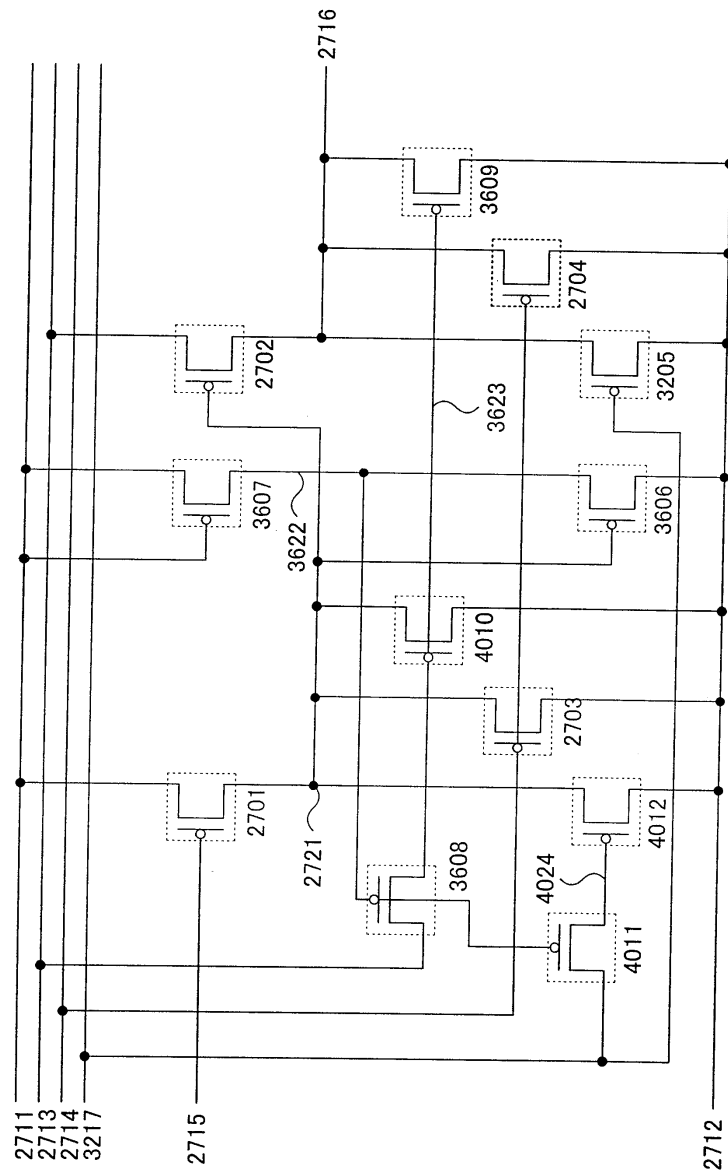
도면38



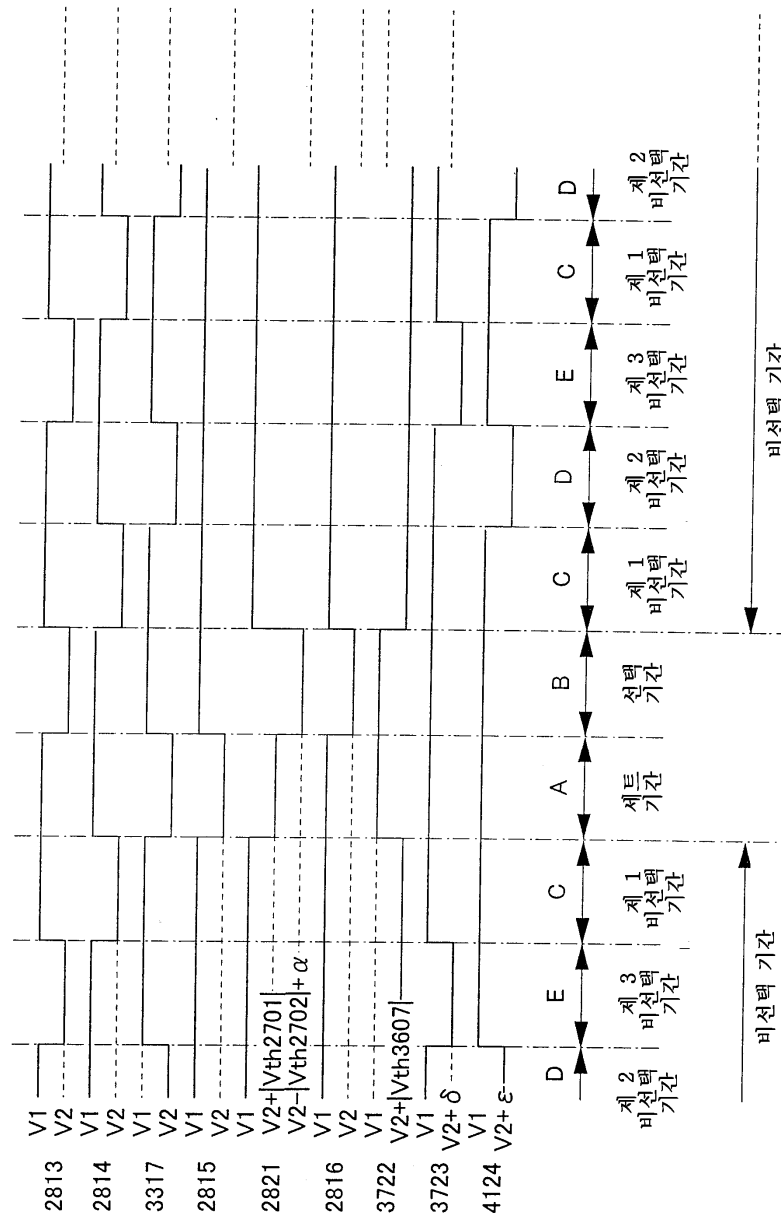
도면39



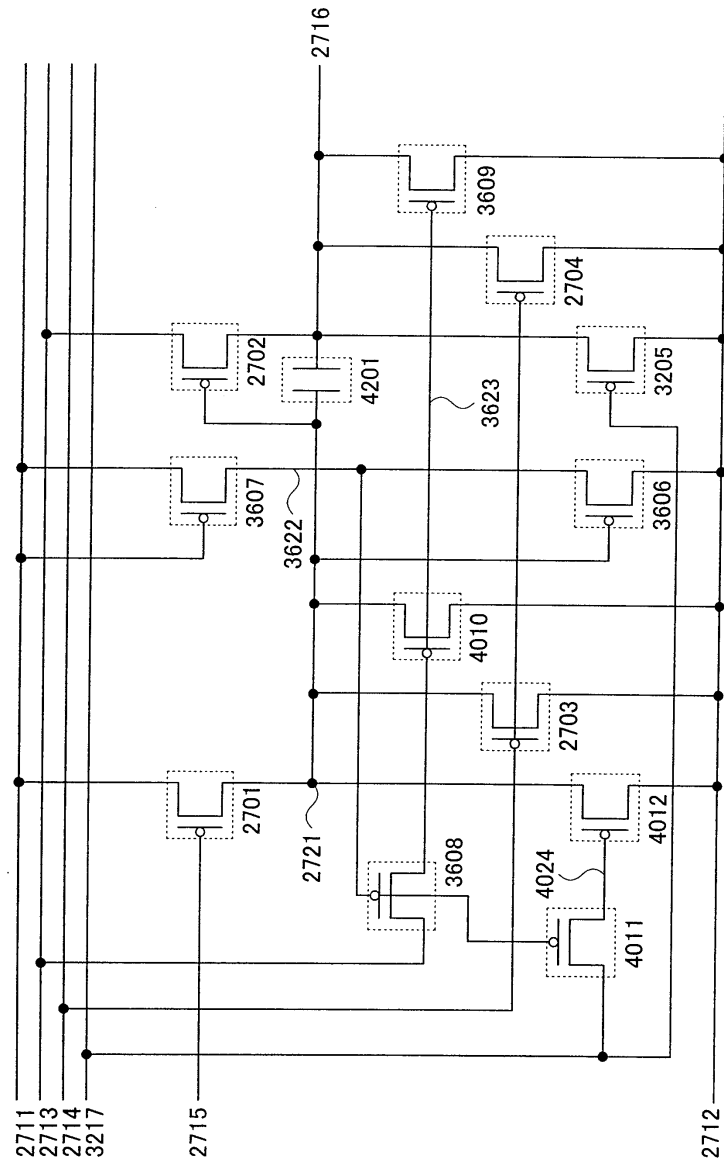
도면40



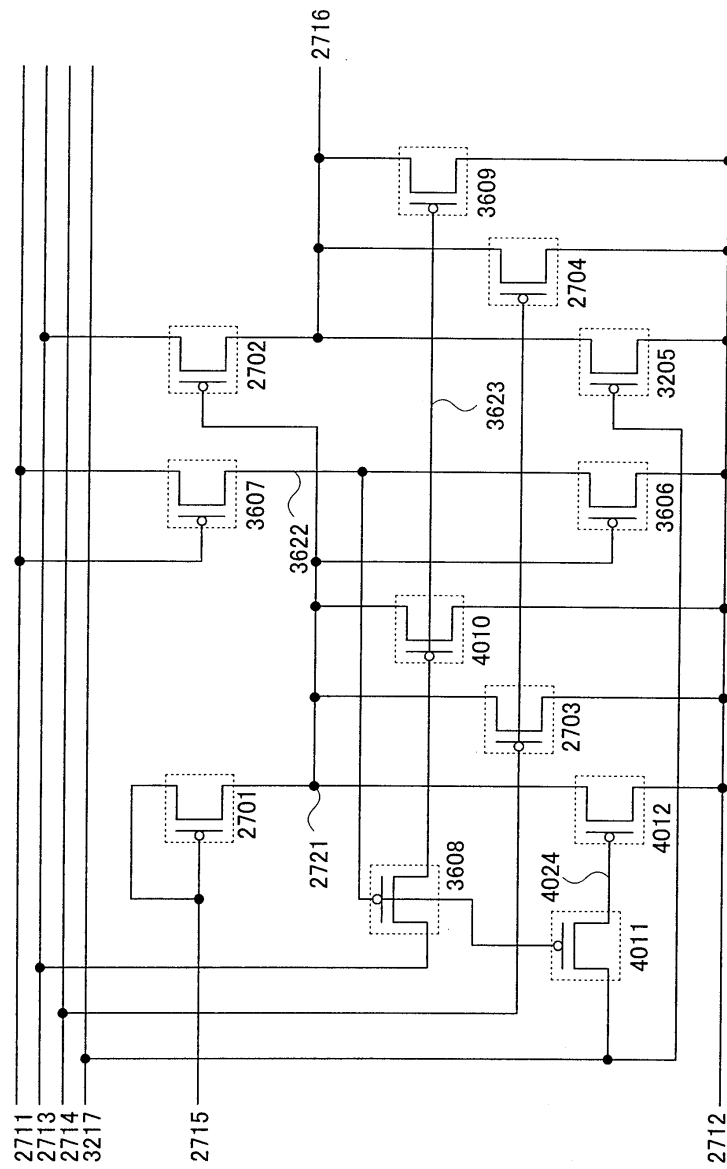
도면41



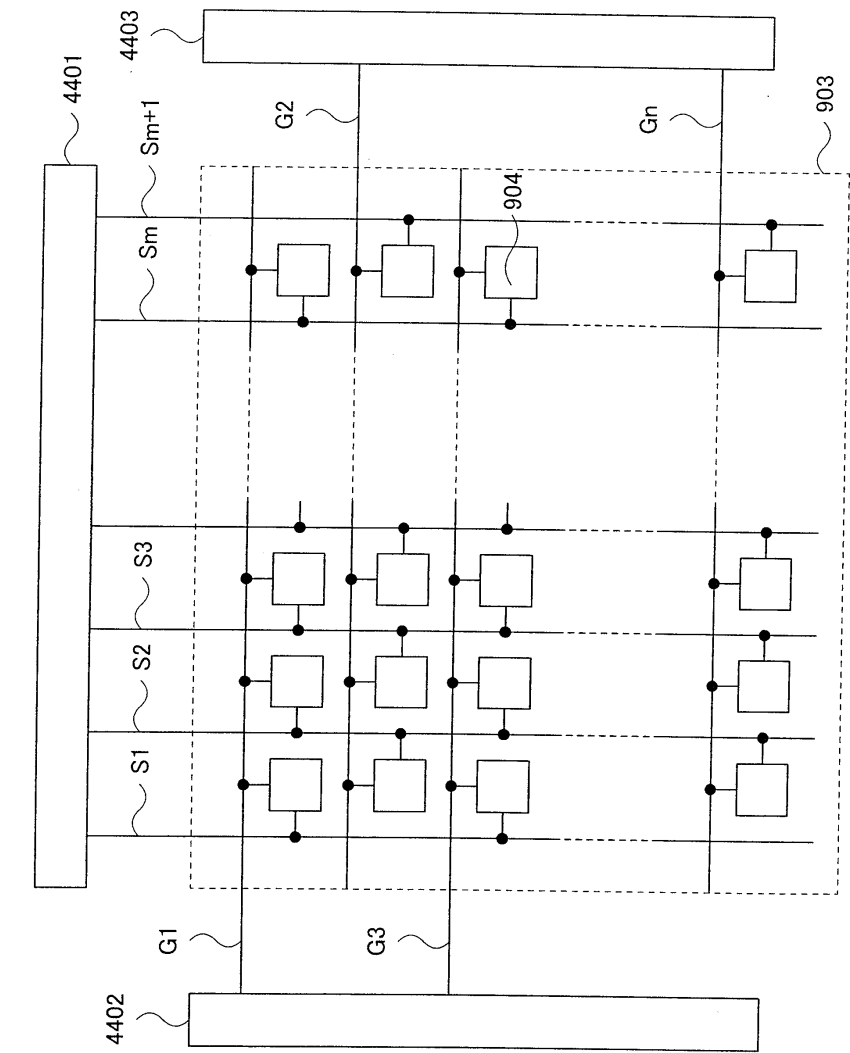
도면42



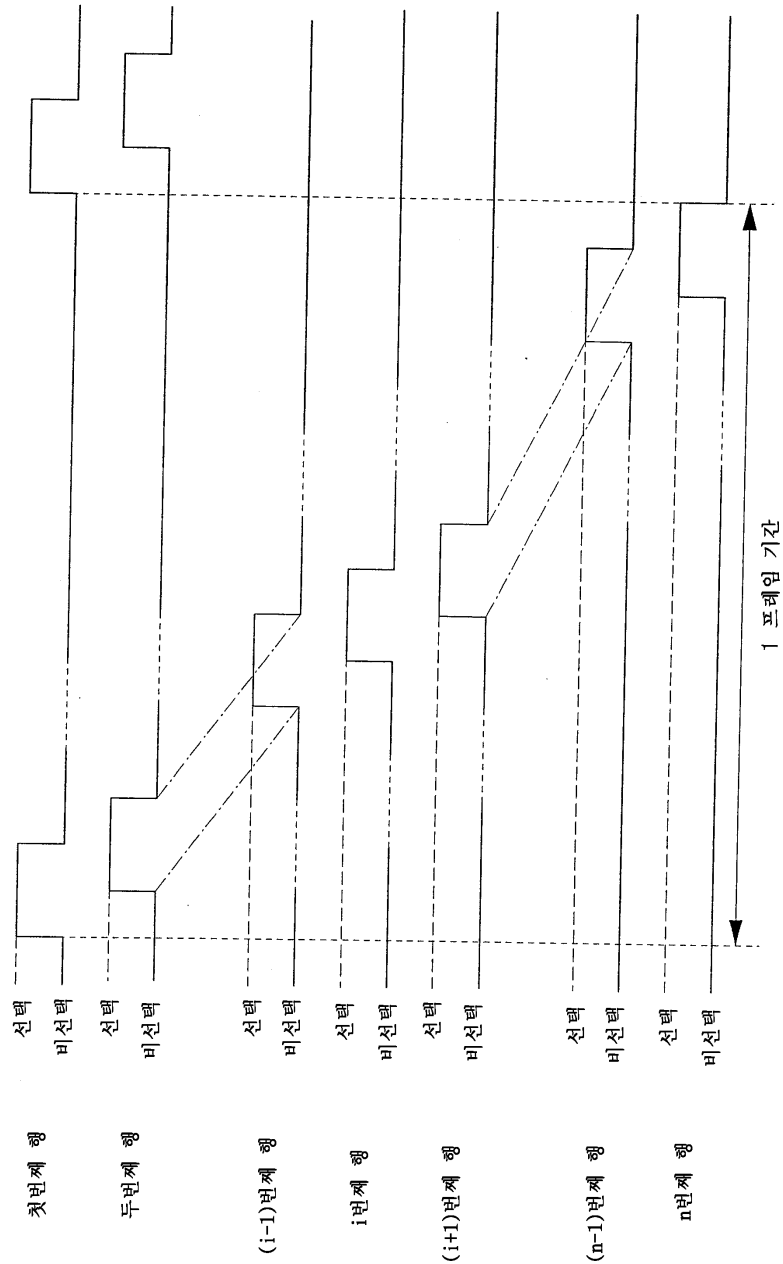
도면43



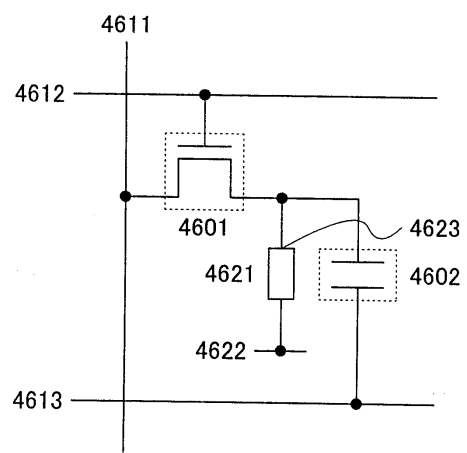
도면44



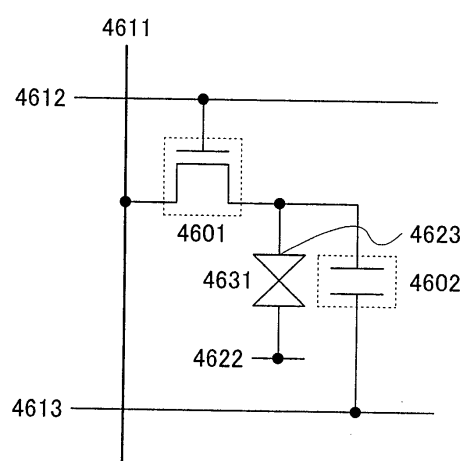
도면45



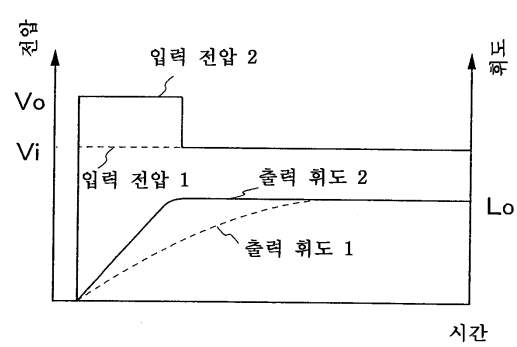
도면46a



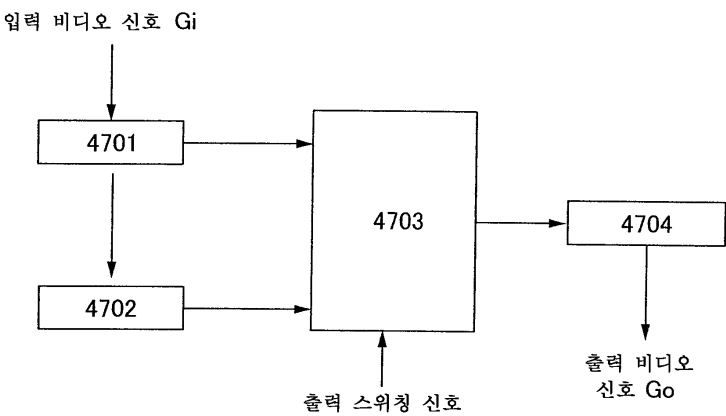
도면46b



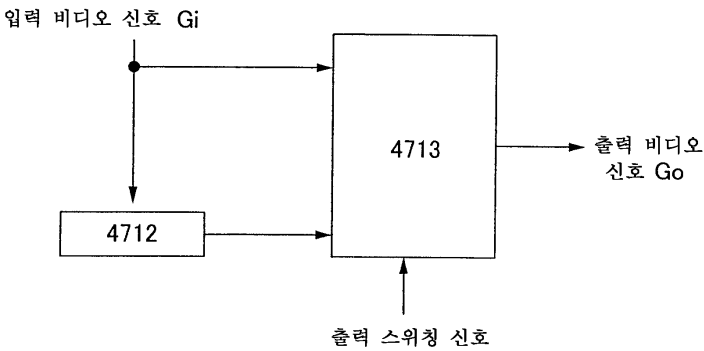
도면47a



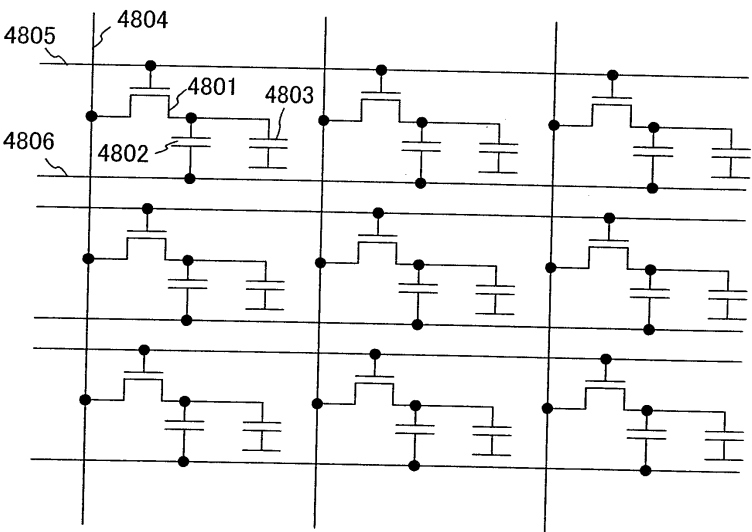
도면47b



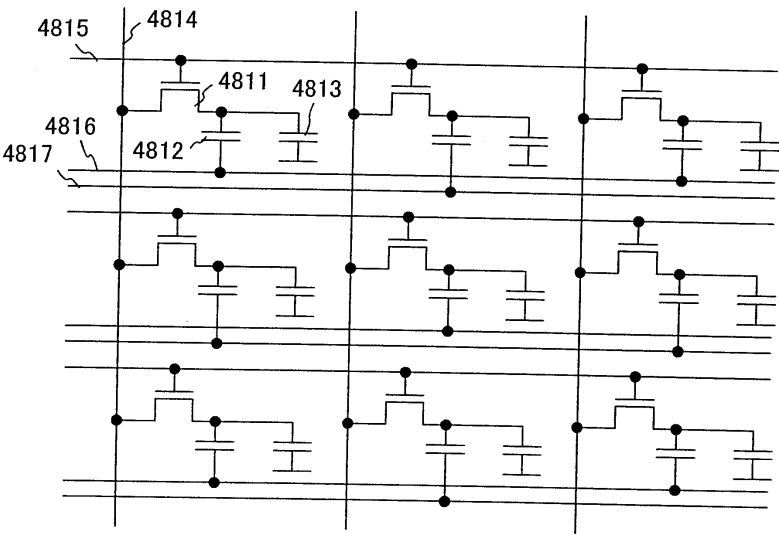
도면47c



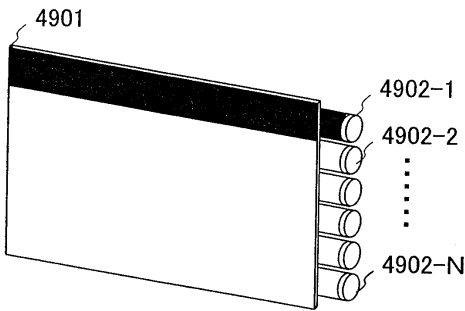
도면48a



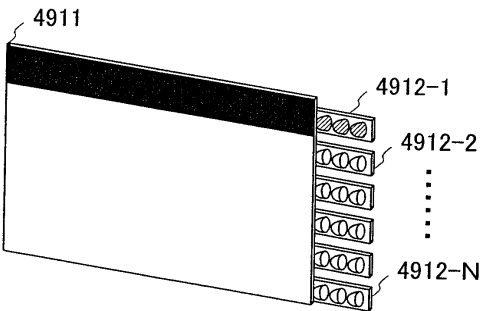
도면48b



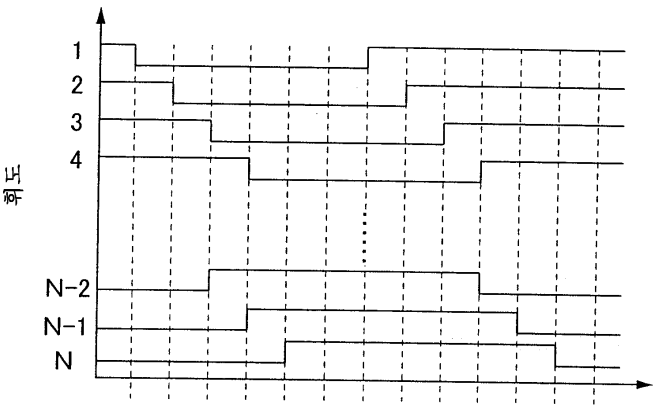
도면49a



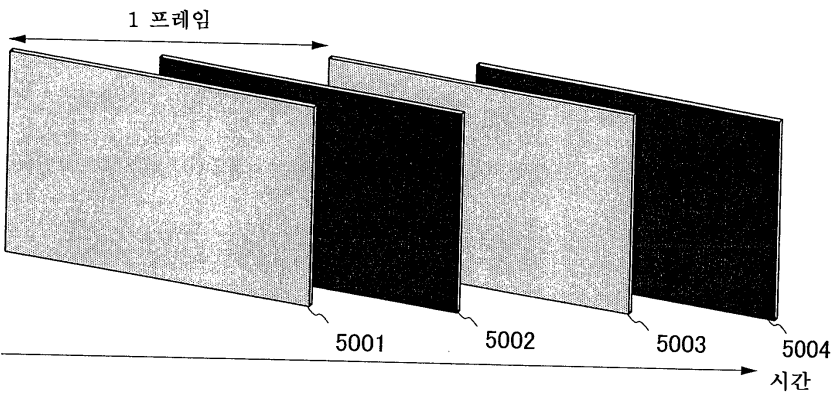
도면49b



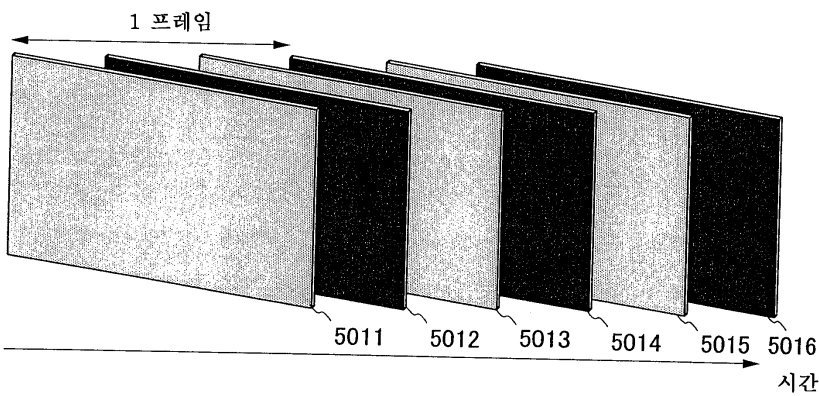
도면49c



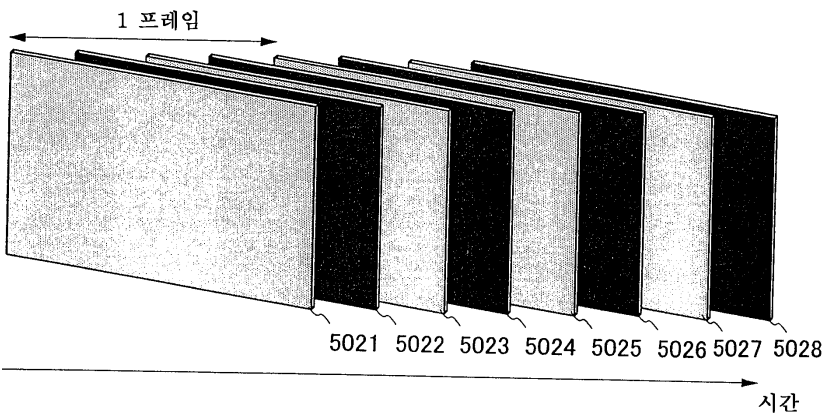
도면50a



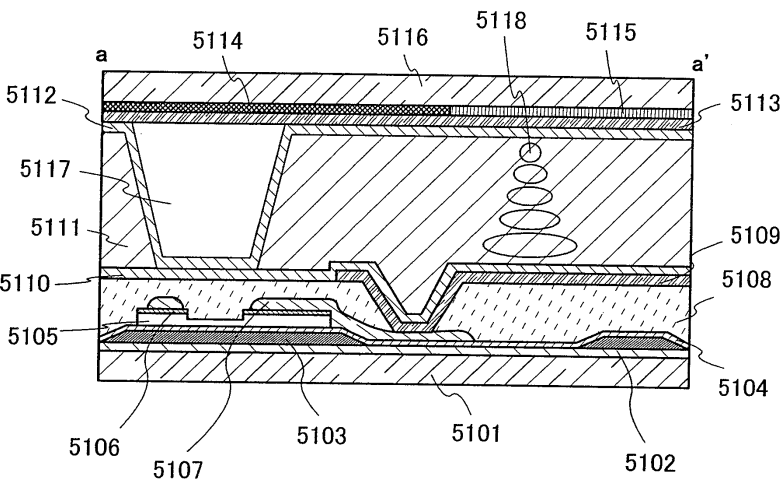
도면50b



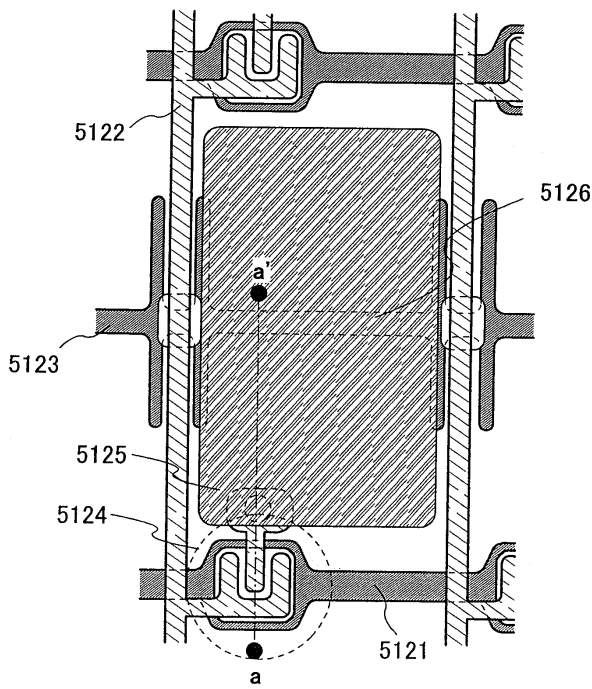
도면50c



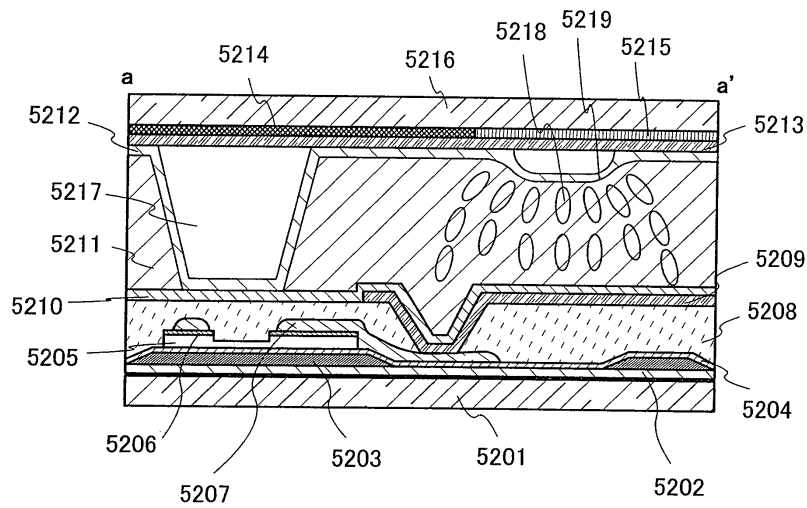
도면51a



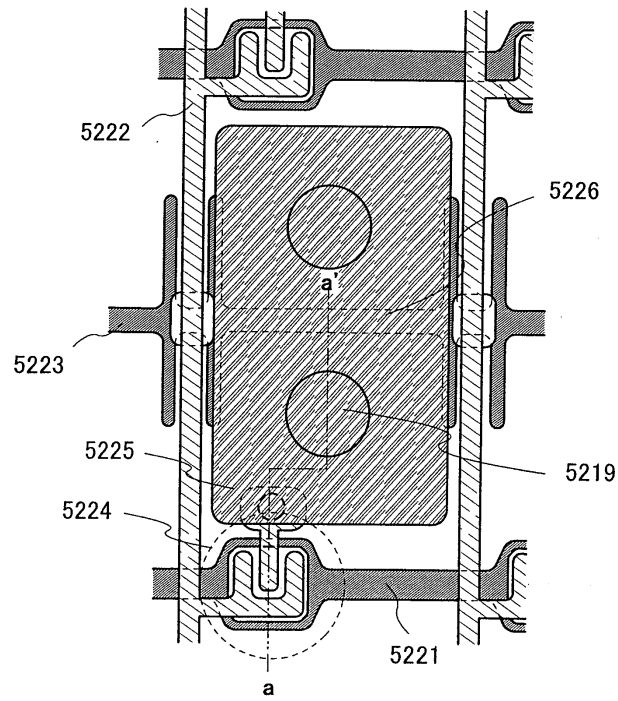
도면51b



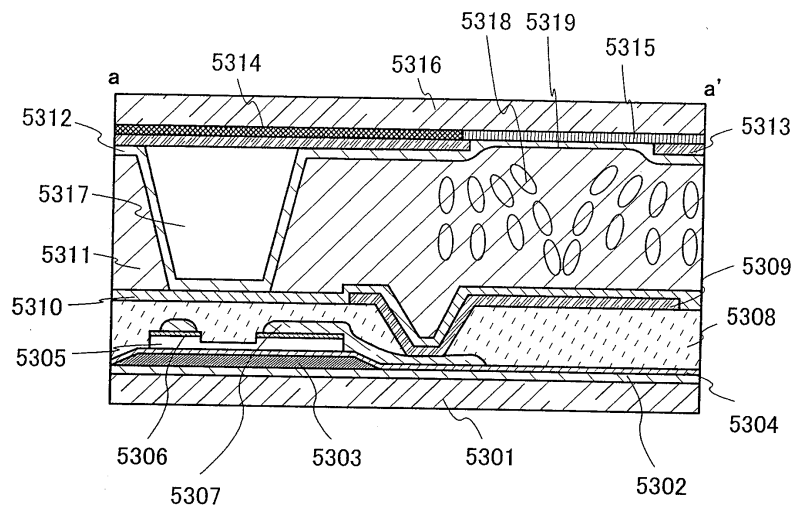
도면52a



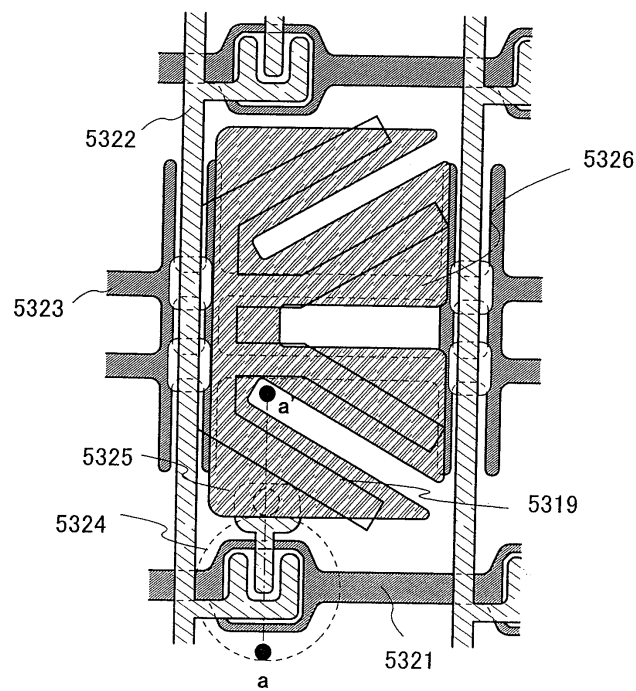
도면52b



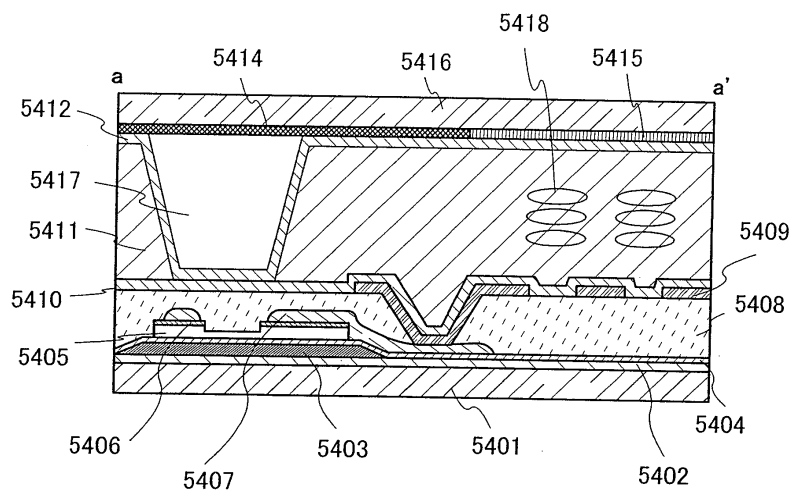
도면53a



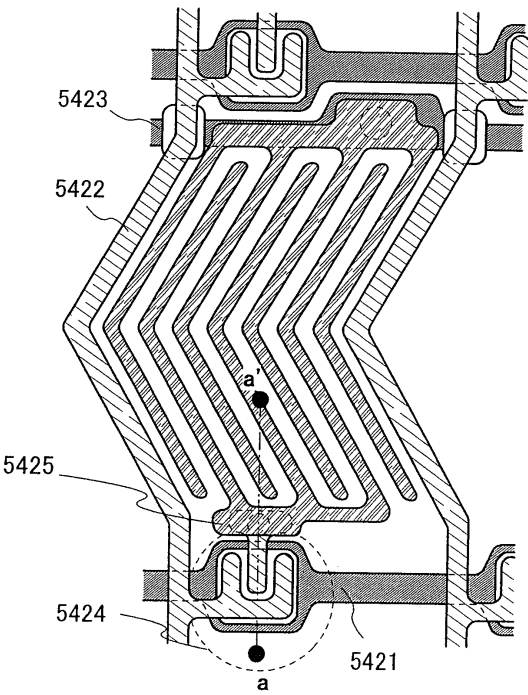
도면53b



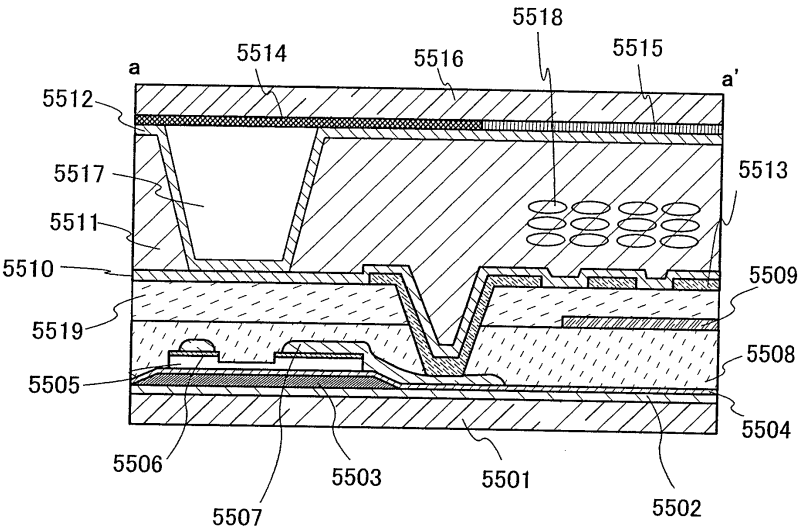
도면54a



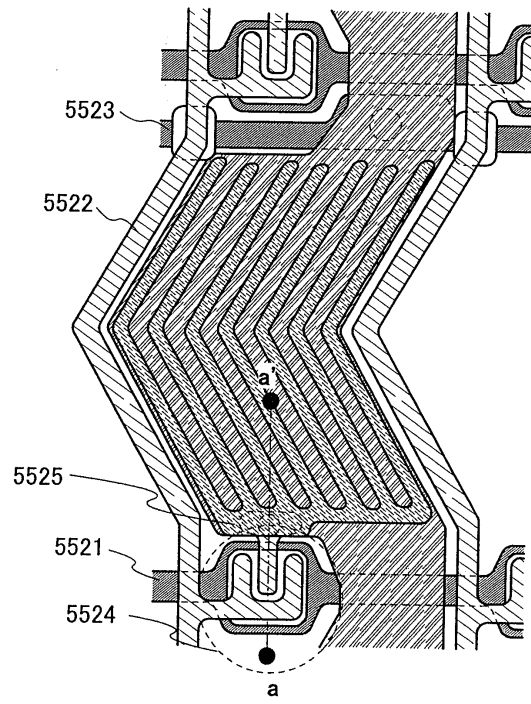
도면54b



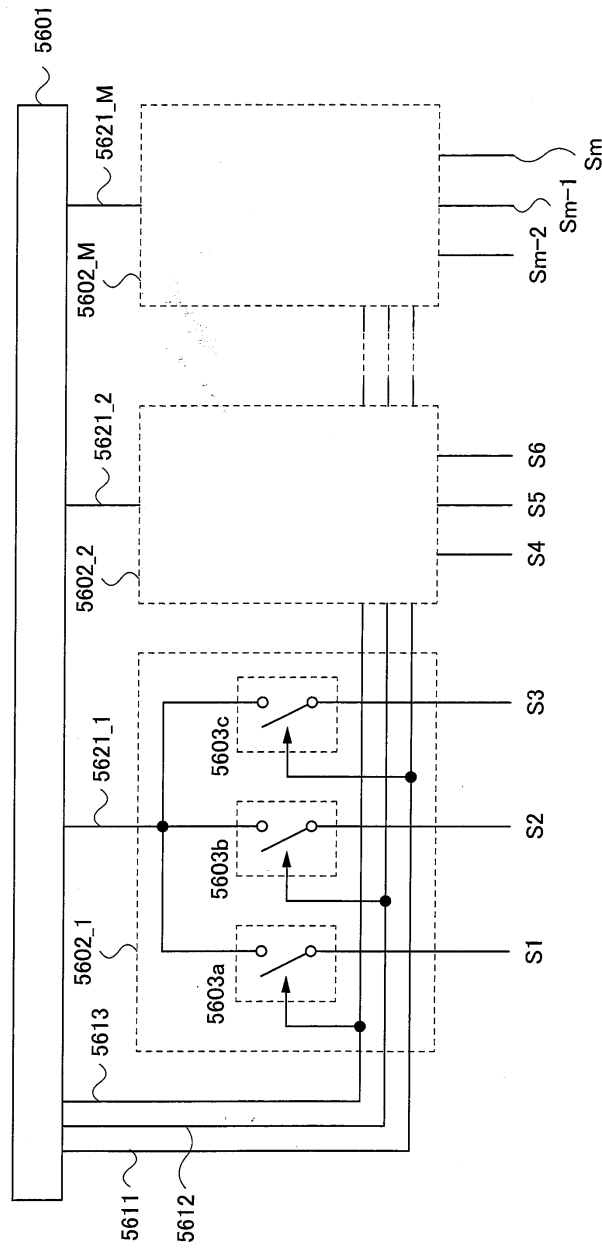
도면55a



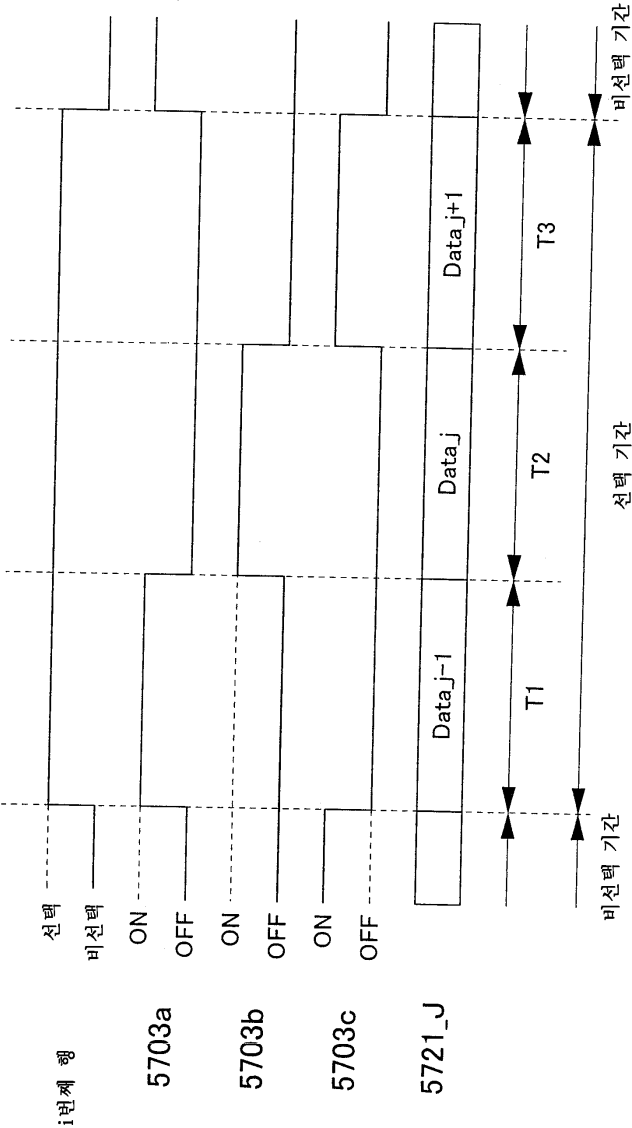
도면55b



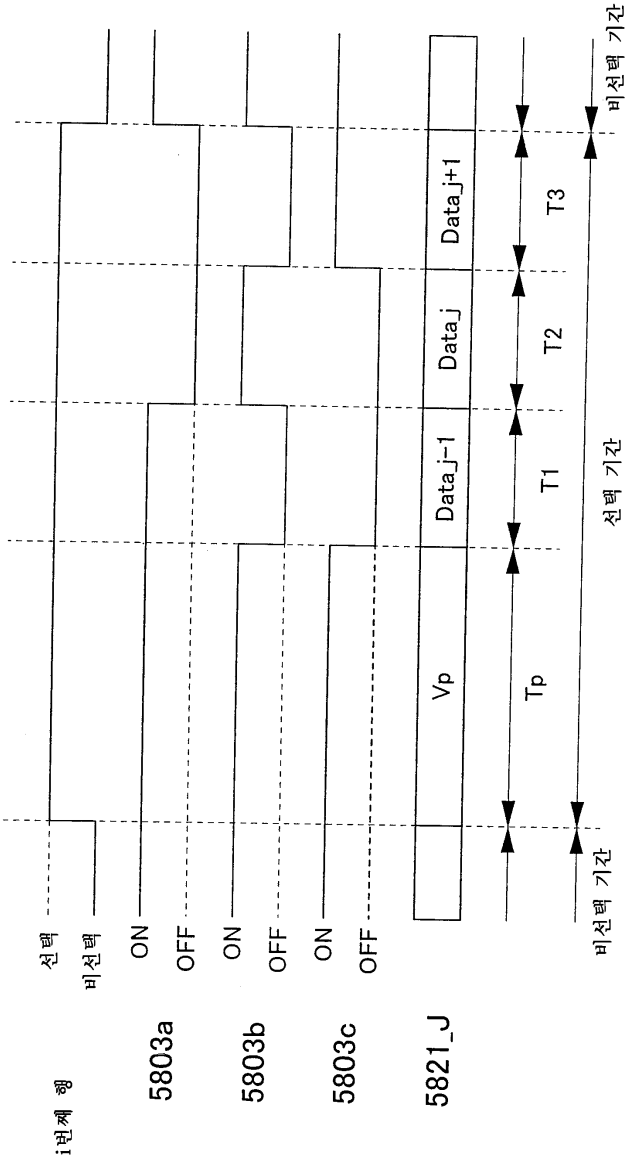
도면56



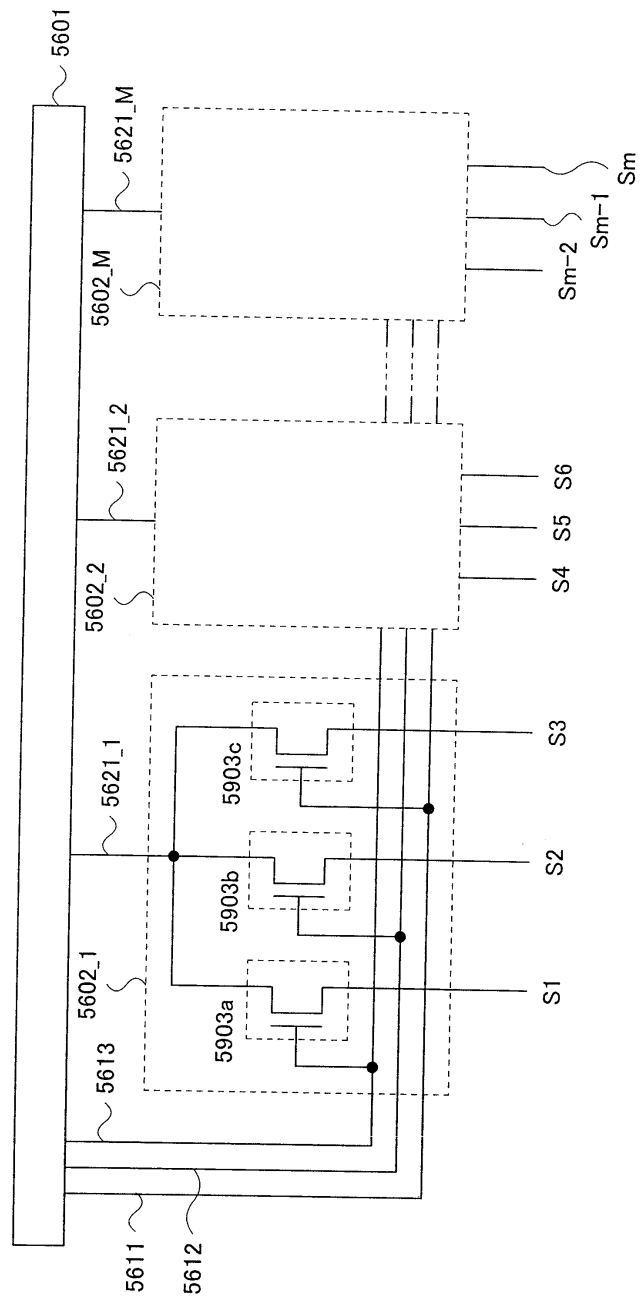
도면57



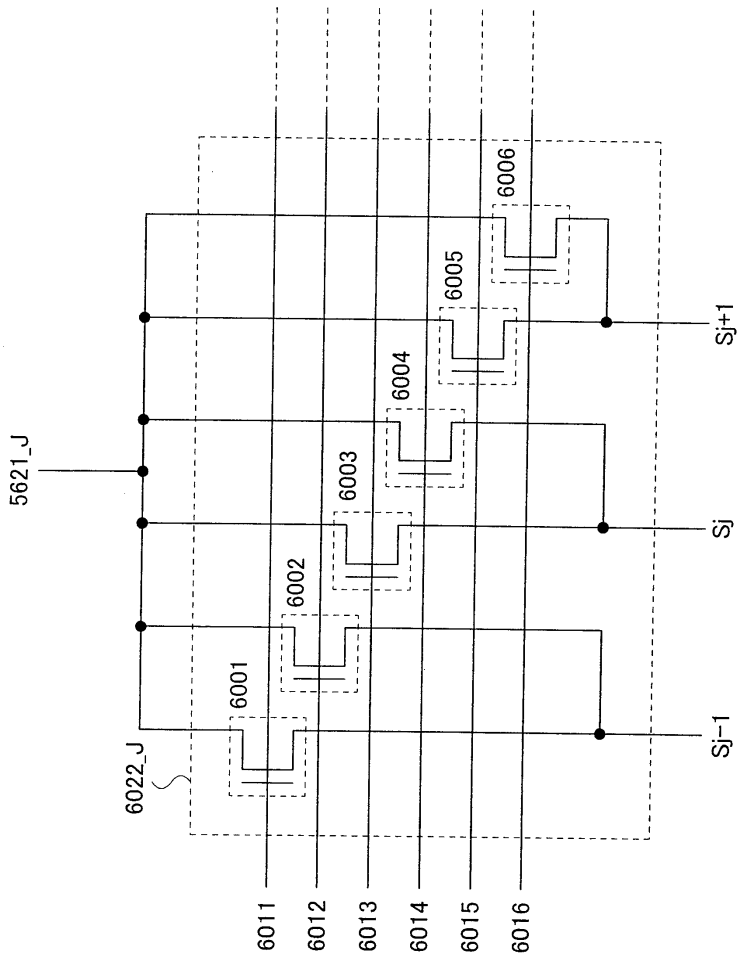
도면58



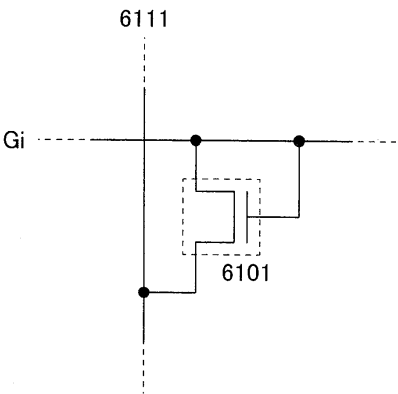
도면59



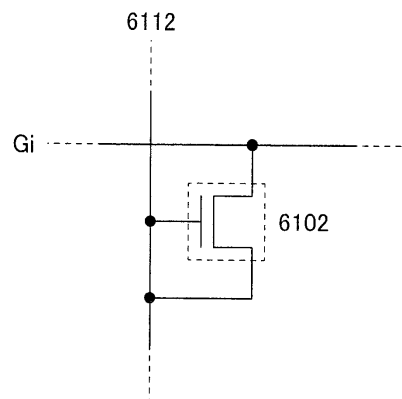
도면60



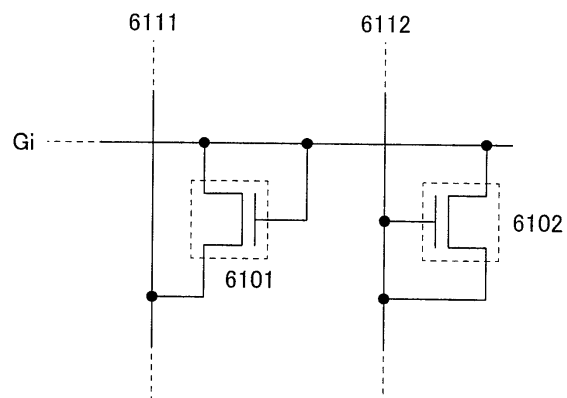
도면61a



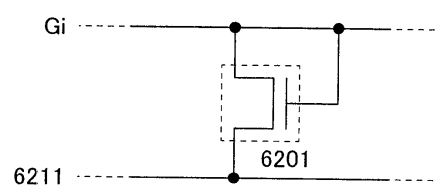
도면61b



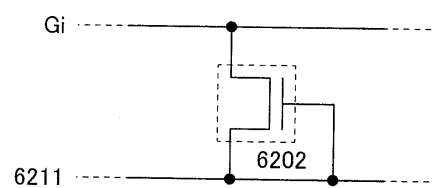
도면61c



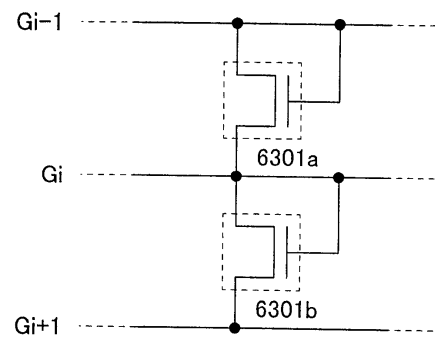
도면62a



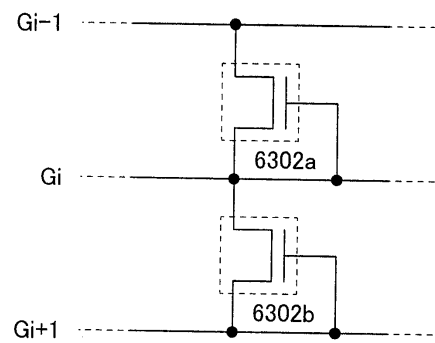
도면62b



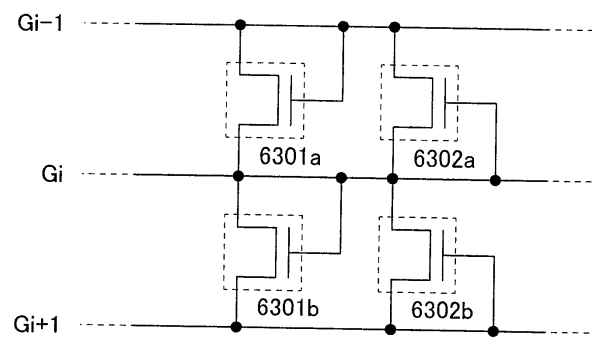
도면63a



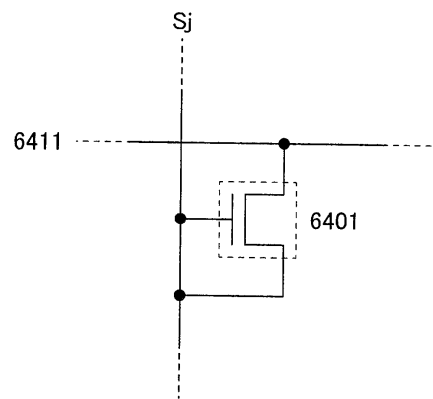
도면63b



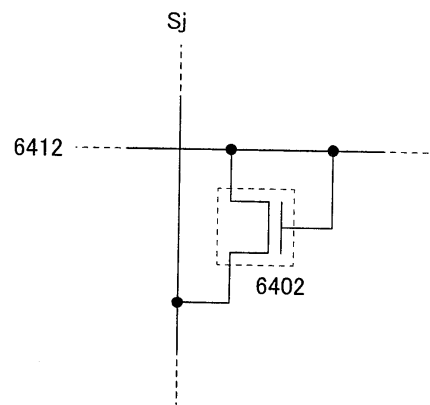
도면63c



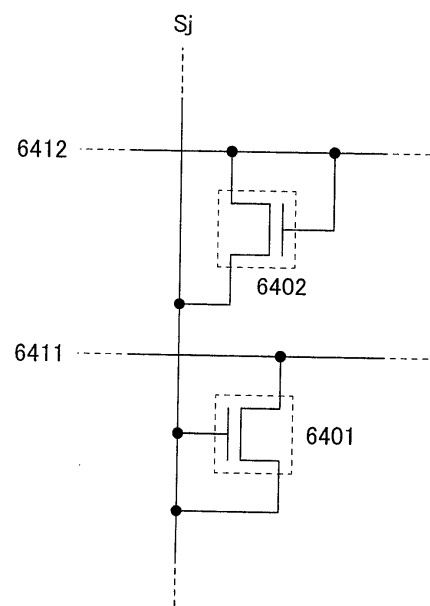
도면64a



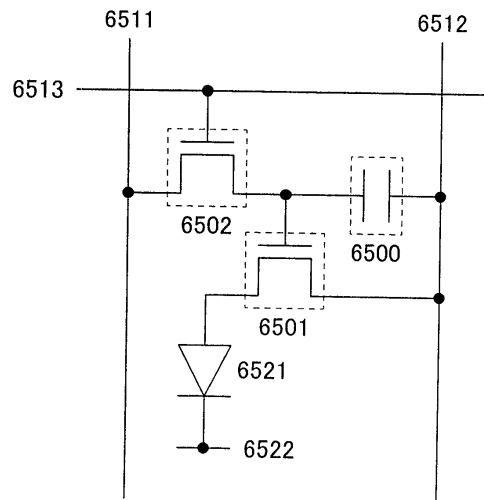
도면64b



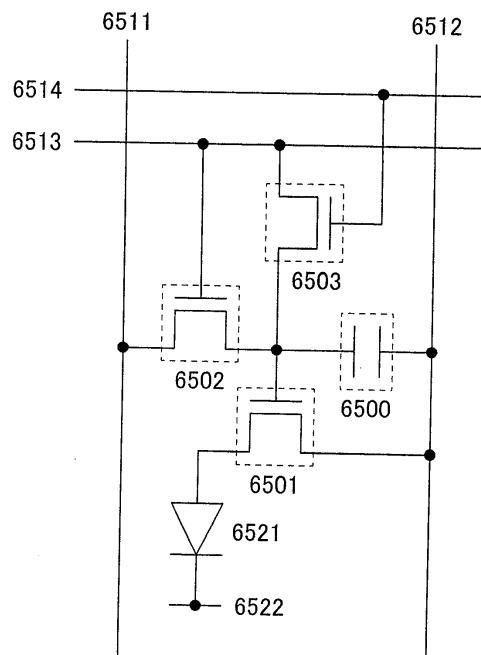
도면64c



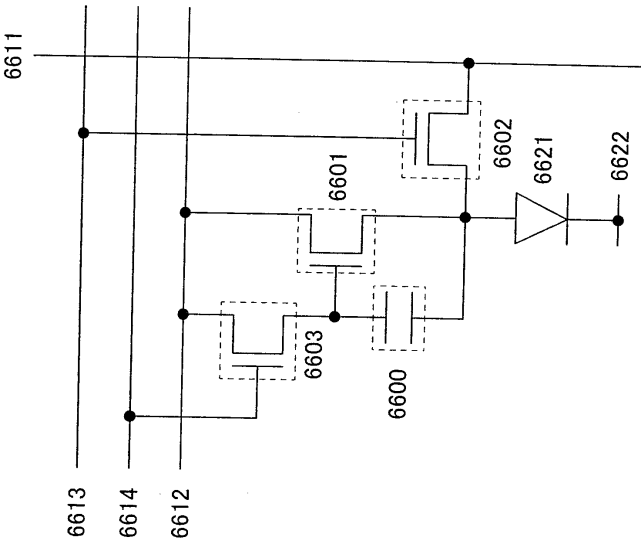
도면65a



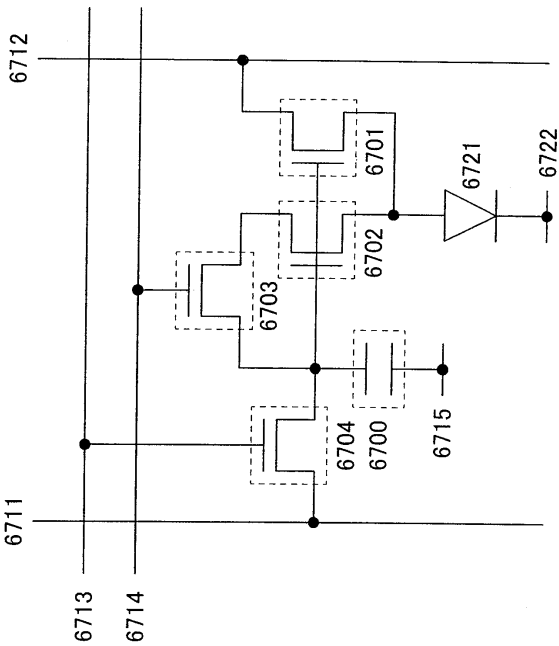
도면65b



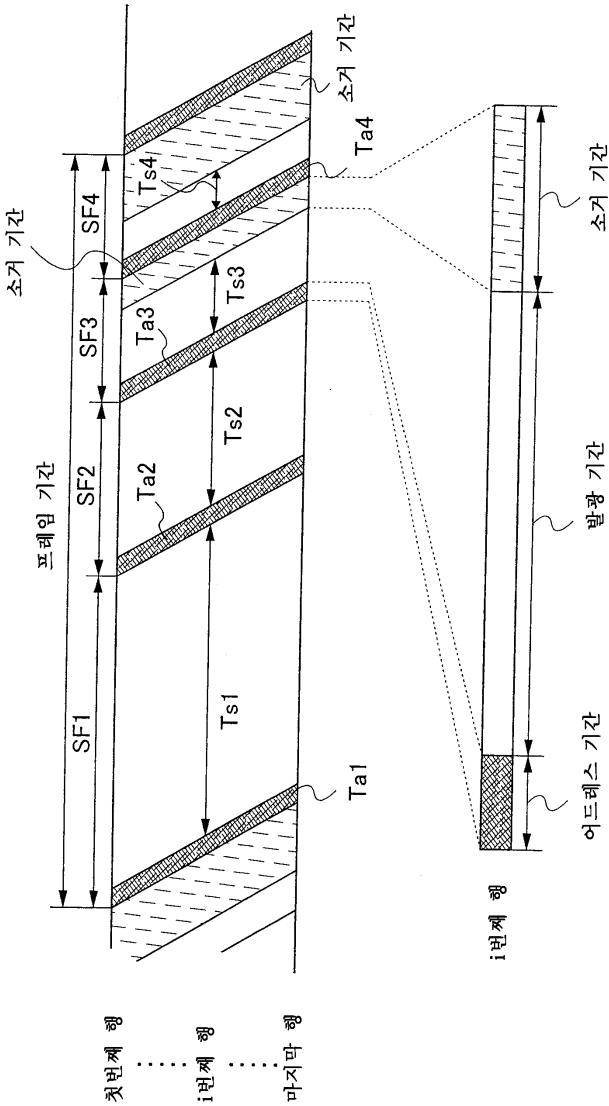
도면66



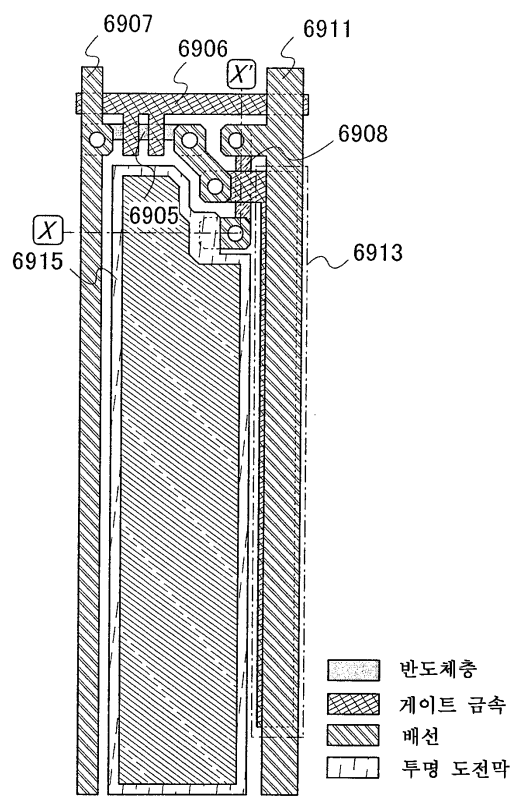
도면67



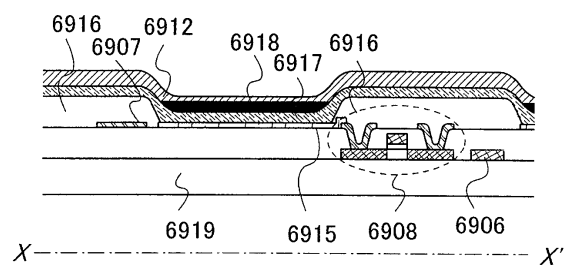
도면68



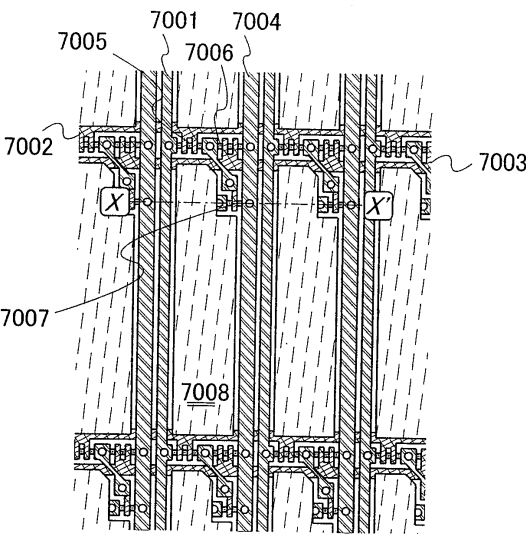
도면69a



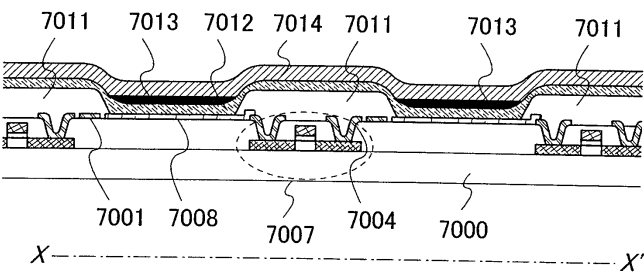
도면69b



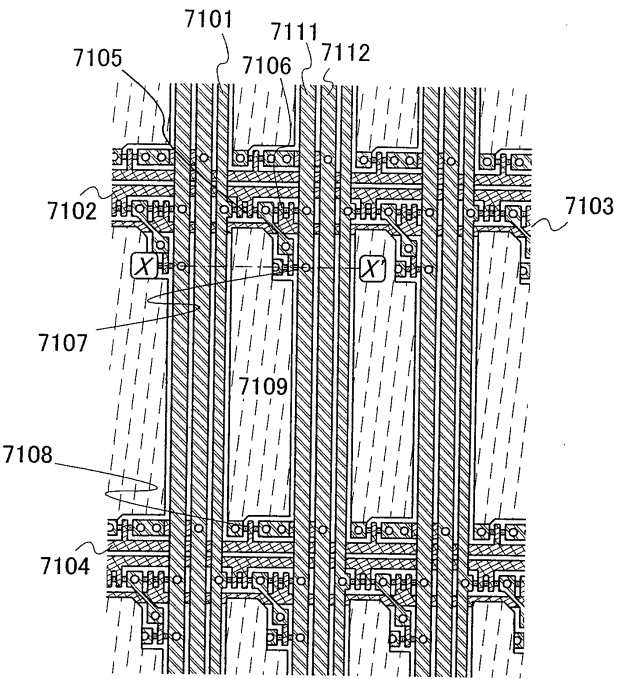
도면70a



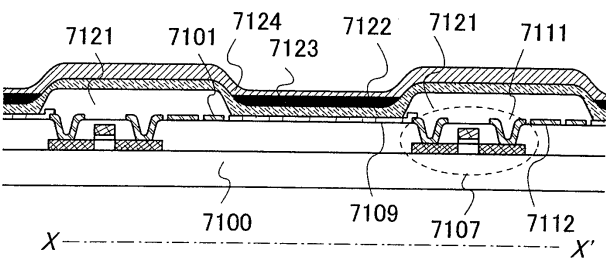
도면70b



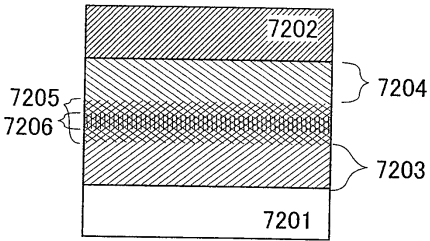
도면71a



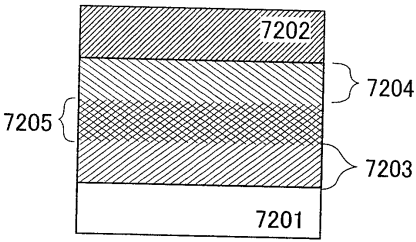
도면71b



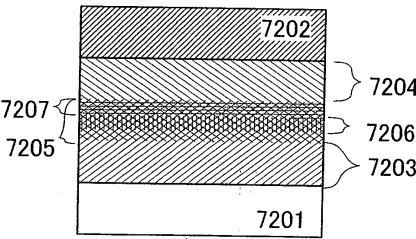
도면72a



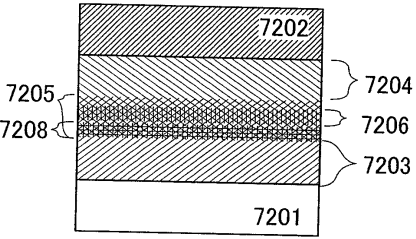
도면72b



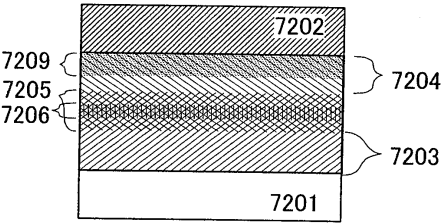
도면72c



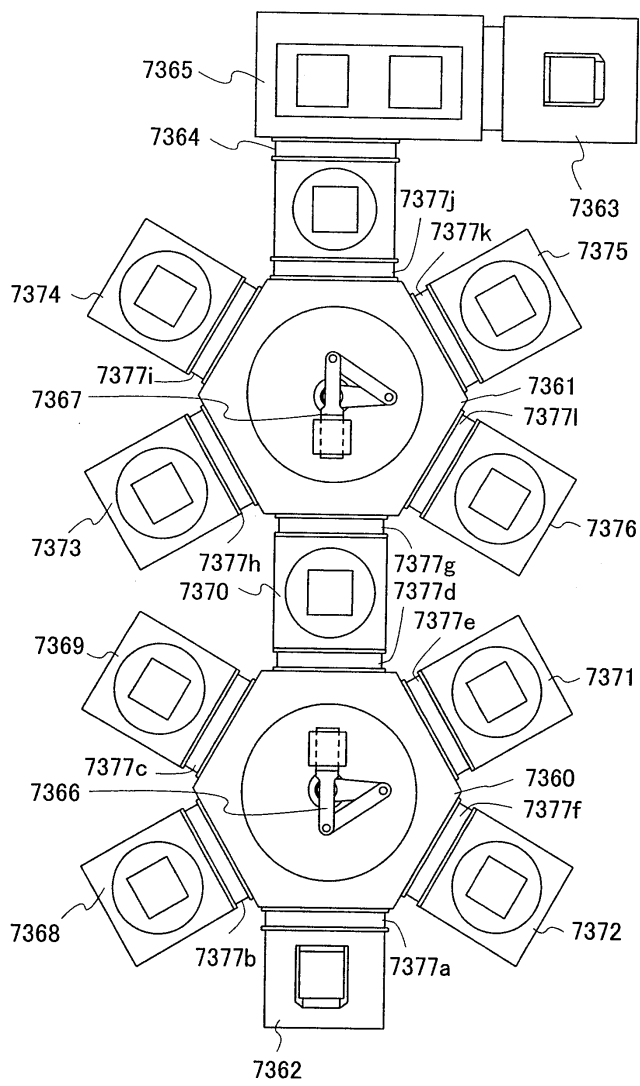
도면72d



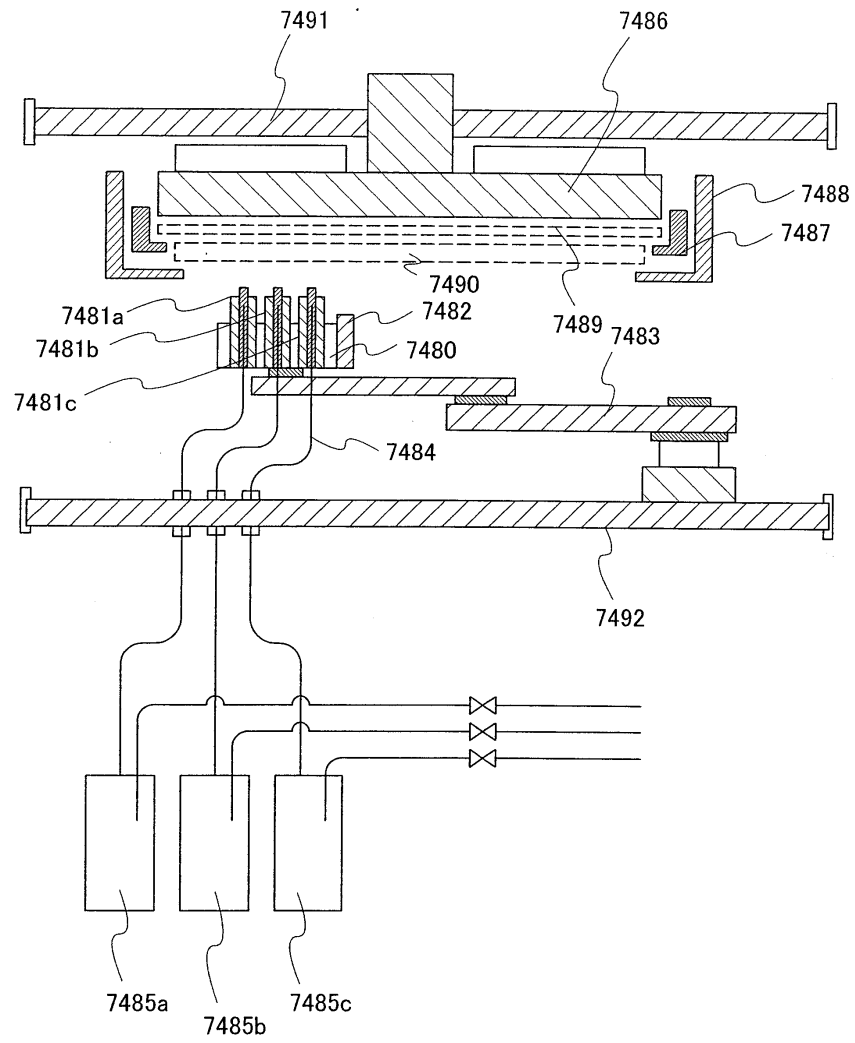
도면72e



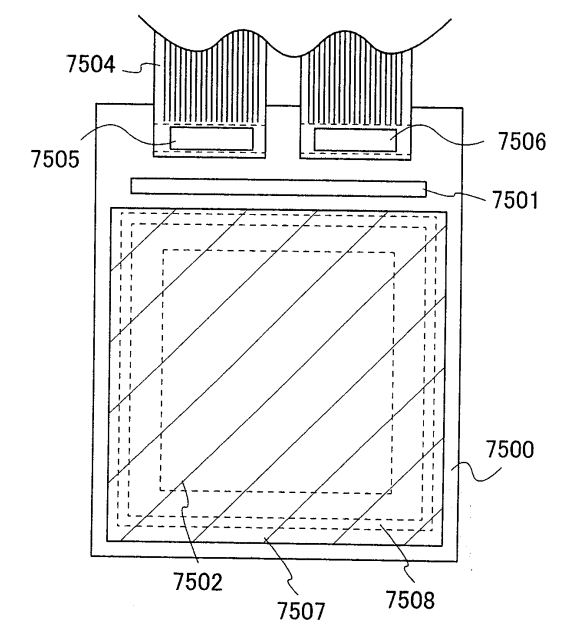
도면73



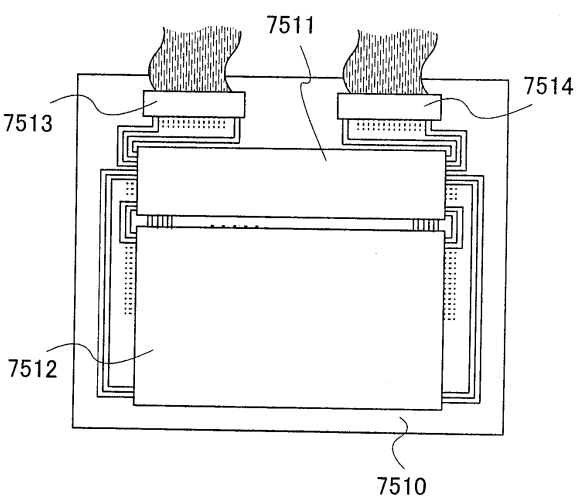
도면74



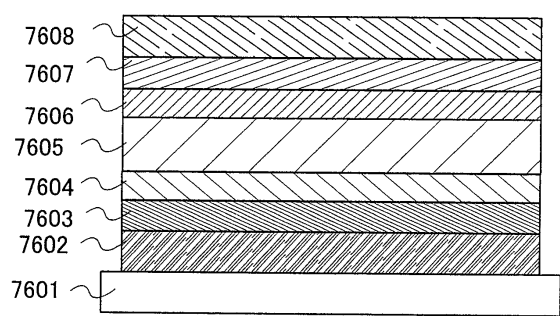
도면75a



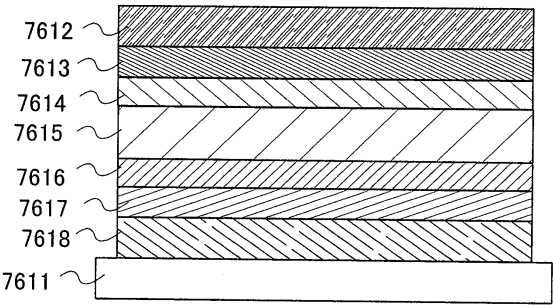
도면75b



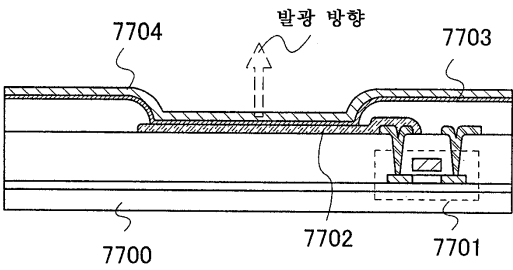
도면76a



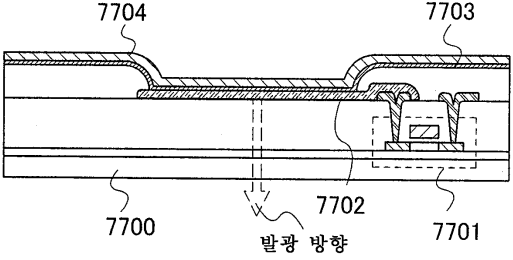
도면76b



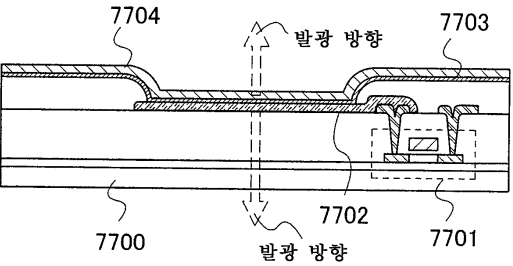
도면77a



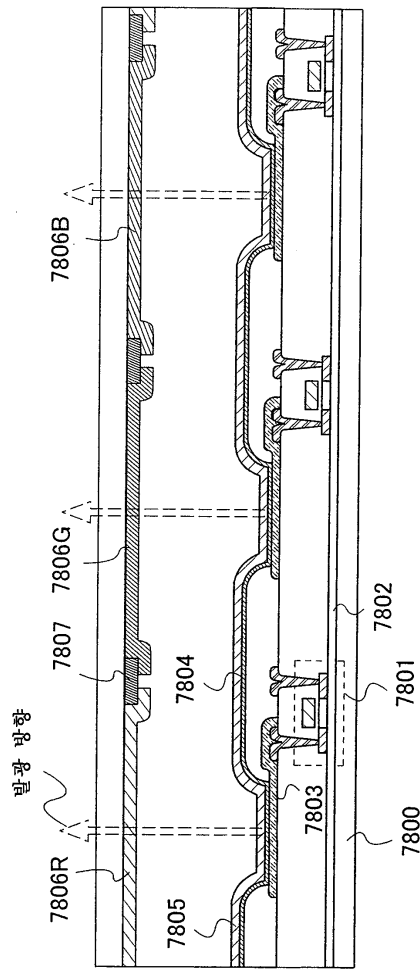
도면77b



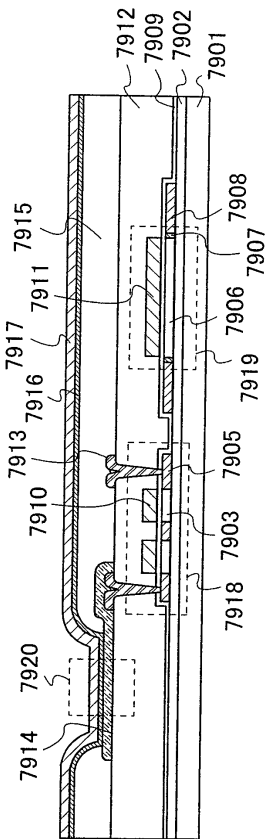
도면77c



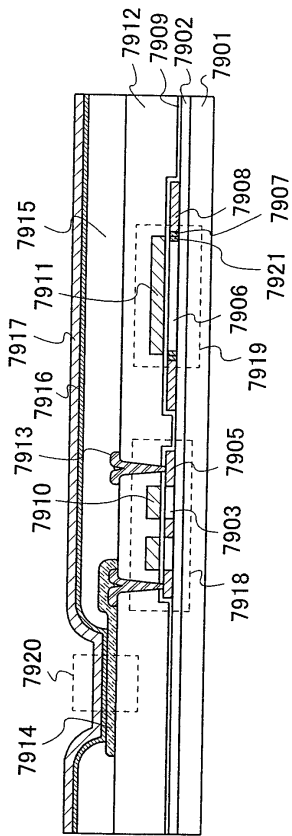
도면78



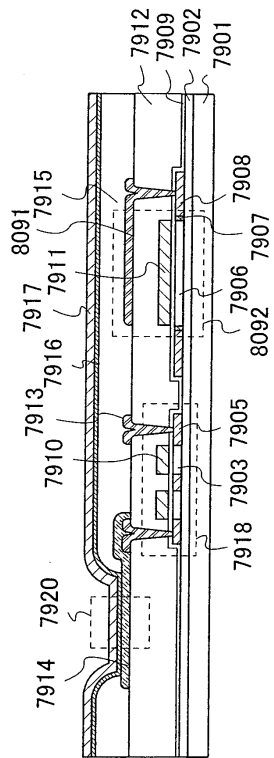
도면79a



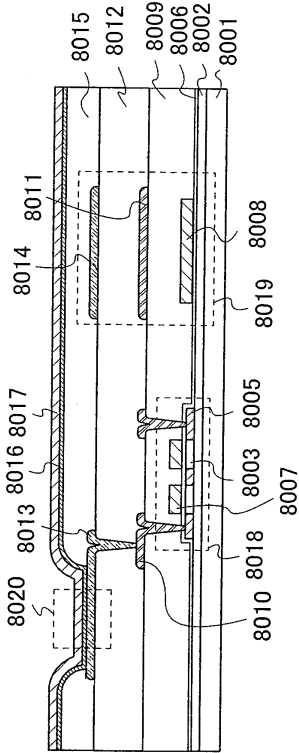
도면79b



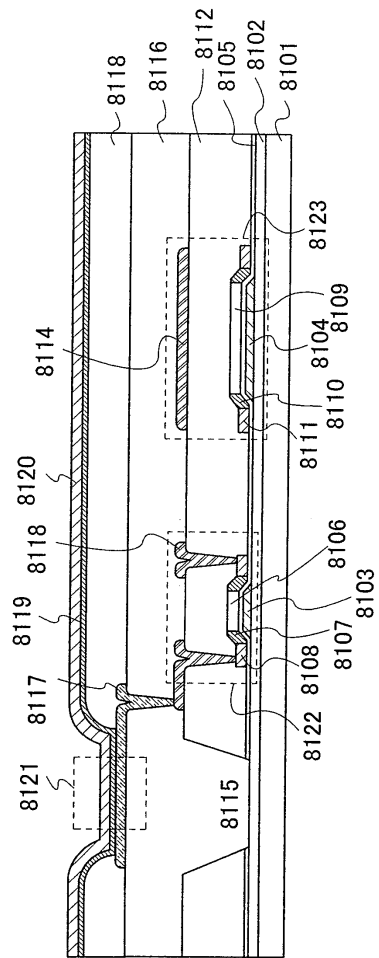
도면80a



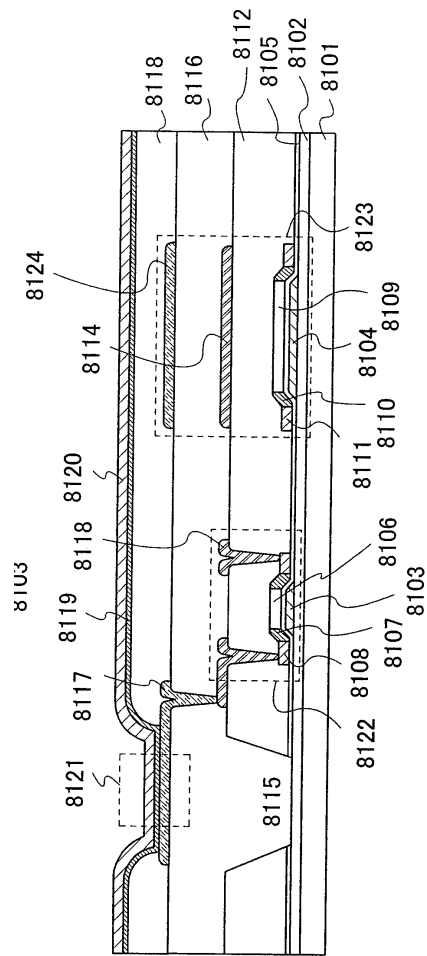
도면80b



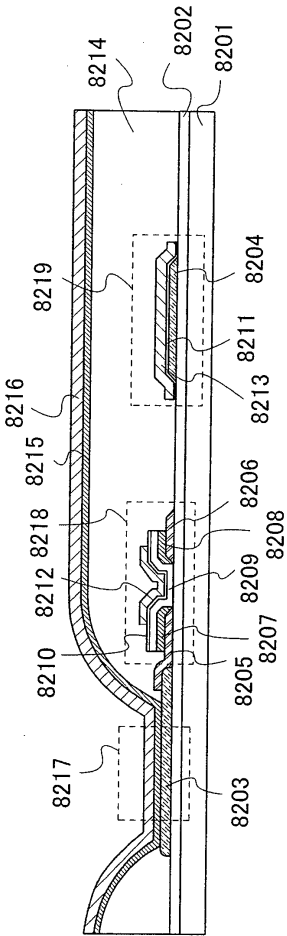
도면81a



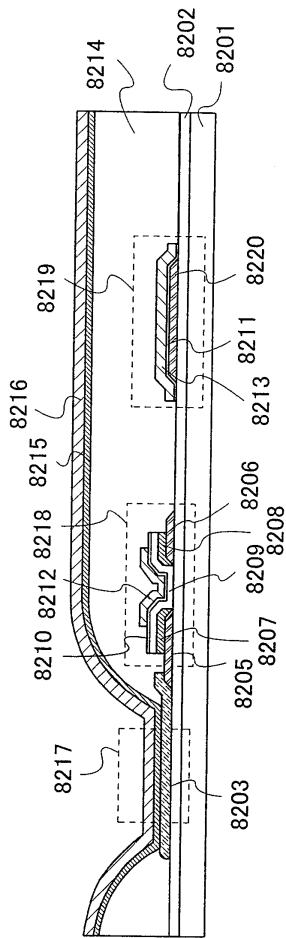
도면81b



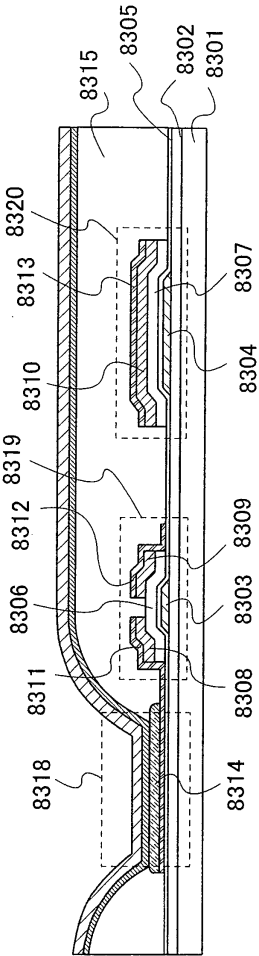
도면82a



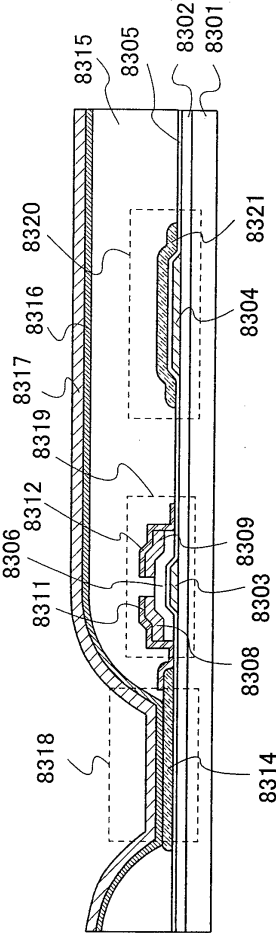
도면82b



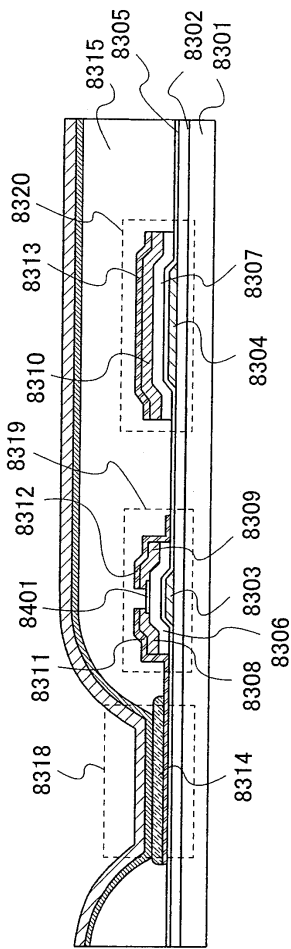
도면83a



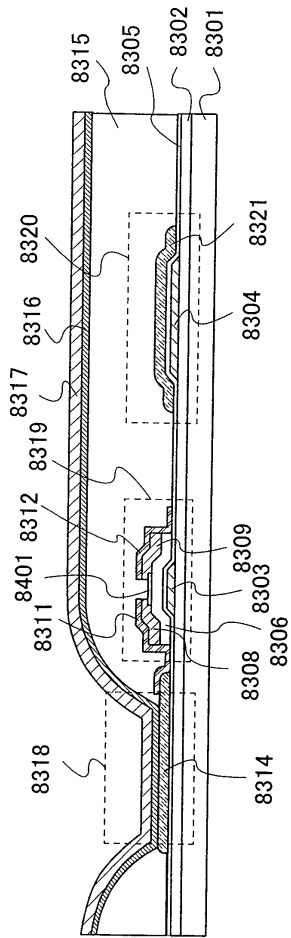
도면83b



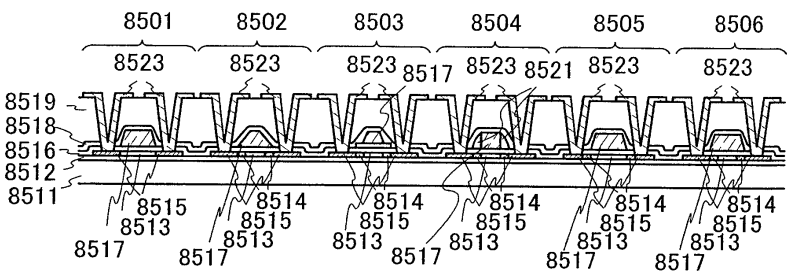
도면84a



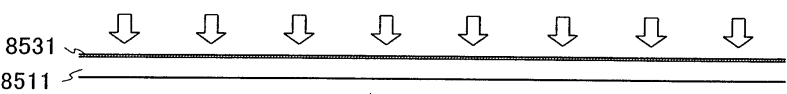
도면84b



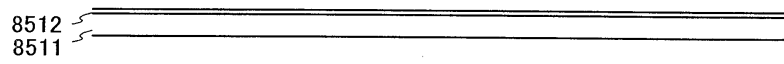
도면85a



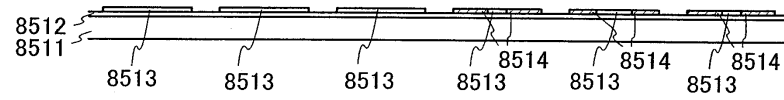
도면85b



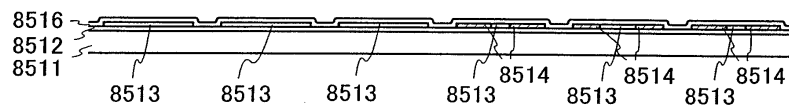
도면85c



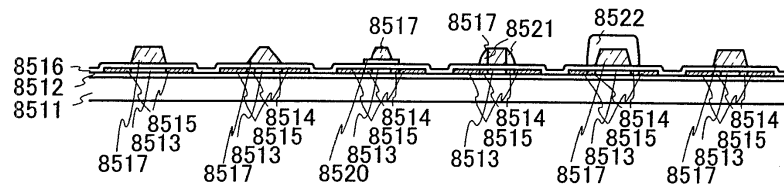
도면85d



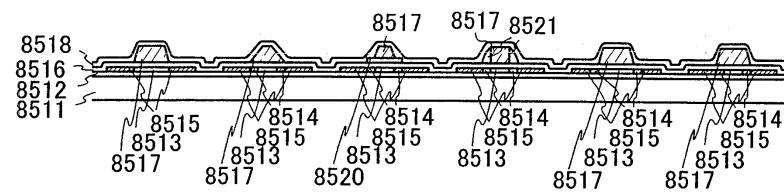
도면85e



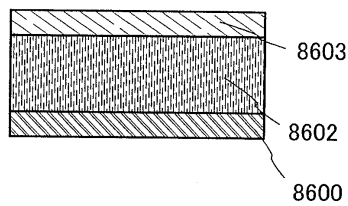
도면85f



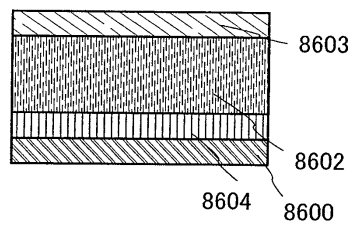
도면85g



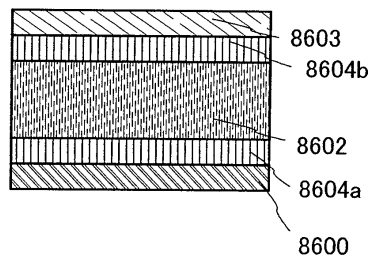
도면86a



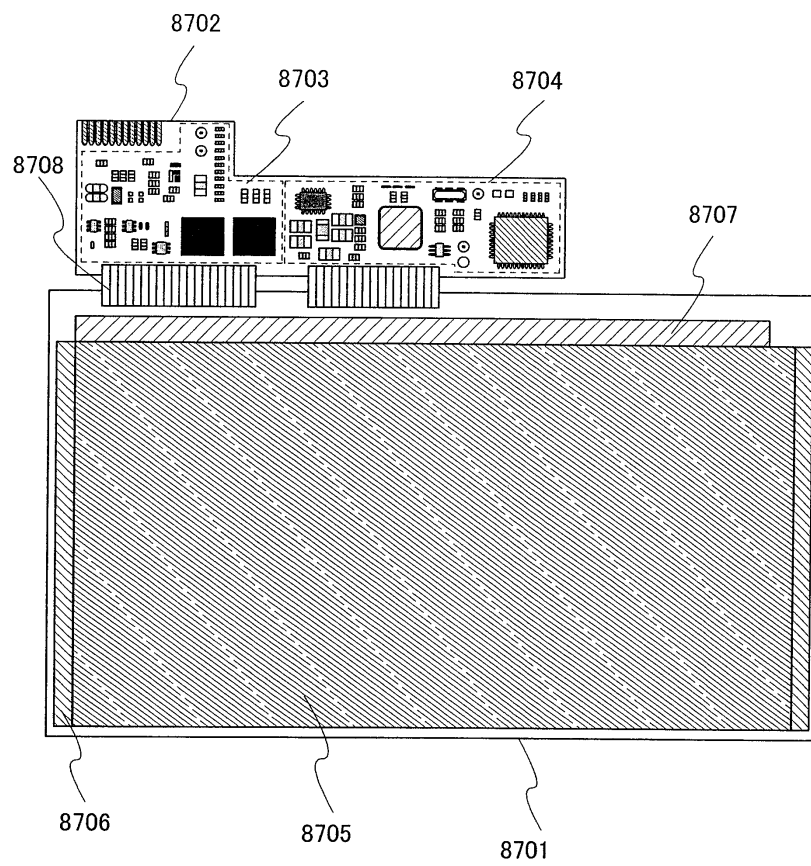
도면86b



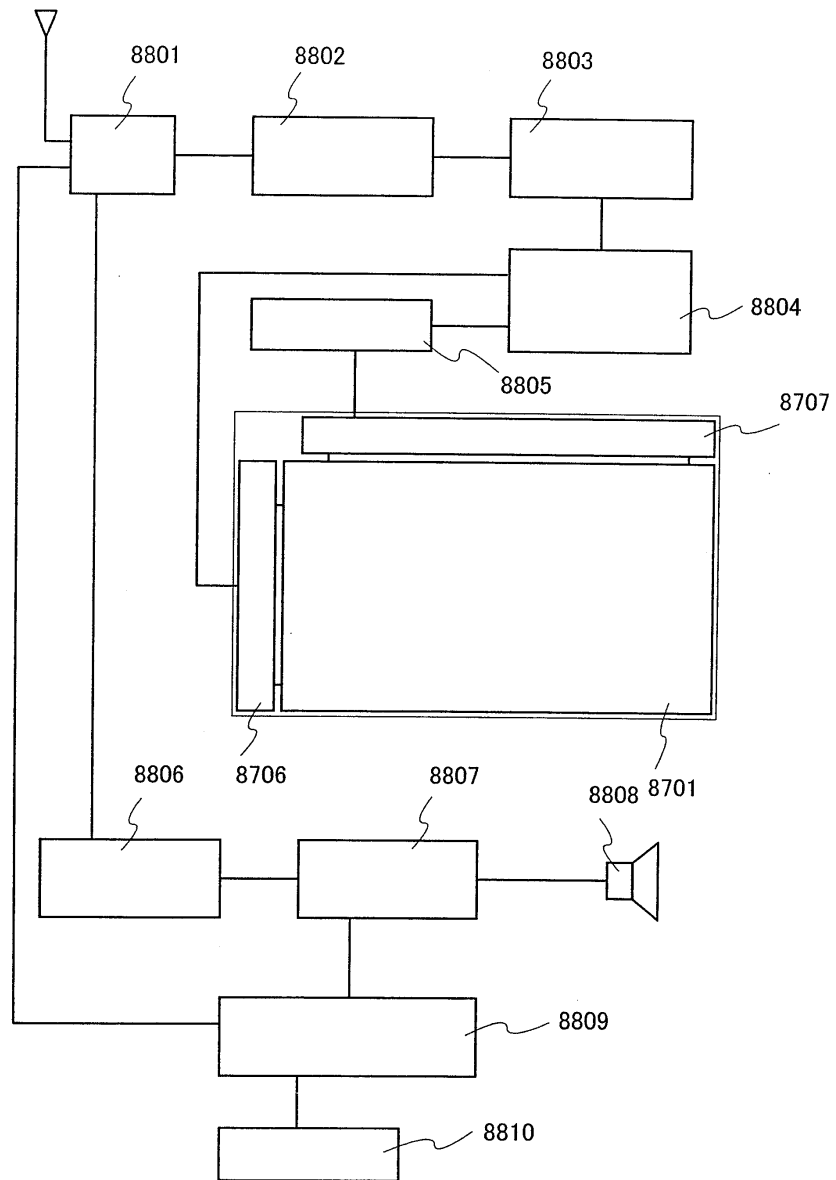
도면86c



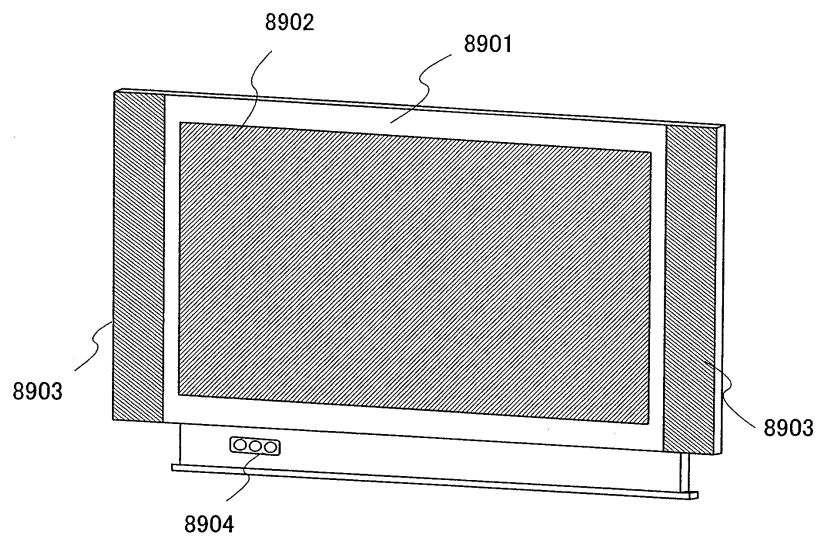
도면87



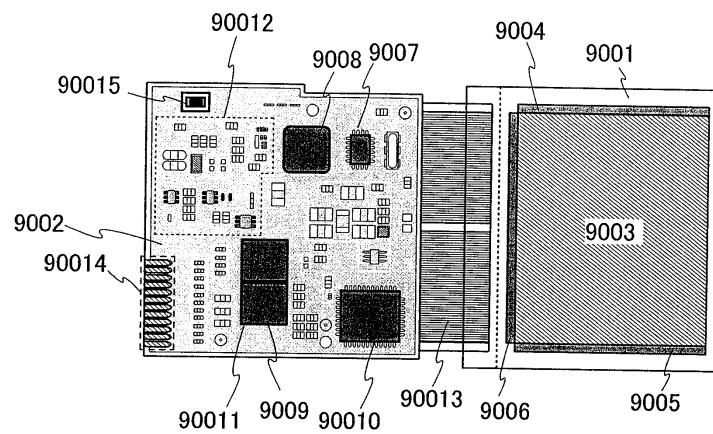
도면88



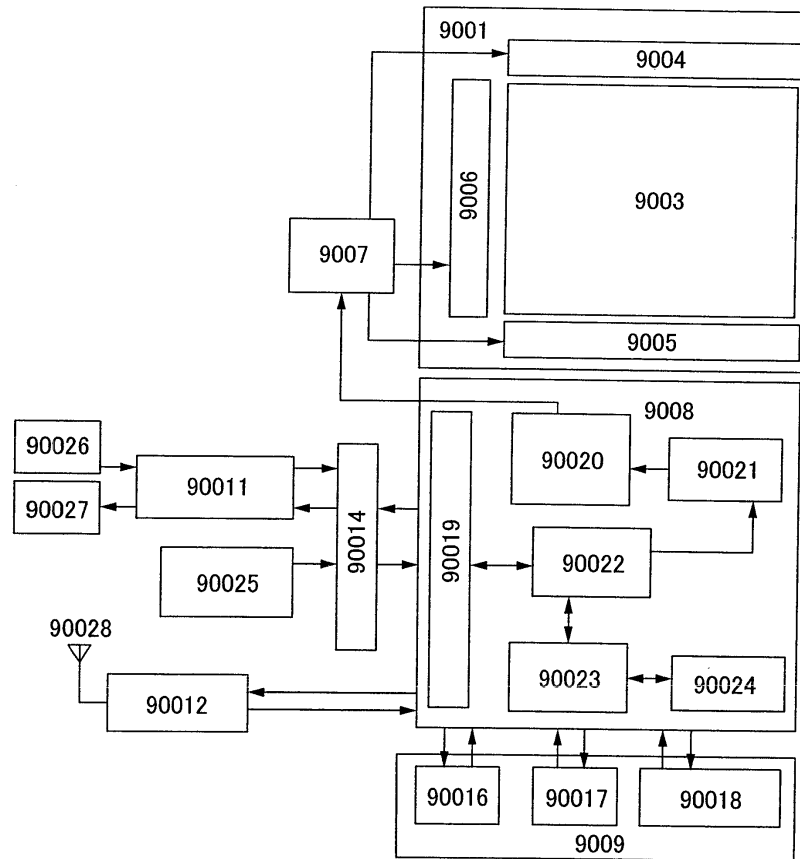
도면89



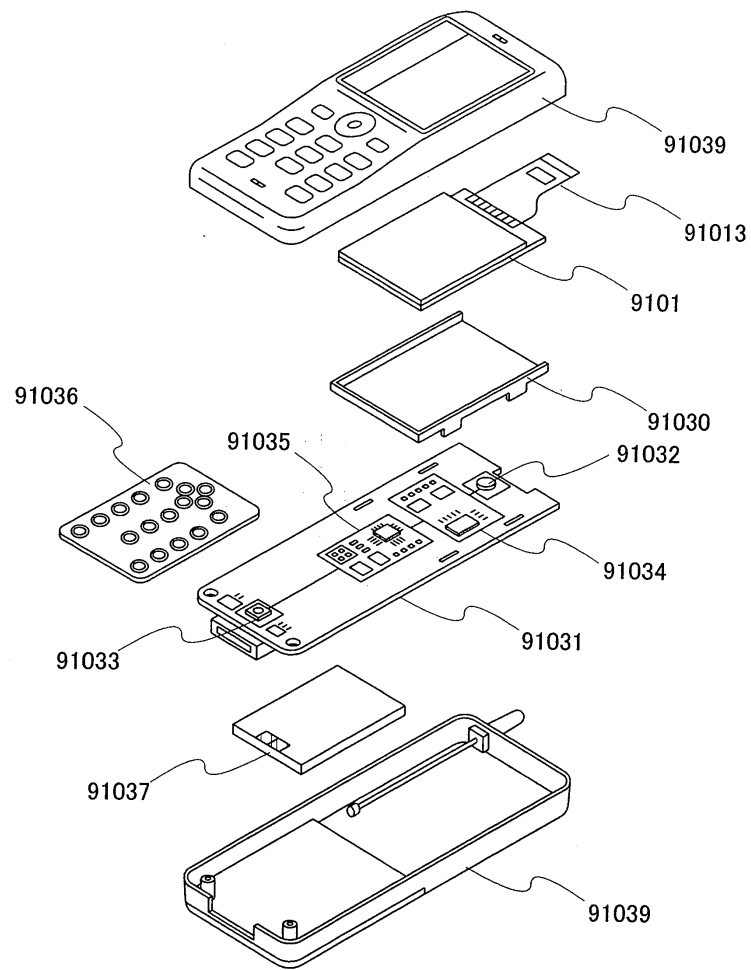
도면90a



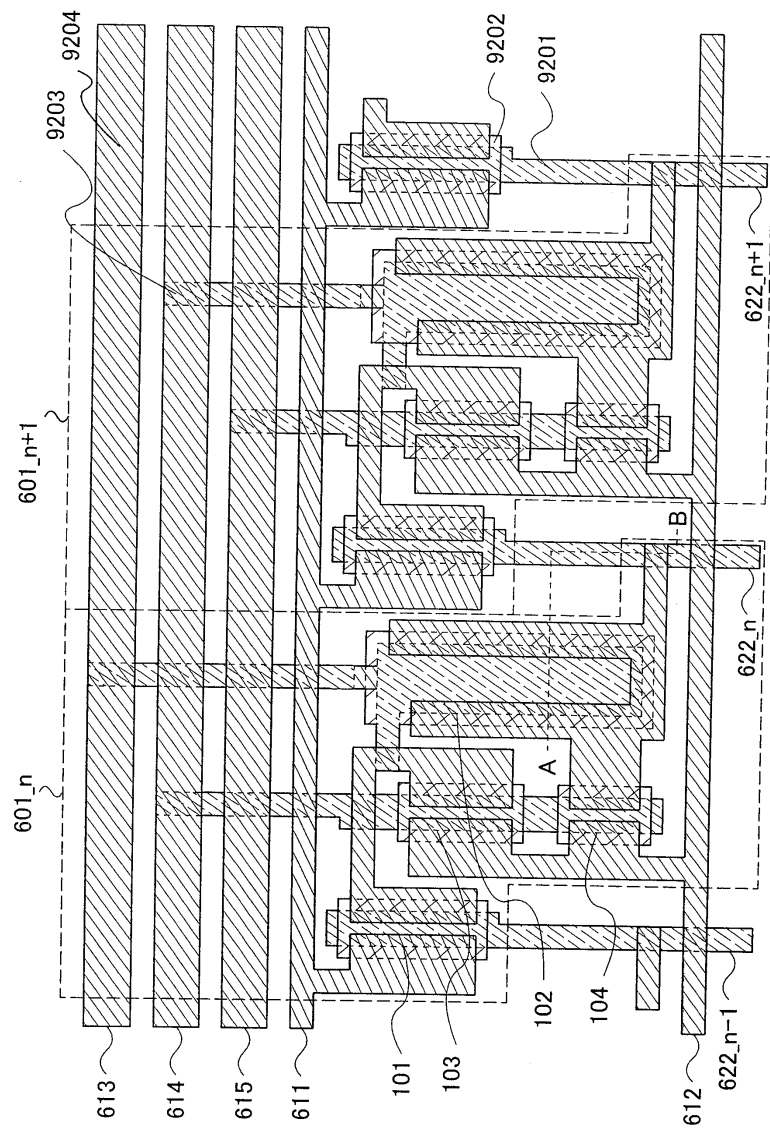
도면90b



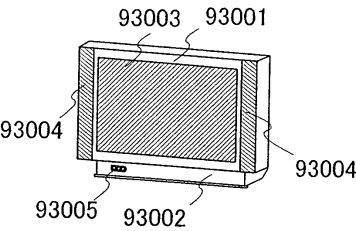
도면91



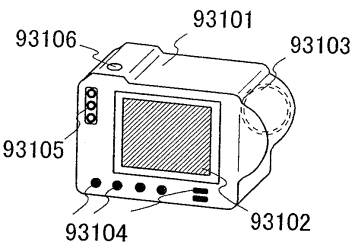
도면92



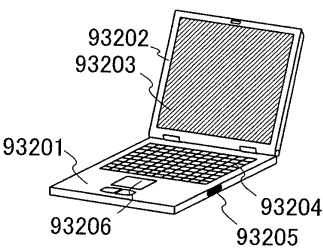
도면93a



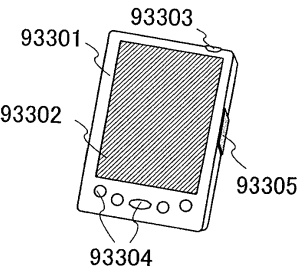
도면93b



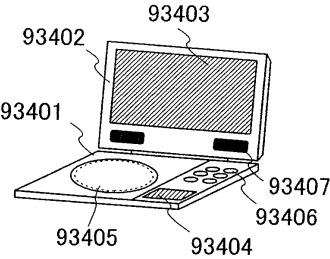
도면93c



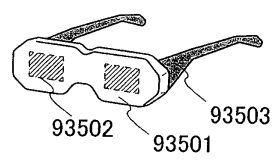
도면93d



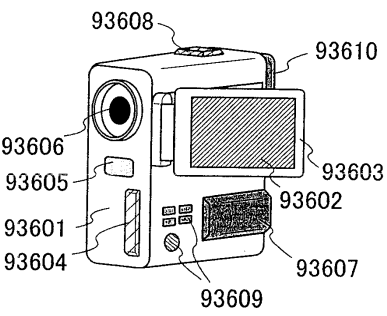
도면93e



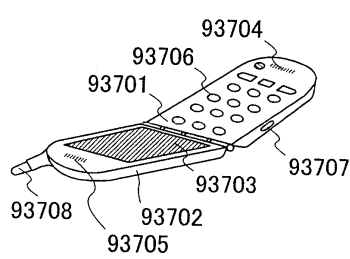
도면93f



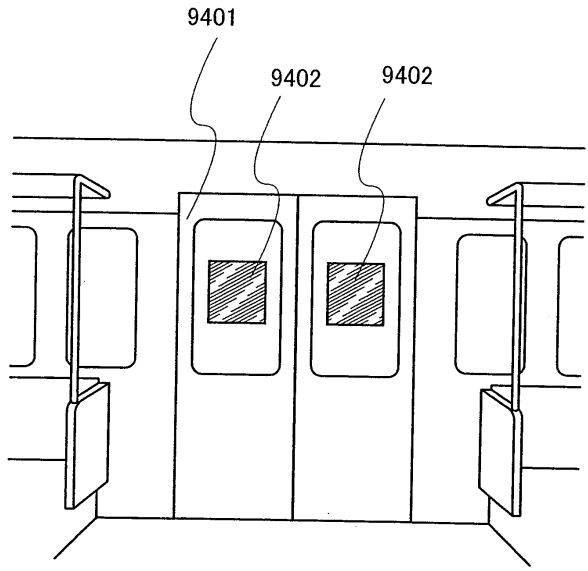
도면93g



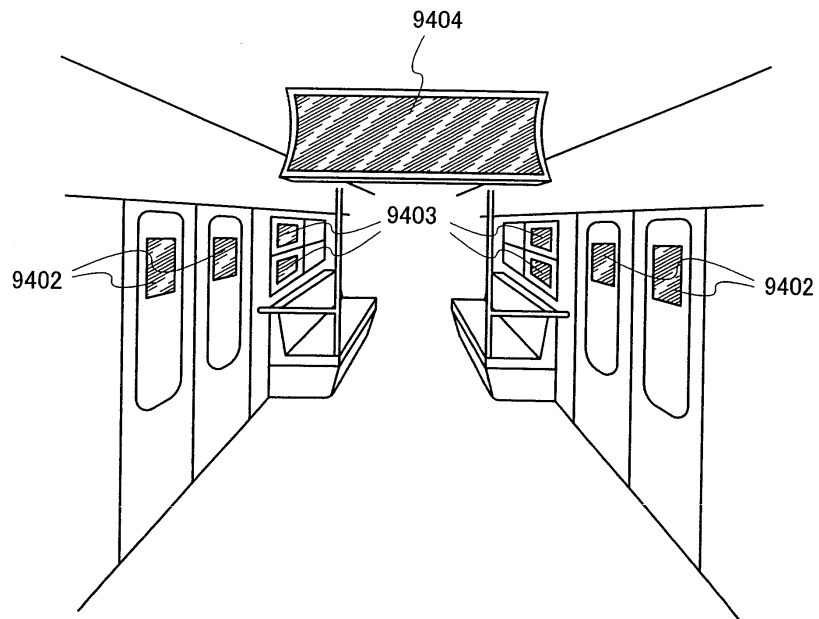
도면93h



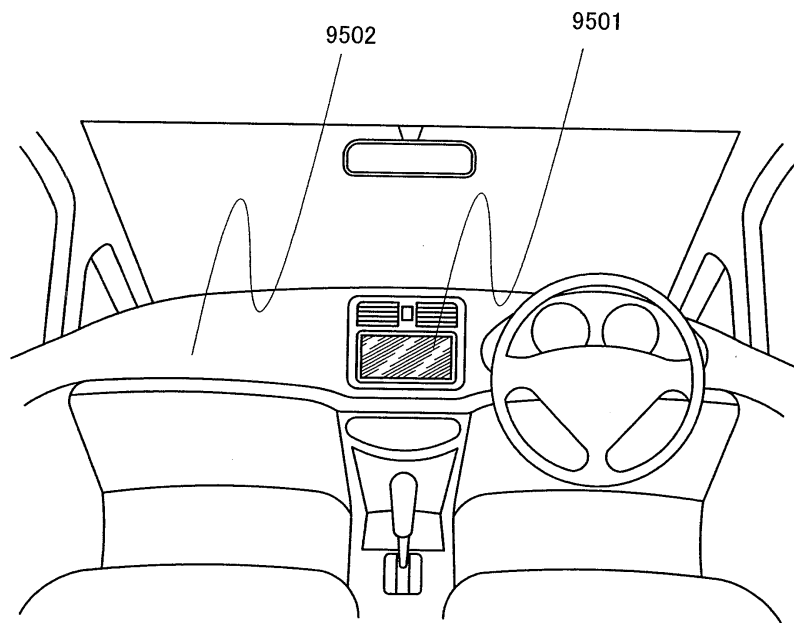
도면94a



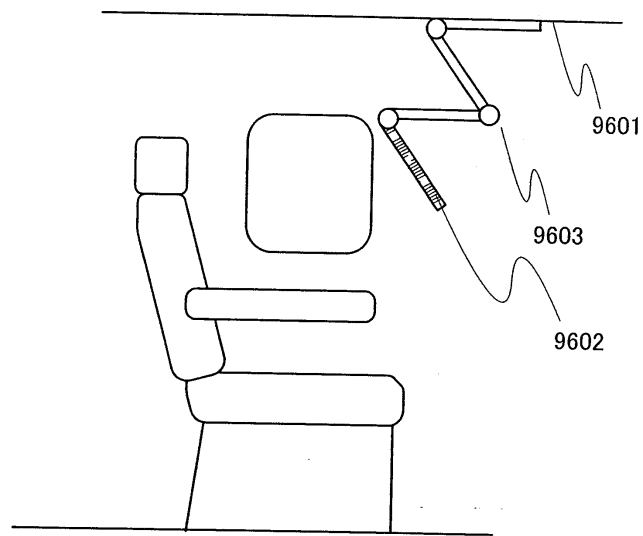
도면94b



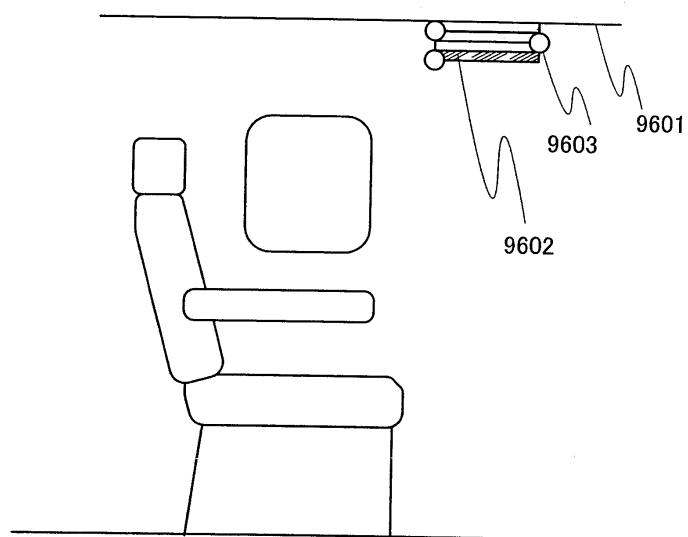
도면95



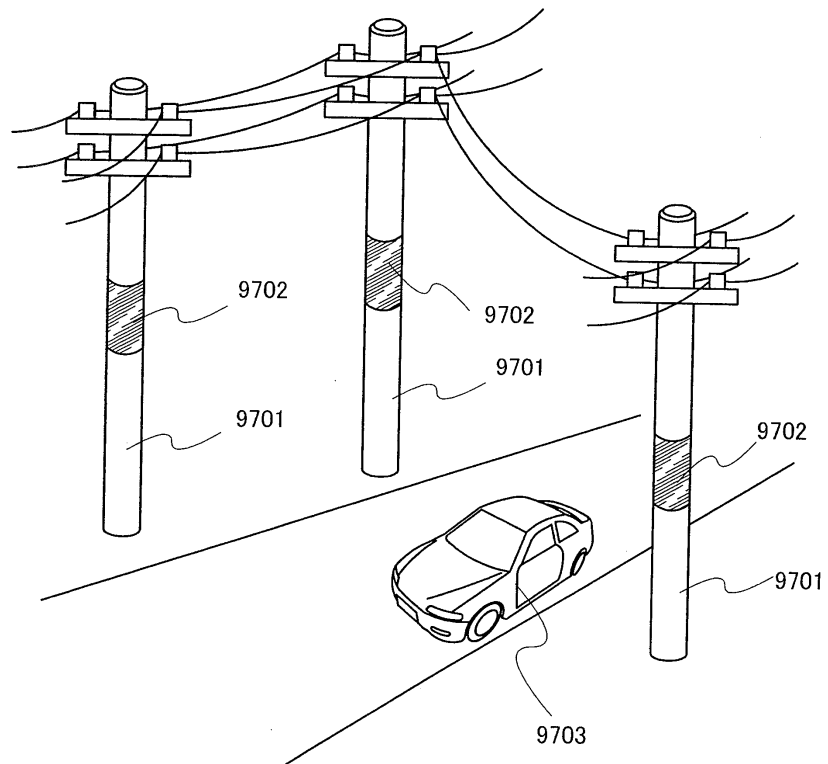
도면96a



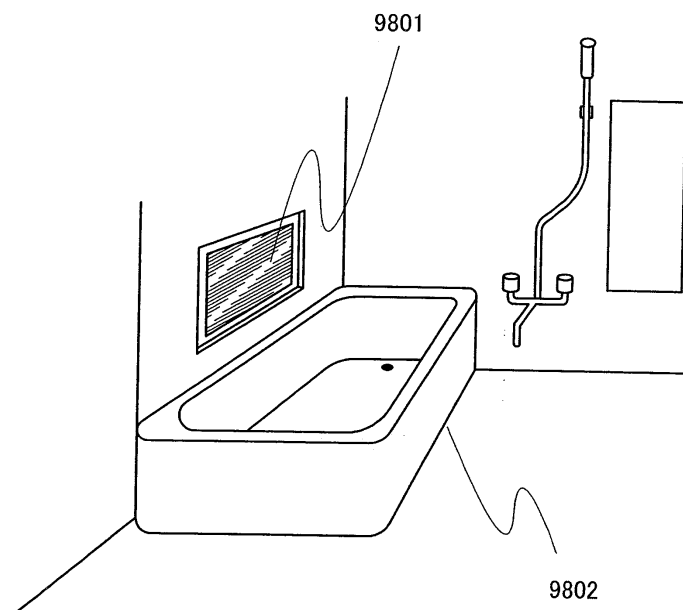
도면96b



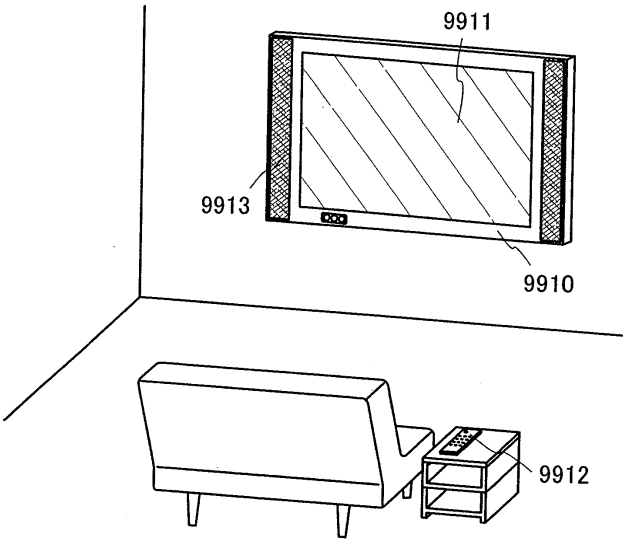
도면97



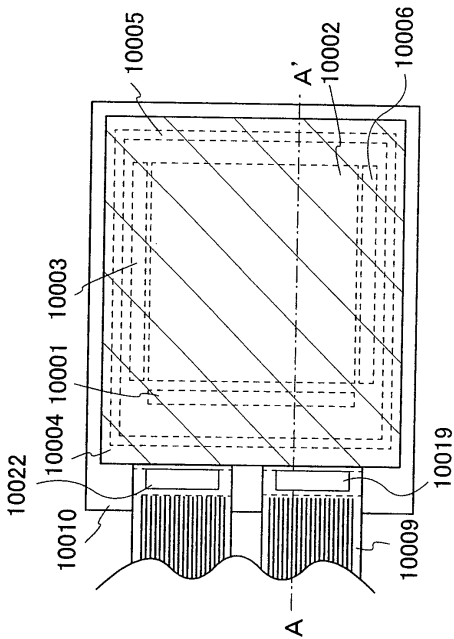
도면98



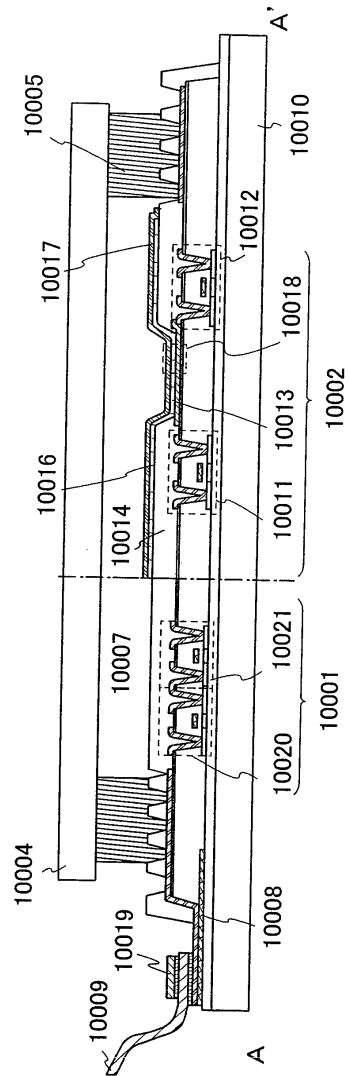
도면99



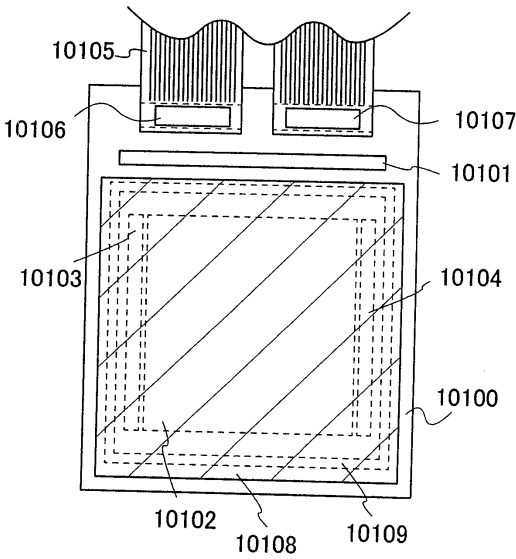
도면100a



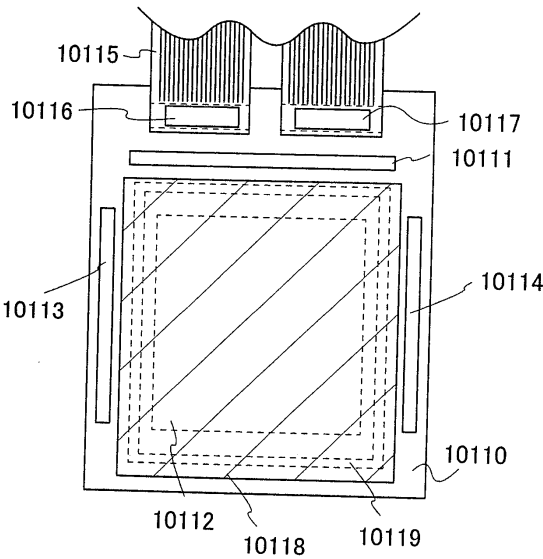
도면100b



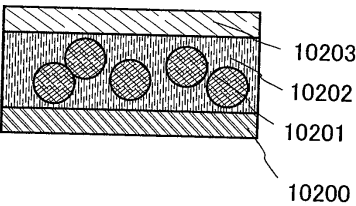
도면101a



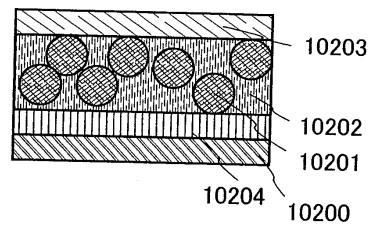
도면101b



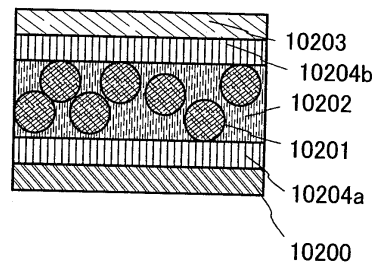
도면102a



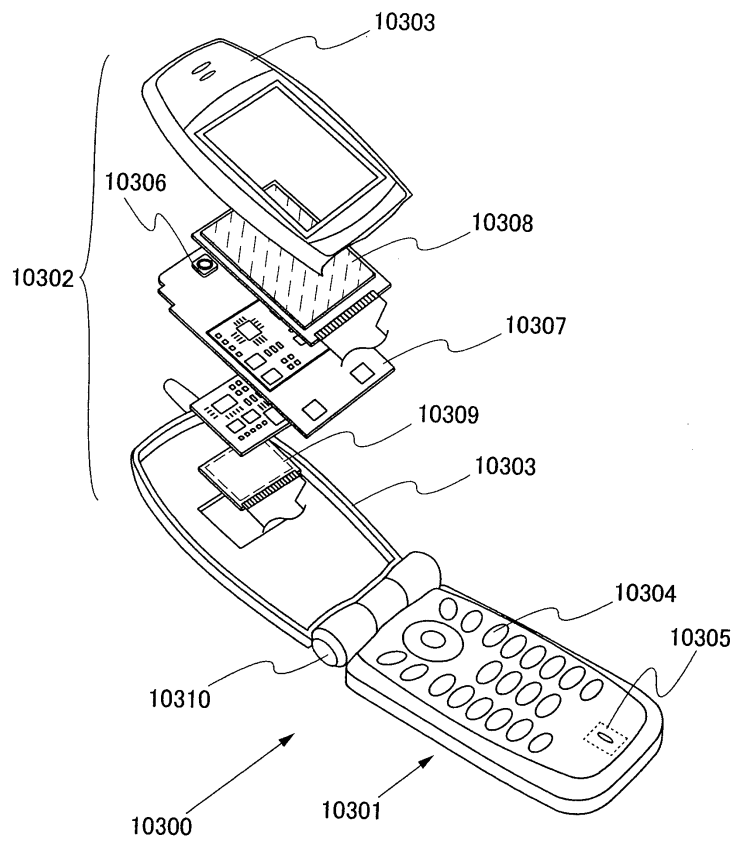
도면102b



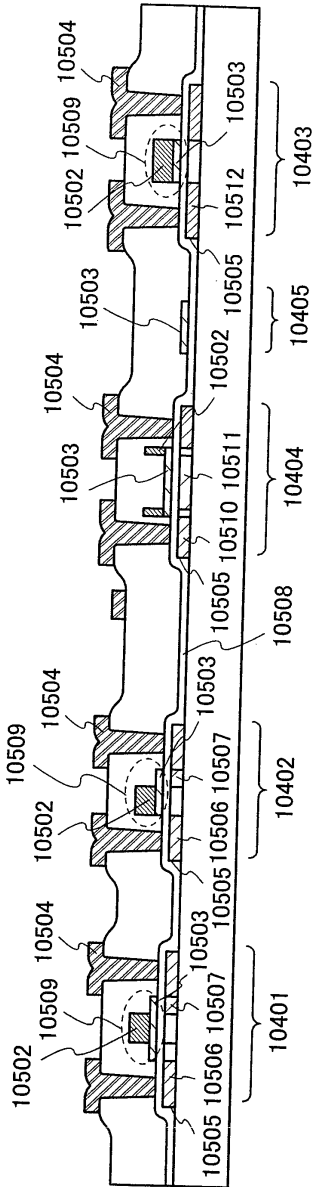
도면102c



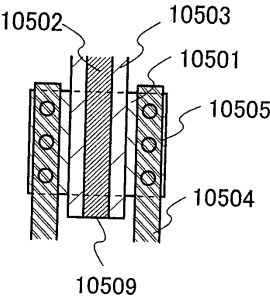
도면103



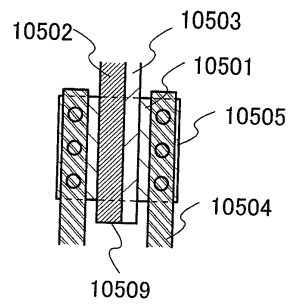
도면104



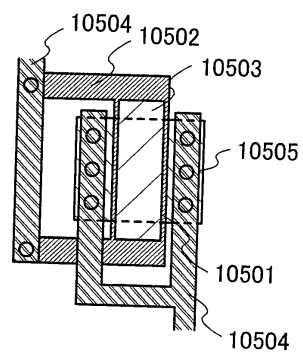
도면105a



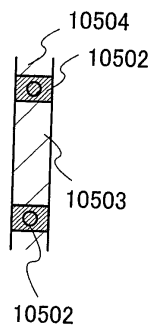
도면105b



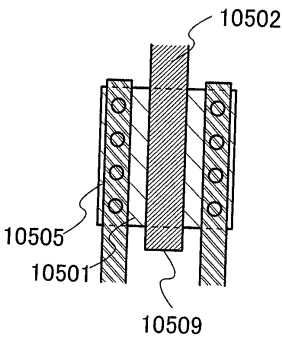
도면105c



도면105d



도면105e



专利名称(译)	液晶显示器		
公开(公告)号	KR101427081B1	公开(公告)日	2014-08-07
申请号	KR1020070088465	申请日	2007-08-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	UMEZAKI ATSUSHI		
发明人	UMEZAKI ATSUSHI		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G09G2320/0252 G09G3/3655 G09G3/3674 H01L27/124 G09G3/342 H01L27/06 G09G2310/024 G02F1/133753 G02F2001/133622 H01L27/1255 H01L27/1225 G02F1/1393 G09G3/3685 H01L27/15 H01L27/3213 H01L27/3216 A42B1/004 A42B1/008 A42B1/02 A42B1/24 A42C5/02 G02F1/13306 G02F1/13452 G02F1/136213 G02F1/136286 G02F1/1368 G02F2202/103 G09G3/3677 G09G2300/0426 G09G2300/0452 G09G2310/0286 G09G2310/08 G09G2330/021 H01L21/67167 H01L27/1222 H01L27/156 H01L27/3211 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L29/247 H01L29/78693 H01L51/5246 H01L51/56 H01L2251/5307 H01L2251/5315 H01L2251/5323		
代理人(译)	李昌勋		
优先权	2006236392 2006-08-31 JP		
其他公开文献	KR1020080021557A		
外部链接	Espacenet		

摘要(译)

提供第一晶体管，第二晶体管，第三晶体管，第四晶体管。在第一晶体管中，第一端子电连接到第一布线；第二端子电连接到第二晶体管的栅极端子；栅极端子电连接到第五布线。在第二晶体管中，第一端子电连接到第三布线；第二端子电连接到第六布线。在第三晶体管中，第一端子电连接到第二布线；第二端子电连接到第二晶体管的栅极端子；栅极端子电连接到第四布线。在第四晶体管中，第一端子电连接到第二布线；第二端子与第六布线电连接；栅极端子连接到第四布线。

