



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0019386  
(43) 공개일자 2008년03월04일

(51) Int. Cl.

G09G 3/36 (2006.01) H02M 1/16 (2006.01)

G09G 3/20 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0081653

(22) 출원일자 2006년08월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정은우

서울 양천구 신정5동 932-5

(74) 대리인

남승희

전체 청구항 수 : 총 12 항

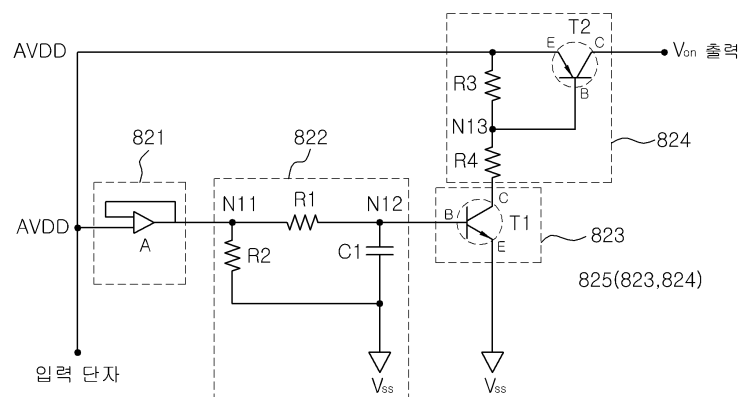
(54) 액정 표시 장치의 전원 시퀀스 회로 및 이를 구비하는 액정표시 장치

### (57) 요약

본 발명에 따른 액정 표시 장치의 전원 시퀀스 회로는, 입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부와, 상기 증폭부로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부와, 상기 딜레이부로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로 및 상기 제 1 스위칭 회로에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)을 출력하는 제 2 스위칭 회로를 구비하는 스위칭부를 포함하는 것을 특징으로 한다.

이와 같은, 본 발명은 데이터 구동부의 구동칩에 마련되는 여분의 리페어용 오피 앰프(OP-AMP)를 활용하여 안정적인 전원 시퀀스 회로를 구성한다. 따라서, 전원 시퀀스 회로의 부품 수를 줄일 수 있고, 제조 원가를 절감할 수 있다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부와,  
상기 증폭부로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부와,  
상기 딜레이부로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로 및 상기 제 1 스위칭 회로에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)를 출력하는 제 2 스위칭 회로를 구비하는 스위칭부를 포함하는 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 2

청구항 1에 있어서,  
상기 증폭부는 오피 앰프(OP-AMP)를 포함하는 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 3

청구항 2에 있어서,  
상기 오피 앰프는 '1'의 증폭도를 갖도록 볼테이지 폴로워 방식으로 구성되는 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 4

청구항 1에 있어서,  
상기 딜레이부는 제 1 저항체와 콘덴서로 이루어진 RC 딜레이 회로 및  
접지 단자로의 바이패스를 방지하기 위한 제 2 저항체를 포함하는 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 5

청구항 1에 있어서,  
상기 제 1 스위칭 회로는 제 1 트랜지스터를 포함하고, 상기 제 2 스위칭 회로는 제 2 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 6

청구항 5에 있어서,  
상기 제 1 트랜지스터는 npn형 트랜지스터이고, 상기 제 2 트랜지스터는 pnp형 트랜지스터인 것을 특징으로 하는 액정 표시 장치의 전원 시퀀스 회로.

### 청구항 7

액정 표시 패널과,  
상기 액정 표시 패널을 구동하기 위한 게이트 구동부 및 데이터 구동부와,  
공통 전압 발생부, 게이트 온 전압 발생부 및 게이트 오프 전압 발생부를 구비하는 구동 전압 발생부를 포함하고,  
상기 공통 전압 발생부, 게이트 온 전압 발생부 및 게이트 오프 전압 발생부 중 적어도 하나에는,  
입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부와, 상기 증폭부로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부와, 상기 딜레이부로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로 및 상기 제 1 스위칭 회로에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)를 출력하는 제 2 스위칭 회로를 구비하는 스위칭부를 포함하는 것을 특징으로 하는

액정 표시 장치.

## 청구항 8

청구항 7에 있어서,

상기 증폭부는 오피 앰프(OP-AMP)를 포함하고,

상기 오피 앰프는 데이터 구동부에 마련된 여분의 리페어용 오피 앰프로 구성되는 것을 특징으로 하는 액정 표시 장치.

## 청구항 9

청구항 8에 있어서,

상기 오피 앰프는 '1'의 증폭도를 갖도록 볼테이지 폴로워 방식으로 구성되는 것을 특징으로 하는 액정 표시 장치.

## 청구항 10

청구항 7에 있어서,

상기 딜레이부는 제 1 저항체와 콘덴서로 이루어진 RC 딜레이 회로 및

접지 단자로의 바이패스를 방지하기 위한 제 2 저항체를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 11

청구항 7에 있어서,

상기 제 1 스위칭 회로는 제 1 트랜지스터를 포함하고, 상기 제 2 스위칭 회로는 제 2 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 12

청구항 11에 있어서,

상기 제 1 트랜지스터는 npn형 트랜지스터이고, 상기 제 2 트랜지스터는 pnp형 트랜지스터인 것을 특징으로 하는 액정 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 액정 표시 장치의 전원 시퀀스 회로 및 이를 구비하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 데이터 구동부의 구동칩에 마련되는 여분의 리페어용 오피 앰프(OP-AMP)를 활용하여 구성한 액정 표시 장치의 전원 시퀀스 회로 및 이를 구비하는 액정 표시 장치에 관한 것이다.
- <12> 액정 표시 장치(Liquid Crystal Display)는 액정 분자의 광학적 이방성 및 편광 필름의 편광 특성을 이용하여 광원에서 입사되는 빛의 투과량을 조절하여 화상을 구현하는 디스플레이 소자로서, 경량박형, 고해상도, 대화면화를 실현할 수 있고, 소비 전력이 작아 최근 그 응용 범위가 급속도로 확대되고 있다.
- <13> 이러한 액정 표시 장치는 액정 표시 패널, 게이트 구동부, 데이터 구동부, 구동 전압 발생부, 계조 전압 발생부, DC/DC 컨버터(converter) 및 이들을 제어하는 신호 제어부를 포함한다.
- <14> 상기 DC/DC 컨버터는 소정의 전압을 입력받아 액정 구동 전압(AVDD)을 생성하여 이를 구동 전압 발생부로 출력하고, 상기 구동 전압 발생부는 상기 액정 구동 전압(AVDD)을 이용하여 게이트 온 전압(Von), 게이트 오프 전압(Voff), 기준 전압(VDD) 및 공통 전압(Vcom)을 생성 및 출력한다.

<15> 이 중에서 게이트 온 전압(Von), 게이트 오프 전압(Voff) 및 기준 전압(VDD)은 게이트 구동부로 출력되는데, 각각의 전압들은 구동칩의 래치 업(latch up) 현상을 방지할 수 있도록 시간차를 두어 정확한 타이밍(timing)에 출력된다.

<16> 일반적으로, 전원이 켜질 때에는 기준 전압(VDD), 게이트 오프 전압(Voff)/ 액정 구동 전압(AVDD), 게이트 온 전압(Von)의 순서로 출력된다. 따라서, 구동 전압 발생부에는 출력 전원의 출력 시점을 제어하기 위한 회로 즉, 전원 시퀀스 회로(Power Sequence Circuit)가 마련되는데, 종래 기술에 따른 전원 시퀀스 회로는 많은 전기 소자들로 구성되므로, 제조 단가가 높아지는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

<17> 본 발명은 상기의 문제점을 해결하기 위한 것으로, 데이터 구동부의 구동칩에 마련되는 리페어용 오피 앰프(OP-AMP)를 활용하여 전원 시퀀스 회로를 구성함으로써, 제조 원가를 절감할 수 있는 새로운 액정 표시 장치의 전원 시퀀스 회로 및 이를 구비하는 액정 표시 장치를 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

<18> 상기의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치의 전원 시퀀스 회로는, 입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부와, 상기 증폭부로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부와, 상기 딜레이부로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로 및 상기 제 1 스위칭 회로에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)를 출력하는 제 2 스위칭 회로를 구비하는 스위칭부를 포함하는 것을 특징으로 한다.

<19> 상기 증폭부는 오피 앰프(OP-AMP)를 포함하는 것이 바람직하며, 상기 오피 앰프는 '1'의 증폭도를 갖도록 볼테이지 폴로워(voltage follower) 방식으로 구성되는 것이 바람직하다.

<20> 상기 딜레이부는 제 1 저항체와 콘덴서로 이루어진 RC 딜레이 회로 및 접지 단자로의 바이패스를 방지하기 위한 제 2 저항체를 포함하는 것이 바람직하다.

<21> 상기 제 1 스위칭 회로는 제 1 트랜지스터를 포함하고, 상기 제 2 스위칭 회로는 제 2 트랜지스터를 포함하는 것이 바람직하다.

<22> 상기 제 1 트랜지스터는 npn형 트랜지스터이고, 상기 제 2 트랜지스터는 pnp형 트랜지스터인 것이 바람직하다.

<23> 상기의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치는, 액정 표시 패널과, 상기 액정 표시 패널을 구동하기 위한 게이트 구동부 및 데이터 구동부와, 공통 전압 발생부, 게이트 온 전압 발생부 및 게이트 오프 전압 발생부를 구비하는 구동 전압 발생부를 포함하고, 상기 공통 전압 발생부, 게이트 온 전압 발생부 및 게이트 오프 전압 발생부 중 적어도 하나에는, 입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부와, 상기 증폭부로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부와, 상기 딜레이부로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로 및 상기 제 1 스위칭 회로에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)를 출력하는 제 2 스위칭 회로를 구비하는 스위칭부를 포함하는 것을 특징으로 한다

<24> 상기 증폭부는 오피 앰프(OP-AMP)를 포함하는 것이 바람직하며, 상기 오피 앰프는 '1'의 증폭도를 갖도록 볼테이지 폴로워(voltage follower) 방식으로 구성되는 것이 바람직하다.

<25> 이후, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상의 동일 부호는 동일한 요소를 지칭한다.

<26> 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이고, 도 2는 본 발명의 실시예에 따른 단위 화소를 나타낸 등가 회로도이다.

<27> 도 1을 참조하면, 상기 액정 표시 장치는 액정 표시 패널(300), 게이트 구동부(400), 데이터 구동부(500), DC/DC 컨버터(700), 구동 전압 발생부(800), 계조 전압 발생부(900) 및 이들을 제어하는 신호 제어부(600)를 포함한다.

<28> 상기 액정 표시 패널(300)은 매트릭스(matrix) 형태로 배열된 다수의 단위 화소를 포함한다. 상기 단위 화소는

가로 세로 방향으로 형성된 다수의 게이트 라인(G1 ~ Gn) 및 다수의 데이터 라인(D1 ~ Dm)의 교차 영역에 의해 한정되며, 스위칭 소자(Q) 및 이에 연결된 액정 커패시터(liquid crystal capacitor; Clc)와, 유지 커패시터(storage capacitor; Cst)를 포함한다.

- <29> 도 2를 참조하면, 상기 액정 표시 패널(300)은 스위칭 소자(Q), 게이트 라인(G), 데이터 라인(D) 및 화소 전극(190)이 배열된 하부 기관(100)과, 블랙 매트릭스(미도시), 컬러 필터(230) 및 공통 전극(270)이 배열된 상부 기관(200) 및 두 기관(100, 200) 사이에 충전된 액정층(미도시)을 포함한다.
- <30> 상기 스위칭 소자(Q)는 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly silicon) 등을 채널층(channel layer)으로 하며, 게이트 전극, 소오스 전극, 드레인 전극으로 이루어진 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하는 것이 효과적이다. 여기서, 게이트 전극은 게이트 라인(G1 ~ Gn)에 연결되고, 소오스 전극은 데이터 라인(D1 ~ Dm)에 연결되며, 드레인 전극은 화소 전극(190), 액정 커패시터(Clc) 및 유지 커패시터(Cst)와 연결된다.
- <31> 상기 액정 커패시터(Clc)는 스위칭 소자(Q)와 연결된 화소 전극(190)과 이에 대향하는 공통 전극(270)을 두 단자로 하고, 두 단자 사이의 액정층을 유전체로 하여 일정한 정전 용량을 갖도록 구성된다.
- <32> 상기 유지 커패시터(Cst)는 게이트 라인(G) 또는 별도의 유지 라인(미도시)과 화소 전극(190)이 절연체를 사이에 두고 중첩되어 구성된다. 이러한 유지 커패시터(Cst)에는 게이트 라인(G)을 통해 인가되는 게이트 전압과 화소 전극(190)에 인가되는 게조 전압의 차이에 해당하는 전압 또는 별도의 유지 라인을 통해 인가되는 공통 전압과 화소 전극(190)에 인가되는 게조 전압의 차이에 해당하는 전압이 충전되어, 특정 화소에 전달된 화상 신호를 일정 프레임(보통 한 프레임) 동안 유지시켜준다. 물론, 액정 커패시터(Clc)의 보조적인 역할을 담당하는 유지 커패시터(Cst)는 생략될 수도 있다.
- <33> DC/DC 컨버터(700)는 소정의 전압을 입력받아, 소정의 스위칭 전압(PWM\_SW)과 상기 스위칭 전압(PWM\_SW)을 정류한 액정 구동 전압(AVDD)을 생성한다.
- <34> 구동 전압 발생부(800)는 스위칭 소자(Q)를 턴온(turn-on) 시키는 게이트 온 전압(Von), 스위칭 소자(Q)를 턴오프(turn-off) 시키는 게이트 오프 전압(Voff) 및 구동칩을 동작시키기 위한 기준 전압(VDD)(미도시)을 생성하여 이를 게이트 구동부(400)로 출력하고, 화소 전극(190)에 인가되는 게조 전압을 생성하기 위한 액정 구동 전압(AVDD) 및 공통 전극(270)에 인가되는 공통 전압(Vcom)을 생성하여 이를 데이터 구동부(500)로 출력한다.
- <35> 게조 전압 발생부(900)는 구동 전압 발생부(800)로부터 인가된 액정 구동 전압(AVDD)을 이용하여 게조 전압(또는 감마 전압)을 생성하고, 이를 데이터 구동부(500)로 출력한다.
- <36> 게이트 구동부(400)는 액정 표시 패널(300)의 각 게이트 라인(G1 ~ Gn)에 연결되어, 구동 전압 발생부(800)로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 포함하는 아날로그 신호들을 게이트 신호로서 각 게이트 라인(G1 ~ Gn)에 순차적으로 인가한다. 이러한 게이트 구동부(400)는 쉬프트 레지스터(shift resistor)가 일렬로 배열된 복수의 스테이지(stage)를 포함한다.
- <37> 데이터 구동부(500)는 액정 표시 패널(300)의 각 데이터 라인(D1 ~ Dm)에 연결되어, 게조 전압 발생부(900)로부터 인가된 게조 전압을 데이터 신호로서 각 데이터 라인(D1 ~ Dm)에 순차적으로 인가한다.
- <38> 신호 제어부(600)는 외부의 그래픽 제어부(미도시)로부터 입력되는 영상 신호(R, G, B) 및 이의 제어 신호, 예를 들어 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE) 등에 응답하여 상기 영상 신호 및 제어 신호를 액정 표시 패널(300)의 동작 조건에 적합하게 처리한 후, 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)를 생성 및 출력한다.
- <39> 상기 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 신호(GS)의 하이 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <40> 상기 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH), 데이터 라인(D1 ~ Dm)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD 또는 TP), 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- <41> 다음으로, 본 실시예에 따른 액정 표시 장치에 마련되는 구동 전압 발생부를 보다 상세히 설명하면 다음과

같다.

- <42> 도 3은 본 발명의 실시예에 따른 구동 전압 발생부를 개략적으로 나타낸 블록도이다.
- <43> 도 3을 참조하면, 상기 구동 전압 발생부(800)는 공통 전압 발생부(810), 게이트 온 전압 발생부(820) 및 게이트 오프 전압 발생부(830)를 포함한다.
- <44> 상기 공통 전압 발생부(810)는 액정 구동 전압(AVDD)과 스위칭 전압(PWM\_SW)을 이용하여 공통 전압(Vcom)을 생성한다.
- <45> 상기 게이트 온 전압 발생부(820)는 액정 구동 전압(AVDD)을 입력받아 이의 전원 시퀀스를 조절하고, 전원 시퀀스가 조절된 액정 구동 전압(AVDD)을 차지 펌핑(charge pumping)하여 게이트 온 전압(Von)을 생성한다.
- <46> 도 4는 본 발명의 실시예에 따른 게이트 온 전압 발생부의 전원 시퀀스 회로를 나타낸 회로도이다.
- <47> 도 4를 참조하면, 상기 전원 시퀀스 회로는, 입력 단자를 통해 전원 전압(AVDD)을 입력받아 이의 전류를 증폭하여 출력하는 증폭부(821)와, 상기 증폭부(821)로부터 출력되는 전원 전압(AVDD)을 일정 시간 지연하여 출력하는 딜레이부(822)와, 상기 딜레이부(822)로부터 출력되는 전원 전압(AVDD)에 의해 턴온 되는 제 1 스위칭 회로(823) 및 상기 제 1 스위칭 회로(823)에 의해 턴온 되어 상기 입력 단자를 통해 입력받은 전원 전압(AVDD)을 출력하는 제 2 스위칭 회로(824)를 구비하는 스위칭부(825)를 포함한다.
- <48> 상기 증폭부(821)는 연산 증폭기 즉, 오피 앰프(OP-AMP;A)를 포함한다.
- <49> 상기 오피 앰프(A)는 데이터 구동부(500)에 마련된 여분의 리페어용 오피 앰프를 활용하는 것이 바람직하다. 즉, 액정 표시 패널(300)에는 각 단위 화소에 게조 전압을 인가하기 위한 복수의 데이터 라인(D1 ~ Dm)이 형성되는데, 이중 일부 데이터 라인(D)이 단선된 경우 이를 수리하기 위한 목적으로 데이터 구동부(500)를 구성하는 각 구동칩에는 리페어용 오피 앰프가 마련되는 것이 일반적이다. 이러한 오피 앰프는 보통 하나의 구동칩 당 2개씩 마련되는데, 공정 기술의 발달로 그 중 일부만 사용될 뿐 대부분은 사용되지 않는다. 본 발명은 제너 다이오드(zener diode) 등과 같은 별도의 전원 안정 회로를 사용하지 않고, 데이터 구동부에 마련된 여분의 리페어용 오피 앰프를 활용한다.
- <50> 이러한 오피 앰프(A)는 '1'의 증폭도를 갖도록 볼테이지 폴로워(voltage follower) 방식으로 구성되는 것이 바람직하다. 따라서, 입력 전압과 출력 전압은 동일하지만 출력 전류는 제 1 스위칭 회로(823)를 턴온 시킬 수 있는 전류 즉, 포화 전류 이상으로 증폭된다.
- <51> 상기 딜레이부(822)는 제 1 저항체(R1) 및 콘덴서(C1)로 구성되는 RC 딜레이 회로((Resistance-Capacitance Delay Circuit)를 포함하고, 접지 단자(Vss)로의 바이패스(bypass)를 방지하기 위한 제 2 저항체(R2)를 더 포함한다.
- <52> 상기 스위칭부(825)는 제 1 트랜지스터(T1)를 포함하는 제 1 스위칭 회로(823) 및 제 2 트랜지스터(T2)를 포함하는 제 2 스위칭 회로(824)로 구성된다. 여기서, 제 1 트랜지스터(T1)는 npn형 트랜지스터이고, 상기 제 2 트랜지스터(T2)는 npn형 트랜지스터이다. 이러한 스위칭 회로(825)는 제 1 트랜지스터(T1)가 턴온 되면, 이로 인해 제 2 트랜지스터(T2)가 턴온 되는 이중 스위칭 구조를 갖는다.
- <53> 먼저, 이와 같은 전원 시퀀스 회로의 연결 관계를 보다 상세히 설명하면 다음과 같다.
- <54> 액정 구동 전원(AVDD)의 입력 단자와 제 1 노드(N11) 사이에 오피 앰프(A)가 접속된다. 제 1 노드(N11)와 제 2 노드(N12) 사이에 제 1 저항체(R1)가 접속되며, 제 1 노드(N11)와 접지 단자(Vss) 사이에 제 2 저항체(R2)가 접속되고, 제 2 노드(N12)와 접지 단자(Vss) 사이에 캐패시터(C1)가 접속된다. 한편, 상기 입력 단자와 제 3 노드(N13) 사이에 제 3 저항체(R3)가 접속되고, 제 3 노드(N13)와 접지 단자(Vss) 사이에 제 4 저항체(R4) 및 제 1 트랜지스터(T1)가 직렬 접속된다. 제 1 트랜지스터(T1)는 제 2 노드(N12)의 전위에 따라 구동되는 npn형 트랜지스터이다. 또한, 입력 단자(AVDD)와 출력 단자(Von) 사이에 제 2 트랜지스터(T2)가 접속된다. 제 2 트랜지스터(T2)는 제 3 노드(N13)의 전위에 따라 구동되는 pnp형 트랜지스터이다.
- <55> 이어, 이와 같은 전원 시퀀스 회로의 동작 관계를 보다 상세히 설명하면 다음과 같다.
- <56> 액정 구동 전압 즉, 전원 전압(AVDD)이 인가되면, 증폭부(821)는 전원 전압(AVDD)과 출력 전압의 전위를 비교하고, 그에 따라 출력을 결정한다. 증폭부(821)로부터의 출력은 제 1 저항체(R1), 제 2 저항체(R2) 및 캐패시터(C1)로 구성된 딜레이부(822)에 의해 지연되어 제 1 트랜지스터(T1)의 베이스 단자(B)로 인가된다. 따라서, 제

1 트랜지스터(T1)는 턴온 되고, 이로 인해 제 3 노드(N13)와 접지 단자(Vss) 사이에 전류 패스(current path)가 형성된다. 따라서, 제 3 저항체(R3)과 제 4 저항체(R4)에 의해 전원 전압(AVDD)이 분배되고, 이 분배 전압이 제 2 트랜지스터(T2)의 베이스 단자(B)로 인가되어 제 2 트랜지스터(T2)가 턴온 된다. 따라서, 전원 전압(AVDD)이 게이트 온 전압(Von)으로서 출력된다.

<57> 상기 과정에서 출력 전압 즉, 게이트 온 전압(Von)은 RC 딜레이 회로(822)를 거치면서 일정 시간 지연된 상태이므로, 상기 전원 전압 즉, 액정 구동 전압(AVDD)에 비하여 일정 시간 지연된 시퀀스를 갖게 된다.

<58> 본 실시예에서는 설명의 편의상 전원 시퀀스 회로를 최대한 간략히 구성하였으나, 실제 적용시에는 성능 개선 및 기능 부가 등의 목적으로 다양한 회로들이 더 포함될 수 있다. 예를 들어, 최종 출력되는 게이트 온 전압(Von)이 본래의 액정 구동 전압(AVDD)보다 더 높은 또는 더 낮은 전압을 가지도록, 상기 제 2 트랜지스터(T<sub>2</sub>)의 출력단(C)에는 전압의 승압시키는 또는 강압시키는 회로가 부가될 수 있다.

<59> 또한, 본 실시예에서는 전원 시퀀스 회로가 게이트 온 전압 발생부(820)에 적용되는 것을 설명하였으나, 이에 한정되지 않고, 필요에 따라 공통 전압 발생부(810), 게이트 온 전압 발생부(820) 및 게이트 오프 전압 발생부(830) 중의 어느 하나에만 적용될 수 있고, 모두 적용될 수 있으며, 선택적으로 적용될 수도 있다. 이 경우 기술적 구성 및 효과는 전술한 바와 동일하다.

<60> 이상, 본 발명에 대하여 전술한 실시예 및 첨부된 도면을 참조하여 설명하였으나, 본 발명은 이에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명이 다양하게 변형 및 수정될 수 있음을 알 수 있을 것이다.

## 발명의 효과

<61> 상술한 바와 같이, 본 발명은 데이터 구동부의 구동칩에 마련되는 여분의 리페어용 오피 앰프를 활용하여 안정적인 전원 시퀀스 회로를 구성한다. 따라서, 전원 시퀀스 회로의 부품 수를 줄일 수 있고, 제조 원가를 절감할 수 있다.

## 도면의 간단한 설명

<1> 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도.

도 2는 본 발명의 실시예에 따른 단위 화소를 나타낸 등가 회로도.

<3> 도 3은 본 발명의 실시예에 따른 구동 전압 발생부를 개략적으로 나타낸 블록도.

**<4>** 도 4는 본 발명의 실시예에 따른 게이트 온 전압 발생부의 전원 시퀀스 회로를 나타낸 일부 회로도.

<5> <도면의 주요 부분에 대한 부호의 설명>

<6>      100: 하부 기관      200: 상부 기관

<7>      300: 액정 표시 패널                                  400: 게이트 구동부

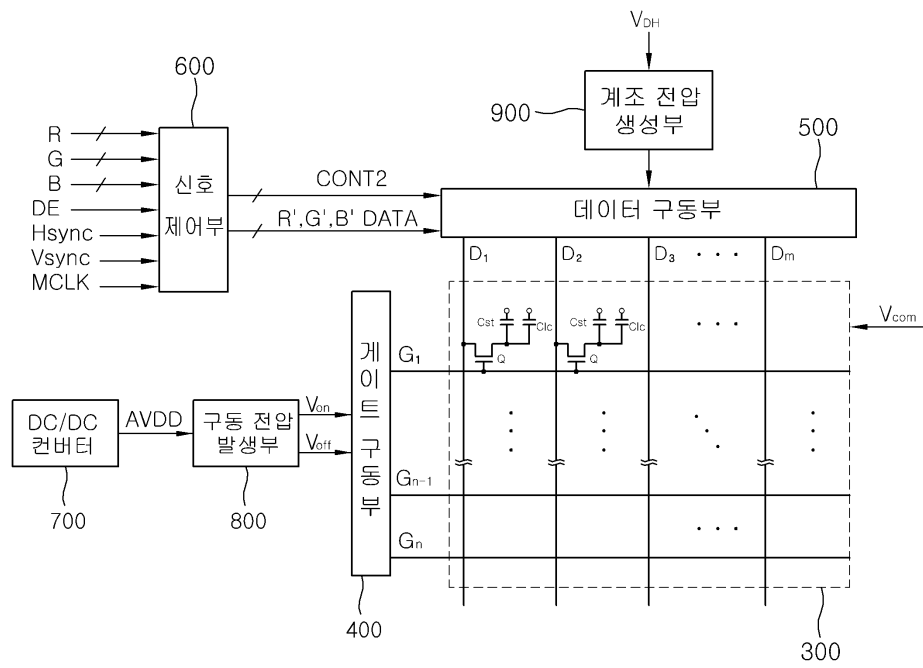
<8>      500: 데이터 구동부                          600: 신호 제어부

<9> 700: DC/DC 컨버터 800: 구동 전압 발생부

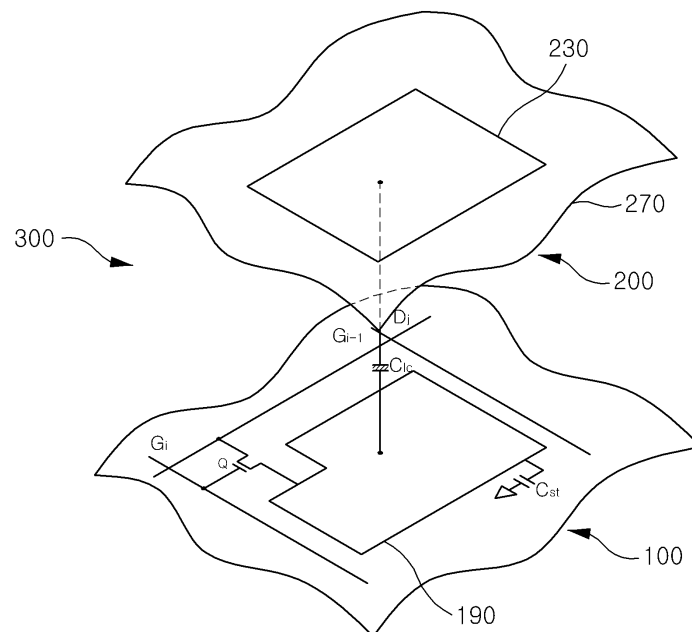
<10> 900: 계조 전압 발생부

도면

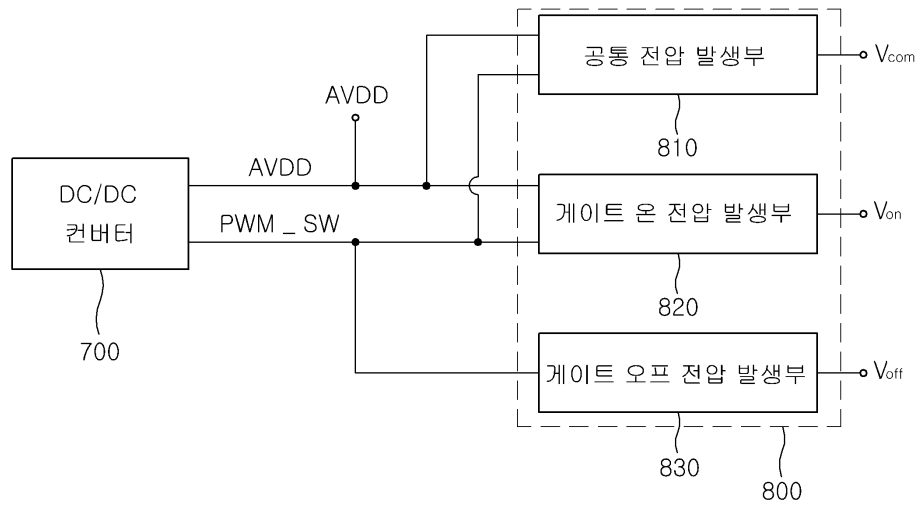
도면1



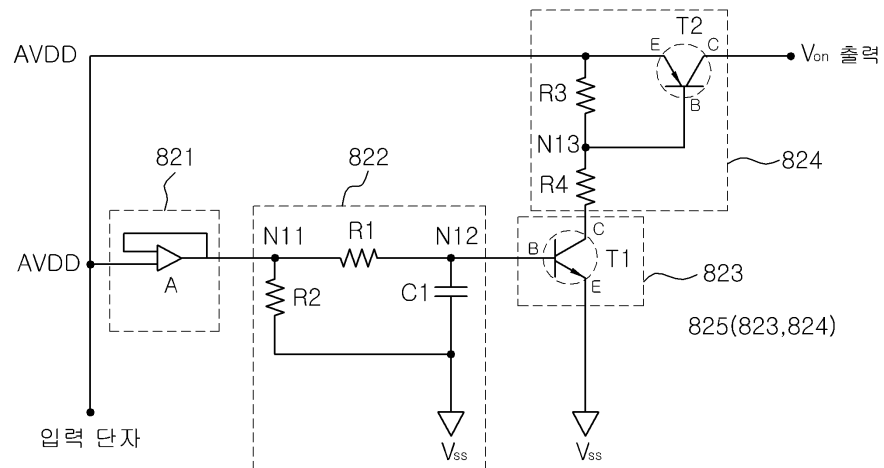
도면2



도면3



도면4



|                |                                                                              |         |            |
|----------------|------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置的电源顺序电路和具有该电路的液晶显示装置                                                   |         |            |
| 公开(公告)号        | <a href="#">KR1020080019386A</a>                                             | 公开(公告)日 | 2008-03-04 |
| 申请号            | KR1020060081653                                                              | 申请日     | 2006-08-28 |
| [标]申请(专利权)人(译) | 三星电子株式会社                                                                     |         |            |
| 申请(专利权)人(译)    | 三星电子有限公司                                                                     |         |            |
| 当前申请(专利权)人(译)  | 三星电子有限公司                                                                     |         |            |
| [标]发明人         | JEONG EUN WOO                                                                |         |            |
| 发明人            | JEONG EUN WOO                                                                |         |            |
| IPC分类号         | G09G3/36 H02M1/16 G09G3/20 G02F1/133                                         |         |            |
| CPC分类号         | G09G3/3696 G02F1/133 G09G2310/0291 G09G2310/06 G09G2330/08 H02M1/16 H02M3/06 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                    |         |            |

#### 摘要(译)

根据本发明的液晶显示器的电源序列电路包括用于通过输入端子接收电源电压 ( AVDD ) 并用于放大和输出电源电压 ( AVDD ) 的电流的放大器。第一开关电路, 由延迟单元输出的电源电压 ( AVDD ) 和第二开关电路导通, 第二开关电路由第一开关电路导通, 并接收通过输入端子输入的电源电压 ( AVDD ) 并且开关单元具有用于输出第二开关信号的第二开关电路。如上所述, 本发明通过利用数据驱动器的驱动芯片中提供的额外修复运算放大器形成稳定的电源序列电路。因此, 可以减少电源顺序电路的元件数量, 并且可以降低制造成本。

