



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1345 (2006.01)

(11) 공개번호 10-2007-0082189
(43) 공개일자 2007년08월21일

(21) 출원번호 10-2006-0014693
(22) 출원일자 2006년02월15일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 제성민
경남 사천시 실안동 산3(35/3)
장동훈
경북 김천시 아포읍 제석리 824번지

(74) 대리인 김용인
심창섭

전체 청구항 수 : 총 2 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 본 발명에 따른 액정표시장치는 표시영역과 비표시영역을 구비한 액정패널과, 상기 표시영역에 서로 수직하게 배열되는 복수 개의 게이트 라인 및 데이터라인과, 상기 복수 개의 게이트 라인들을 구동하는 제1, 제2 게이트 구동 IC와, 상기 제1 및 제2 게이트 구동 IC에 각각 독립적으로 외부의 제어신호 및 전원이 인가되도록 상기 액정패널의 비표시영역에 형성되는 LOG 신호라인을 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

표시영역과 비표시영역을 구비한 액정패널과,

상기 표시영역에 서로 수직하게 배열되는 복수 개의 게이트 라인 및 데이터라인과,

상기 복수 개의 게이트 라인들을 구동하는 제1, 제2 게이트 구동 IC와,

상기 제1 및 제2 게이트 구동 IC에 각각 독립적으로 외부의 제어신호 및 전원이 인가되도록 상기 액정패널의 비표시영역에 형성되는 LOG 신호라인을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2.

제1 항에 있어서, 상기 LOG 신호라인은

상기 액정패널의 모서리부분에서 상기 제1 및 제2 게이트 구동 IC의 중간지점까지 형성된 제1 LOG 신호라인과,

상기 제1 LOG 신호라인에서 상기 제1, 제2 게이트 구동 IC를 연결하는 제2 LOG 신호라인을 구비하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 라인 온 글래스 신호라인을 구비한 액정표시장치에 관한 것이다.

액정표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스형으로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.

액정표시패널은 액정셀들이 화소신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동회로는 액정표시패널의 게이트라인들을 구동하기 위한 게이트 드라이브와, 데이터라인들을 구동하기 위한 데이터 드라이브와, 게이트 드라이브 및 데이터 드라이브에 타이밍 제어신호와 화소 데이터를 공급하는 타이밍 제어부와, 전원전압을 공급하는 전원부를 구비한다.

데이터 드라이브와 게이트 드라이브는 다수개의 집적회로들로 분리되어 집적화되어 칩형태로 제작되고, 집적화된 드라이브 IC는 TAB(Tape auto mated bonding)방식 또는 COG(Chip on glass)방식으로 액정표시패널에 실장된다.

이들 중 COG방식으로 게이트 드라이브 IC가 실장되는 액정표시패널에는 상기 구동회로의 타이밍 제어부 및 전원부로부터 제어신호 및 전원을 상기 게이트 드라이브 IC에 공급하기 위한 신호라인들이 형성된다. 즉, 하부기판의 비표시영역에 신호라인이 형성되는 데, 이를 라인 온 글래스(line on glass) 신호라인이라고 한다.

따라서, 상기 타이밍 제어부 및 전원부로부터의 제어신호 및 전원은 FPC와 상기 라인 온 글래스 신호라인을 통해 게이트 드라이브 IC에 공급된다.

구체적으로, LOG 신호라인을 구비한 COG형 액정표시장치는, 도 1에 도시된 바와 같이, 액정셀 매트릭스를 갖는 액정표시패널(21)의 비표시영역(20)에 직접 실장된 복수 개의 데이터 드라이브 IC(26) 및 2개의 게이트 드라이브 IC(24a, 24b)가 각각 구비된다.

상기 데이터 드라이브 IC(26)는 데이터 라인(DL)들과 접속되어, 화소 데이터를 아날로그 화소신호로 변환하여 데이터 라인(DL)에 공급한다. 이를 위하여 타이밍 제어부 및 전원부로부터 데이터 제어신호, 화소데이터, 그리고 전원신호들을 공급받게 된다.

상기 제1 및 제2 게이트 드라이브 IC(24a, 24b)는 게이트 라인(GL)들과 접속되어, 게이트 하이전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급하고, 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트

로우전압(VGL)을 게이트 라인들(GL)에 공급한다. 이를 위하여, 타이밍 제어부 및 전원부로부터의 게이트 제어신호들과 전원신호들은 FPC(28) 및 상기 액정표시패널의 비표시영역(20)에 인쇄된 제1 LOG 신호라인(30a)을 경유하여 제1 게이트 드라이브 IC(24a)의 입력단자(25a)를 통해 제1 게이트 드라이브 IC(24a)내로 입력되어 이용되고, 제1 게이트 드라이브 IC(24a)의 출력단자(25b)를 통해 출력되어 제2 LOG 신호라인(30b)을 경유하여 다음 제2 게이트 드라이브 IC(24b)의 입력단자(25c)로 입력된다.

즉, LOG 신호라인군은 FPC(28)과 제1 게이트 드라이브 IC(24a)를 연결하는 제1 LOG 신호라인군(30a)과, 제1 게이트 드라이브 IC(24a)와 제2 게이트 드라이브 IC(24b)를 연결하는 제2 LOG 신호라인군(30b)으로 구성된다.

LOG 신호라인군은 통상 게이트 로우전압(VGL), 게이트 하이전압(VGH), 그라운드전압(GND), 베이스 구동전압(VCC)과 같이 전원부로부터 공급되는 구동전압들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호라인들로 구성된다.

한편, LOG 신호라인군의 저항값은 라인길이에 비례하므로, 상기 타이밍 제어부 및 전원부에서 멀어질수록 상기 LOG 신호라인군의 저항값은 증가하며, 상기 각종 제어신호들 및 전압신호들은 감쇄한다.

즉, 제1 LOG 신호라인(30a)을 경유하여 제1 게이트 드라이브 IC(24a)의 입력단자(25a)로 입력되는 각종제어신호들 및 전압신호들은 제2 LOG 신호라인(30b)을 경유하여 제2 게이트 드라이브 IC(24b)의 입력단자(25c)로 입력되는 각종제어신호들 및 전압신호들과 비교했을 때 LOG 신호라인군의 증가된 저항값으로 인해 감쇄하게 된다.

따라서 제1 게이트 드라이브 IC(24a)보다 감쇄되어 인가된 제2 게이트 드라이브 IC(24b)의 각종제어신호들 및 전압신호들에 의해, 제1 게이트 드라이브 IC와 제2 게이트 드라이브 IC 간의 휘도차가 커지게 되고, 이로 인해 화면상에 서로 다른 휘도를 갖는 수평블럭들이 나타나는 게이트 블럭 뎀(gate block dim) 현상이 발생되어 화상 품질저하를 가져오게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하기 위한 본 발명의 목적은 제1 게이트 드라이브 IC와 제2 게이트 드라이브 IC 각각에 인가되는 신호들간의 감쇄를 방지하는 액정표시장치를 제공함에 있다.

발명의 구성

상술한 목적을 달성하기 위한 액정표시장치는 표시영역과 비표시영역을 구비한 액정패널과, 상기 표시영역에 서로 수직하게 배열되는 복수 개의 게이트 라인 및 데이터라인과, 상기 복수 개의 게이트 라인들을 구동하는 제1, 제2 게이트 구동 IC와, 상기 제1 및 제2 게이트 구동 IC에 각각 독립적으로 외부의 제어신호 및 전원이 인가되도록 상기 액정패널의 비표시영역에 형성되는 LOG 신호라인을 포함한다.

상기 LOG 신호라인은 상기 액정패널의 모서리부분에서 상기 제1 및 제2 게이트 구동 IC의 중간지점까지 형성된 제1 LOG 신호라인과, 상기 제1 LOG 신호라인에서 상기 제1, 제2 게이트 구동 IC를 연결하는 제2 LOG 신호라인을 구비한다.

상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치에 대한 실시예를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

도 2는 본 발명에 따른 라인 온 글래스 신호라인을 구비한 액정표시장치를 도시한 구성도이다.

본 발명의 실시예에 따른 라인 온 글래스 신호라인을 구비한 액정표시장치는 액정셀 매트릭스를 갖는 액정표시패널(210)과, 액정표시패널(210)의 게이트라인들(GL)을 구동하기 위해 액정표시패널(210)의 비표시영역(200)에 직접 실장된 제1 및 제2 게이트 드라이브 IC(240a, 240b)와, 액정 표시패널(210)의 데이터라인들(DL)을 구동하기 위해 액정표시패널(210)의 비표시영역(200)에 직접 실장된 데이터 드라이브 IC(260)을 구비한다.

액정표시패널(210)은 박막 트랜지스터 어레이 기관(200)과 칼라필터 어레이 기관(220)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정표시패널(210)은 게이트라인들(GL)과 데이터라인들(DL)의 교차로 정의되는 영역마다 형성되며 박막트랜지스터에 의해 독립적으로 구동되는 액정셀들로 구성되어 화상을 표시하는 표시영역(220)과 각종 드라이브 IC가 실장되는 LOG 신호라인들이 형성되는 비표시영역(200)을 포함한다.

상기 데이터 드라이브 IC(260)는 데이터라인(DL)들과 접속되어, 화소데이터를 아날로그 화소신호로 변환하여 데이터라인(DL)에 공급한다. 이를 위하여, FPC(280)를 통해 타이밍 제어부 및 전원부(미도시)와 접속된 데이터 드라이브 IC(260)에 데이터 제어신호, 화소 데이터 그리고 전원신호들을 공급받게 된다.

상기 제1 및 제2 게이트 드라이브 IC(240a, 240b)는 게이트 라인(GL)들과 접속되어, 게이트 하이전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급하고, 게이트 하이전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압(VGL)을 게이트 라인들(GL)에 공급한다. 이를 위하여, 상기 액정표시패널의 비표시영역에 LOG신호라인(300)이 형성되는데, 상기 LOG신호라인(300)은 상기 타이밍 제어부 및 전원부의 제어신호 및 전원이 상기 제1, 제2 게이트 드라이브 IC(240a, 240b)의 입력단자(250a, 250b)에 각각 독립적으로 인가되도록 형성된다.

즉, 상기 LOG 신호라인(300)은 FPC(280)와 연결되는 액정표시패널의 모서리부분에서 상기 제1 및 제2 게이트 드라이브 IC(240a, 240b)의 중간지점까지 형성된 제1 LOG 신호라인(300a)과, 상기 제1 LOG 신호라인(300a)에서 각각 제1, 제2 게이트 드라이브 IC(240a, 240b)의 입력단자(250a, 250b)에 연결된 제2 LOG 신호라인(300b)로 구성된다.

상기 제1 LOG 신호라인(300a)은 신호들의 감쇄를 최소화하기 위해 최단거리가 되도록 설계한다. 예를 들어, 제1 LOG 신호라인(300a)이 제1 게이트 드라이브 IC(240a)가 실장되는 부분을 경유하도록 하거나(본 발명의 실시예) 제1 게이트 드라이브 IC(240a)와 인접한 영역을 경유하도록 할 수 있다.

상기 제2 LOG 신호라인(300b)은 제1 게이트 드라이브 IC(240a)와 제2 게이트 드라이브 IC(240b)의 입력단자를 연결하고, 상기 제1 및 제2 게이트 드라이브 IC의 중간지점에서 상기 제1 LOG 신호라인(300a)과 연결된다.

상기 LOG 신호라인(300)은 통상 게이트 로우전압(VGL), 게이트 하이전압(VGH), 그라운드전압(GND), 베이스 구동전압(VCC)과 같이 전원부로부터 공급되는 구동전압들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호라인들로 구성된다.

상기 제1 LOG 신호라인(300a)을 통한 신호들이 제2 LOG 신호라인(300b)의 분기점을 통해 제1 게이트 드라이브 IC의 입력단자(250a)와 제2 게이트 드라이브 IC의 입력단자(250b)에 각각 독립적으로 입력되므로, 제1 게이트 드라이브 IC(240a)와 제2 게이트 드라이브 IC(240b)로 입력되는 신호들간의 감쇄를 최소화시킨다.

다시 말해, 모서리부분에서 제1 게이트 드라이브 IC(240a)의 입력단자(250a)까지의 LOG 신호라인의 거리와 모서리부분에서 제2 게이트 드라이브 IC(240b)의 입력단자(250b)까지의 LOG 신호라인의 거리가 동일하게 설계되므로, 상기 타이밍 제어부 및 전원부에서 출력되는 신호들의 감쇄가 최소화된다.

따라서, 제1 게이트 드라이브와 제2 게이트 드라이브간의 신호감쇄가 최소화됨으로써, 제1 게이트 드라이브 IC와 제2 게이트 드라이브 IC의 휘도차가 방지되어 각 게이트 드라이브 IC간의 서로 다른 휘도차로 발생하는 게이트 블록 뎀(gate block dim) 현상이 방지되어 화상품질저하를 방지하게 된다.

발명의 효과

본 발명에 의하면, 제1 게이트 드라이브 IC의 입력단자까지의 LOG 신호라인의 거리와 제2 게이트 드라이브 IC의 입력단자까지의 LOG 신호라인의 거리가 동일하게 설계됨으로써, 제1 게이트 드라이브 IC와 제2 게이트 드라이브 IC로 입력되는 신호들의 감쇄가 최소화되는 효과가 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 LOG 신호라인을 구비한 액정표시장치를 도시한 구성도

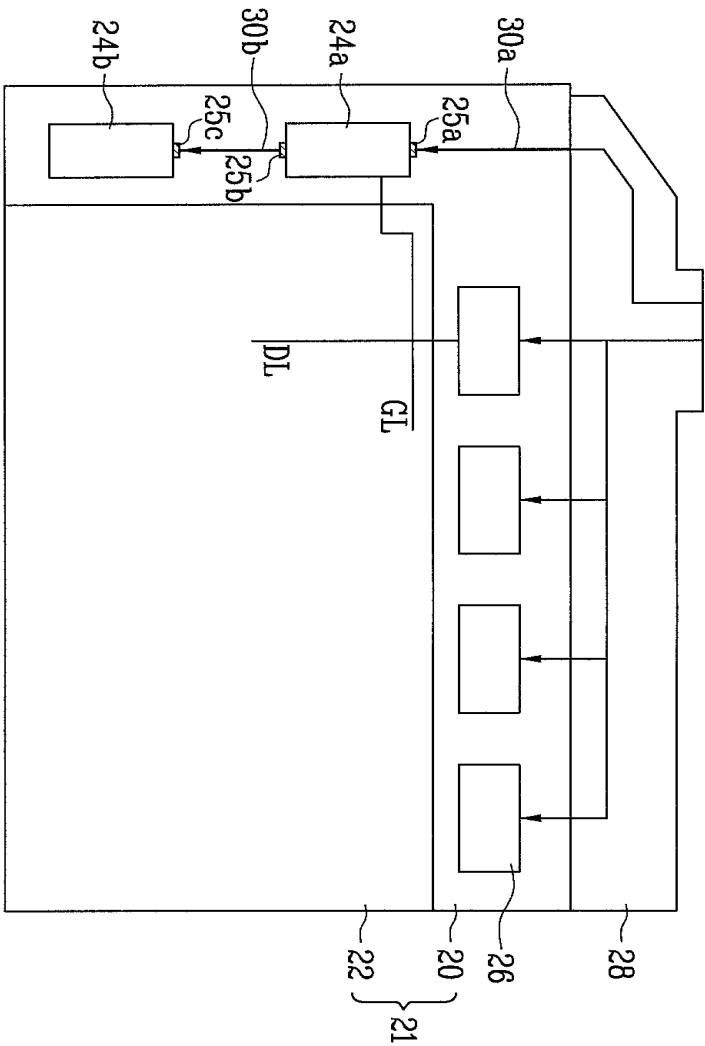
도 2는 본 발명에 따른 LOG 신호라인을 구비한 액정표시장치를 도시한 구성도

<도면의 주요부분에 대한 부호의 설명>

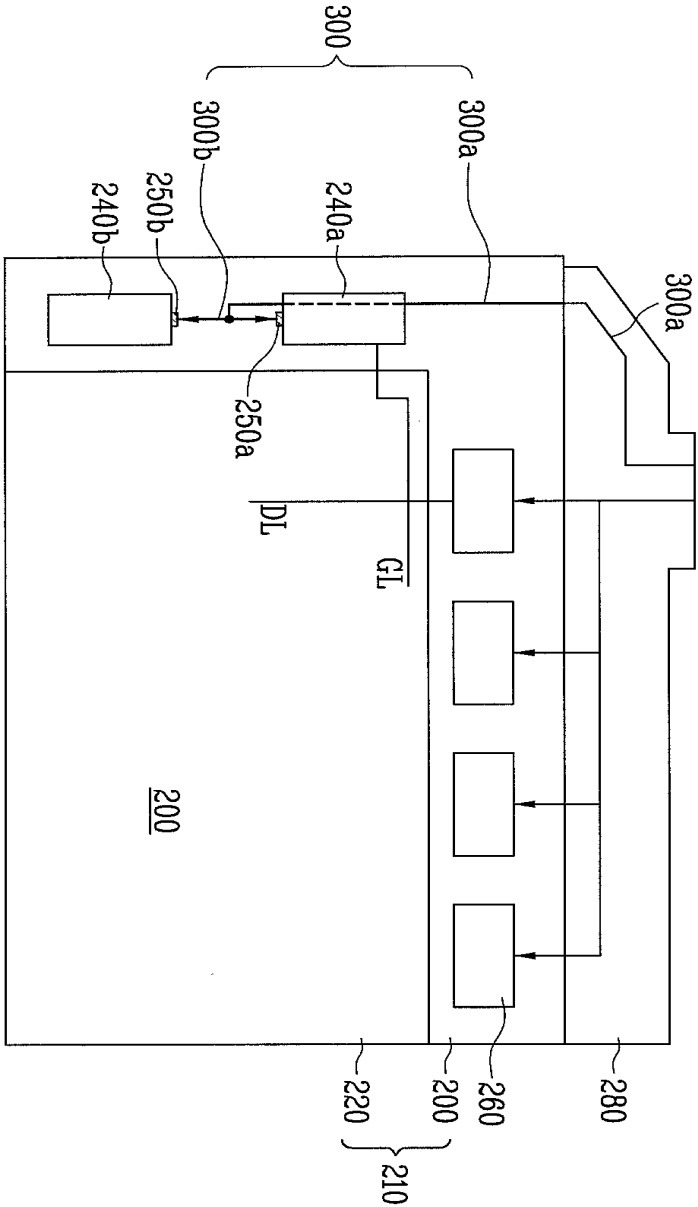
- 210: 액정표시패널 200: 박막트랜지스터 어레이기판
- 220: 컬러필터 어레이기판 240a, 240b: 게이트 드라이버 IC
- 250a, 250b: 입력단자 260: 데이터 드라이버 IC
- 280: FPC 300a: 제1 LOG 신호라인 300b: 제2 LOG 신호라인

도면

도면1



도면2



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070082189A	公开(公告)日	2007-08-21
申请号	KR1020060014693	申请日	2006-02-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JE SUNG MIN 제성민 JANG DONG HOON 장동훈		
发明人	제성민 장동훈		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345 G02F1/13452 G09G3/3611 G09G3/3614 G09G2320/0223		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器和根据本发明的液晶显示器，包括当前驱动的第一和第二栅极驱动集成电路，以及在液晶面板的非显示区域中形成的LOG信号线，外部控制信号和电源分别应用于第一和第二栅极驱动集成电路，液晶面板包括显示区域和非显示区域，以及多条栅极线和数据线，它们彼此垂直排列在显示区域和多个门线。玻璃上的线条和玻璃上的芯片。

