(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 특2003-0092562
(43) 공개일자 2003년12월06일

(21) 출원번호 10-2002-0030266
(22) 출원일자 2002년05월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이승우
서울특별시금천구독산1동293-10독산현대아파트102동1008호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치 및 그 구동 장치

요약

본 발명은 R, G, B 각각의 감마 곡선을 독립적으로 변형시켜서 색 보정 기능을 갖는 액정 표시 장치를 제공한다. 이를 위해 본 발명에 따른 액정 표시 장치의 타이밍 제어부는 외부로부터 입력되는 n비트의 원시 화상 데이터를 m비트의 제1 보정 데이터로 보정하는 논리 회로와, m비트의 제1 보정 데이터를 n비트 또는 n비트 보다 작은 비트의 제2 보정 데이터로 변환하는 다계조화부를 포함한다. 그리고 타이밍 제어부로부터 출력되는 제2 보정 데이터에 대응하는 데이터 전압을 출력하는 데이터 드라이버가 추가로 형성되어 있다. 이 논리 회로는 원시 화상 데이터를 그 계조에 따라 2개 이상의 구간으로 나누고, 원시 화상 데이터의 감마 특성에 의해 미리 정해진 감마 보정 데이터에 따라 각 구간별로 원시 화상 데이터를 제1 보정 데이터로 보정한다. 그리고 액정 표시 장치는 보정 연산에 필요한 파라미터를 저장하며 타이밍 제어부의 내부 또는 외부에 형성되는 메모리를 더 포함할 수 있다.

대표도

도 1

색인어

색 보정, 감마, 메모리, 연산

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.

도 2는 본 발명의 제1 실시예에 따른 색 보정부를 나타내는 도면이다.

도 3은 본 발명의 제1 실시예에서 화상 데이터를 보정하는 방법을 나타내는 도면이다.

도 4는 10비트의 ACC 데이터를 8비트로 표현하기 위한 방법을 나타내는 도면이다.

도 5 및 도 6은 각각 본 발명의 제2 및 제3 실시예에 따른 색 보정부의 주변부를 나타내는 도면이다.

도 7은 ACC 데이터와 원시 화상 데이터의 차이를 나타내는 도면이다.

도 8은 본 발명의 제4 실시예에 따라 ACC 데이터를 생성하는 방법을 나타내는 흐름도이다.

도 9는 본 발명의 제4 실시예에 따라 메모리에 저장된 파라미터를 로드하여 ACC 데이터를 생성하는 방법을 나타내는 도면이다.

도 10은 본 발명의 제4 실시예에 따라 보정된 ACC 데이터와 R 화상 데이터를 나타내는 도면이다.

도 11은 본 발명의 제5 실시예에 따라 ACC 데이터를 생성하기 위해 구간을 나누는 방법을 나타내는 도면이다.

도 12는 본 발명의 제5 실시예에 따라 ACC 데이터를 나타내는 그래프에서 하나의 구간을 나타내는 도면이다.

도 13은 본 발명의 제5 실시예에 따라 보정된 ACC 데이터와 R 화상 데이터를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 구동 장치에 관한 것으로, 특히 RGB별로 독립하는 감마 기준 전압을 내부 또는 외부에서 생성하여 액정 표시 장치의 화질상의 문제를 해결하기 위한 데이터 드라이버와 이를 포함하는 액정 표시 장치에 관한 것이다.

근래 퍼스널 컴퓨터나 텔레비전 등의 경량화 및 박형화에 따라 디스플레이 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(CRT, cathode ray tube) 대신 액정 표시 장치(LCD, liquid crystal display)와 같은 평판 패널 표시 장치(FPD, flat panel display)가 개발되고 있다.

액정 표시 장치는 두 기판 사이에 주입되어 있는 이방성 유전율을 가지는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다. 액정 표시 장치는 평판 표시 장치 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터를 스위칭 소자로 이용한 TFT LCD가 주로 이용되고 있다.

현재의 액정 표시 장치는 R, G, B 각각의 화소의 전기 광학적 특성이 분명히 다름에도 불구하고, 전기 광학적 특성이 동일하다는 가정 하에 전기적인 신호를 동일하게 사용한다. 따라서 실제로 R, G, B의 감마 특성을 독립적으로 측정해 보면 하나의 곡선으로 일치하지 않는다. 이러한 결과로 인하여 계조별 색감이 일정하지 않거나 한 쪽으로 심하게 쏠리는 경우가 있게 된다.

예를 들어 PVA 모드의 액정 표시 장치에서는 일반적으로 밝은 계조에서는 R 성분이 많으며 어두운 계조에서는 B 성분이 많다. 이로 인해 임의의 색상을 표시할 때 어두운 계조로 갈수록 푸르게 보이는 문제가 발생하며, 만일 사람의 얼굴을 표시하는 경우에는 푸른색 계통의 색감이 가미되므로 차가운 색감을 나타내는 문제점이 있다.

이는 계조 표현시 계조 레벨의 증감과는 무관하게 색온도 특성을 가져야 하지만 어두운 레벨쪽으로 갈수록 색온도가 급격히 상승하여, B 성분이 강하게 나타나기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위하여 R, G, B 각각의 감마 곡선을 독립적으로 변형시켜서 적응형 색 보정(adaptive color correction, 이하 ACC라 함) 기능을 갖는 액정 표시 장치를 제공한 것을 기술적 과제로 한다.

발명의 구성 및 작용

본 발명은 입력되는 화상 데이터를 이러한 색 보정에 해당하는 데이터로 보정하여 기술적 과제를 달성한다.

본 발명의 첫 번째 및 두 번째 특징에 따른 액정 표시 장치의 타이밍 제어부는 외부로부터 입력되는 n비트의 원시 화상 데이터를 m비트의 제1 보정 데이터로 보정하는 논리 회로와, m비트의 제1 보정 데이터를 n비트 또는 n비트 보다 작은 비트의 제2 보정 데이터로 변환하는 다계조화부를 포함한다. 그리고 타이밍 제어부로부터 출력되는 제2 보정 데이터에 대응하는 데이터 전압을 출력하는 데이터 드라이버가 추가로 형성되어 있다. 이 논리 회로는 원시 화상 데이터를 그 계조에 따라 2개 이상의 구간으로 나누고, 원시 화상 데이터의 감마 특성에 의해 미리 정해진 감마 보정 데이터에 따라 각 구간별로 원시 화상 데이터를 제1 보정 데이터로 보정한다.

이 때, 액정 표시 장치는 보정 연산에 필요한 파라미터를 저장하며 타이밍 제어부의 내부 또는 외부에 형성되는 메모리를 더 포함하는 것이 바람직하다.

그리고 본 발명의 첫 번째 특징에 따른 액정 표시 장치의 논리 회로는 원시 화상 데이터에 보정 연산으로 연산된 보정치를 더하고, 이를 m비트의 제1 보정 데이터로 비트 변환하는 것이 바람직하다.

이 때, 논리 회로는 경계치에 의해 구분되는 제1 및 제2 구간에서의 보정치를 각각 $MD_1 - MD_1 \times \left\{ \frac{(D-BB)}{UN} \right\}^{UO}$ 및 $MD_2 - MD_2 \times \left\{ \frac{(BB-D)}{DN} \right\}^{DO}$ (D는 원시 화상 데이터, BB는 경계치, UN 및 DN은 각각 제1 및 제2 구간의 크기, UO 및 DO는 각각 제1 및 제2 구간에서의 다항식의 차수, MD $_1$ 및 MD $_2$ 는 각각 제1 및 제2 구간에서의 원시 화상 데이터와 감마 보정 데이터의 차이의 최대값)로 연산할 수 있다. 그리고 메모리는 경계치, 제1 및 제2 구간의 크기, 제1 및 제2 구간에서의 다항식의 차수, 및 제1 및 제2 구간에서의 원시 화상 데이터와 감마 보정 데이터의 차이의 최대값을 저장하는 것이 바람직하다.

본 발명의 두 번째 특징에 따른 액정 표시 장치의 논리 회로는 각 구간에서의 감마 보정 데이터가 계조에 따라 선형적으로 변한다고 가정하여 제1 보정 데이터를 연산한다.

이 때, 제1 보정 데이터는 $Y_{\min} + \frac{(Y_{\max} - Y_{\min})}{(X_{\max} - X_{\min})}(X - X_{\min})$ (여기서, X $_{min}$ 및 X $_{max}$ 는 각각 각 구간에서의 최소 및 최대 경계치이며, Y $_{min}$ 및 Y $_{max}$ 는 각각 X $_{min}$ 및 X $_{max}$ 에서의 감마 보정 데이터이며, X는 원시 화상 데이터임)로 결정될 수 있으며, 메모리는 각 경계치에서의 감마 보정 데이터를 저장하는 것이 바람직하다.

그리고 이러한 첫 번째 및 두 번째 특징에 따른 액정 표시 장치에서 메모리는 타이밍 제어부에 포함되는 비휘발성 메모리일 수 있다.

또는 메모리는 타이밍 제어부 외부에 형성되는 비휘발성 메모리일 수 있으며, 타이밍 제어부는 메모리에 저장된 파라미터를 임시로 저장하는 휘발성 메모리, 및 메모리에 저장된 파라미터를 휘발성 메모리로 로드하는 메모리 제어부를 더 포함할 수 있다.

또는 메모리는 타이밍 제어부의 내부 및 외부에 각각 형성되는 비휘발성의 제1 및 제2 메모리를 포함할 수 있으며, 타이밍 제어부는 제1 또는 제2 메모리에 저장된 파라미터를 임시로 정하는 휘발성 메모리, 및 제1 또는 제2 메모리에 저장된 파라미터를 휘발성 메모리로 로드하는 메모리 제어부를 더 포함할 수 있다.

본 발명의 세 번째 특징에 따른 액정 표시 장치의 구동 장치는 논리 회로와 이 논리 회로의 연산에 필요한 파라미터를 저장하는 저장 장치를 포함한다. 논리 회로는 외부로부터 입력되는 n비트의 화상 데이터를 경계 계조값을 기준으로 제1 및 제2 구간으로 나누고, 화상 데이터의 감마 특성에 의해 미리 결정된 감마 보정 데이터에 따라 각 구간별로 화상 데이터를 m비트의 보정 데이터로 보정한다. 그리고 논리 회로는 화상 데이터에 보정 연산으로 연산된 보정치를 더하고, 이를 m비트의 보정 데이터로 비트 변환한다.

이 때, 논리 회로는 제1 및 제2 구간에서의 보정치를 각각 $MD_1 - MD_1 \times \left\{ \frac{(D-BB)}{UN} \right\}^{UO}$ 및 $MD_2 - MD_2 \times \left\{ \frac{(BB-D)}{DN} \right\}^{DO}$ (D는 화상 데이터, BB는 경계 계조값, UN 및 DN은 각각 제1 및 제2 구간의 크기, UO 및 DO는 각각 제1 및 제2 구간에서의 다항식의 차수, MD $_1$ 및 MD $_2$ 는 각각 제1 및 제2 구간에서의 화상 데이터와 감마 보정 데이터의 차이의 최대값)로 연산하는 것이 바람직하다.

본 발명의 네 번째 특징에 따른 액정 표시 장치의 구동 장치는 외부로부터 입력되는 n비트의 화상 데이터를 일정 계조 간격으로 복수의 구간으로 나누어 연산하는 논리 회로와 각 구간의 경계 계조값에서의 감마 보정 데이터를 저장하는 저장 장치를 포함한다. 논리 회로는 화상 데이터의 감마 특성에 의해 미리 정해진 감마 보정 데이터에 따라 각 구간별로 화상 데이터를 m비트의 보정 데이터로 보정한다. 그리고 논리 회로는 입력되는 화상 데이터를 해당하는 구간에 따라 m비트의 보정 데이터로 변환한다.

이 때, 보정 데이터는 각 구간에서의 경계 계조값에 의해 선형화된 직선에 의해 결정되는 것이 바람직하다.

그리고 이러한 보정 데이터는 $Y_{\min} + \frac{(Y_{\max} - Y_{\min})}{(X_{\max} - X_{\min})}(X - X_{\min})$ (여기서, X_{min} 및 X_{max} 는 각각 각 구간에서의 최소 및 최대 경계 계조값이며, Y_{min} 및 Y_{max} 는 각각 X_{min} 및 X_{max} 에서의 감마 보정 데이터이며, X는 화상 데이터임)로 결정될 수 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

이제 본 발명의 실시예에 따른 액정 표시 장치 및 그 구동 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저 도 1을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 설명한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.

도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는 타이밍 제어부(100), 데이터 드라이버(200), 게이트 드라이버(300) 및 액정 패널(400)을 포함한다.

타이밍 제어부(100)는 외부의 그래픽 제어부(도시하지 않음) 등으로부터 RGB 화상 데이터와 함께 해당 RGB 화상 데이터의 디스플레이를 위한 동기 신호(Hsync, Vsync)와 클럭 신호(DE, MCLK) 등을 제공받아, 색 보정된 RGB 보정 화상 데이터를 데이터 드라이버(200)에 출력하고, 데이터 드라이버(200)와 게이트 드라이버(300)의 구동을 위한 디지털 신호인 타이밍 신호를 생성하여 해당 드라이버(200, 300)에 출력한다.

한편, 타이밍 제어부(100)에 내부에 색 보정부(500)를 포함하고 있으며, 색 보정부(500)는 초기 기동시 외부의 그래픽 제어부 등으로부터 제공되는 R, G, B 각각의 원시 화상 데이터에 대응하여 보정 화상 데이터를 생성하여 저장하고, 초기 기동 후 외부로부터 R, G, B 각각의 원시 화상 데이터가 입력됨에 따라 원시 화상 데이터에 대응하는 보정 화상 데이터를 출력한다.

자세하게 설명하면, 색 보정부(500)는 액정 표시 장치의 초기 기동시에, 외부로부터 R, G, B 각각에 대한 소정 비트의 원시 화상 데이터를 제공받아 소정 비트의 보정 화상 데이터(이하 ACC 데이터라 함)로 변환하여 저장한다.

또한 색 보정부(500)는 액정 표시 장치의 초기 기동 이후에 외부로부터 R, G, B 각각에 대한 원시 화상 데이터가 입력됨에 따라 원시 화상 데이터에 대응하는 ACC 데이터를 추출하고, 추출된 ACC 데이터를 다계조 변환하여 출력한다. 이때 다 계조 변환되기 이전의 ACC 데이터는 원시 화상 데이터의 비트수와 동일할 수도 있고, 원시 화상 데이터의 비트수보다 클 수도 있다. 또한, 다계조 변환된 이후의 ACC 데이터는 원시 화상 데이터의 비트수와 동일한 것이 바람직하다. 그리고 이러한 색 보정부(500)는 타이밍 제어부(100)의 외부에 구현될 수도 있다.

데이터 드라이버(200)는 타이밍 제어부(100)로부터 R, G, B 디지털 데이터(R[0:N], G[0:N], B[0:N])를 제공받아 이를 저장하고, 로드 신호(LOAD)가 인가되면각각의 디지털 데이터에 해당되는 전압을 선택하여 액정 패널(400)에 데이터 전압을 전달한다.

게이트 드라이버(300)는 타이밍 제어부(100)로부터 게이트 클럭 신호(Gate clk)와 수직 라인 시작 신호(STV)를 제공받고, 게이트 구동 전압 발생부(도시하지 않음) 또는 타이밍 제어부(100)로부터 전압을 제공받아 액정 패널(400) 상의 각 게이트선을 선택하는 게이트 신호를 인가한다.

액정 패널(400)에는 게이트 신호를 전달하는 복수의 게이트선(도시하지 않음)이 가로 방향으로 배열되어 있으며, 데이터 전압을 전달하는 복수의 데이터선(도시하지 않음)이 세로 방향으로 배열되어 있다. 그리고 액정 패널(400)에는 게이트선과 데이터선을 통해 입력되는 신호에 따라 화상을 표시하는 복수의 화소(도시하지 않음)가 매트릭스 형태로 형성되어 있다.

아래에서는 도 2 및 도 3을 참조하여 본 발명의 제1 실시예에 따른 색 보정부(500)에 대하여 자세하게 설명한다.

도 2는 본 발명의 제1 실시예에 따른 색 보정부를 나타내는 도면이다. 도 3 은 본 발명의 제1 실시예에서 화상 데이터를 보정하는 방법을 나타내는 도면이다.

도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 색 보정부(500)는 R 데이터 보정부(510), G 데이터 보정부(520), B 데이터 보정부(530), 및 R, G, B 데이터 보정부(510, 520, 530)에 각각 연결된 다계조화부(540, 550, 560)를 포함한다.

R, G 및 B 데이터 보정부(510, 520, 530)는 외부로부터 입력되는 R, G, B 각각의 n비트 원시 화상 데이터를 액정 특정에 맞게 미리 정해진 m비트의 ACC 데이터로 변환한 후 다계조화부(540, 550, 560)에 각각 출력한다. 즉, R, G 및 B 데이터 보정부(510, 520, 530)는 원시 화상 데이터의 감마를 보정한다. 이러한 R, G 및 B 데이터 보정부(510, 520, 530)는 n비트 데이터를 m비트의 ACC 데이터로 변환하기 위한 룩업 테이블(lookup table, 이하 LUT라 함)을 저장하고 있는 ROM으로 이루어진다. 그리고 이들은 각각 다른 ROM으로 이루어질 수 있으며 또는 하나의 ROM으로 이루어질 수도 있다.

다계조화부(540, 550, 560)는 m비트(m>n) 데이터를 R, G, B 각각의 n비트 ACC 데이터로 변환한 후 타이밍 제어부(100)에 제공한다. 여기서, 다계조화부(540, 550, 560)는 공간적 및 시간적으로 디더링(dithering) 처리와 프레임 레이트 컨트롤(frame rate control, 이하 FRC라 함) 처리를 수행한다. 이러한 다계조화부(540, 550, 560)는 하나의 다계조화부로 될 수 있다.

자세하게 설명하면, 도 3에 도시한 바와 같이 130 계조에 해당하는 B 화상 데이터의 휘도를 원하는 값으로 낮추기 위해서는 이에 해당하는 계조의 B 화상 데 이터가 입력되어야 한다. 즉, 도 3의 예에서는 128.5 계조에 해당하는 B 화상 데이터가 입력될 때 원하는 휘도값을 얻을 수 있다.

따라서 외부로부터 입력되는 130 계조의 B 화상 데이터를 B 데이터 보정부(530)에 저장되어 있는 LUT를 통하여 128.5 계조의 B 화상 데이터로 보정하여야 한다. 그런데 입력되는 원시 화상 데이터가 8비트의 데이터라면 128.5 계조를 표현할 수 없으므로, 더 높은 비트를 사용하여 128.5 계조를 표현해야 한다. 예를 들어 10비트를 사용한다면 128.5 계조는 514(=128.5×4)로 대응시킬 수 있다. 물론 입력되는 8비트보다 더 많은 비트로 변환하면 색 보정 효과는 월등하다는 것은 당연한 사실이다.

따라서, 타이밍 제어부(100)에 입력되는 R, G, B 각각의 화상 데이터(n비트) 2^n 개에 각각 해당하는 m비트(m>n)의 ACC 데이터를 R, G, B 데이터 보정부(510, 520, 530)의 LUT에 저장해두면 된다. 그리고 액정 패널로 데이터 드라이버(200)로 전달되는 화상 데이터는 n비트 또는 그 이하의 비트를 사용하는 데이터이므로, 다계조화부(540, 550, 560)에서는 m비트의 ACC 데이터에 대하여 공간적 디더링 처리와 시간적 FRC 처리를 하여 데이터 드라이버(200)로 제공한다.

아래에서는 이러한 다계조화부에서의 디더링 처리 방식과 FRC 처리 방식에 대해서 간략히 설명한다.

액정 패널에 표현될 수 있는 한 프레임에서의 1화소는 X, Y의 2차 평면으로 나타낼 수 있다. 이때 X는 수평 라인 수를 나타내고, Y는 수직 라인 수를 말하는 데, 프레임 횟수를 나타내는 시간축의 변수를 Z로 설정하면 한 지점에서의 화소의 위치에 대한 좌표값은 X, Y, Z의 3차원으로 표현될 수 있다. 이 때, X, Y를 일정한 값으로 고정시키고 그 위치에서 정해진 프레임이 반복되는 동안 화소가 온되는 횟수를 정해진 프레임 개수로 나눈 값을 듀티 비율(duty rate)로 정의할 수 있다.

예를 들어 (1,1) 위치에서 어떤 계조 레벨의 듀티 비율이 1/2이라고 가정하면 (1,1)의 위치에서는 2프레임 중에서 1프레임 동안 화소가 온 된다는 것을 나타낸다. 따라서 액정 표시 장치에서 다양한 계조 레벨을 표현하기 위해서는 각각의 계조 레벨마다 듀티 비율을 설정해두고, 설정된 듀티 비율에 따라서 화소를 온/오프 시킨다. 이러한 방법에 의해 화소를 온/오프시키는 방식을 FRC 방식이라 한다.

그러나 이러한 FRC 방식만으로 액정 표시 장치를 구동하면 인접한 화소들이 동시에 온/오프되어, 시각적으로 화면의 깜박거리는 플리커(flicker)가 발생한다. 이러한 플리커 현상을 제거하기 위해서는 디더링(dithering) 방식이 이용된다. 디더링 방식은 같은 계조 레벨이 인접한 화소에서 동시에 발생되더라도, 화소가 구현되는 위치, 즉 프레임, 수직 라인 또는 수평 라인의 위치에 따라 동일하지 않은 온/오프 값을 갖도록 제어하는 방식이다.

아래에서는 도 4를 참조하여 예를 들어 10비트의 ACC 데이터를 8비트로 표현하기 위한 디더링 처리 및 FRC 처리에 대하여 설명한다.

도 4는 10비트의 ACC 데이터를 8비트로 표현하기 위한 방법을 나타내는 도면이다.

10비트의 ACC 데이터는 상위 8비트의 데이터와 하위 2비트의 데이터로 나눌 수 있으며, 하위 2비트의 데이터는 '00', '01', '10' 또는 '11'이 된다. 이 때, 하위 2비트의 데이터가 '00'인 경우를 표시하기 위해서는 인접하는 4개의 화소를 전부 상위 8비트의 데이터로 표현하면 된다. 그리고 하위 2비트의 데이터가 '01'인 경우를 표시하기 위해서는 인접하는 4개의 화소 중 하나의 화소에는 상위 8비트의 데이터에 1을 더한 값을 표시하면, 4개의 화소에서는 평균적으로 하위 2비트가 '01'인 경우가 된다. 이 때, 이러한 플리커가 발생하지 않도록 상위 8비트+1에 해당하는 화소의 위치를 도 4에 도시한 바와 같이 프레임에 따라 이동시키면 된다.

마찬가지로 하위 2비트가 '10'인 경우에는 인접하는 4개의 화소에서 2개의 화소를 상위 8비트+1의 데이터로 표시하고, 하위 2비트가 '11'인 경우에는 3개의 화소를 상위 8비트+1의 데이터로 표시하면 된다. 그리고 이 경우에도 플리커가 발생하지 않도록 8비트+1의 데이터로 표시되는 화소의 위치를 프레임에 따라 변경시키면 된다. 도 4에서는 예로서 4n, 4n+1, 4n+2 및 4n+3 프레임에 따라 화소의 위치를 변경하는 방법을 나타내고 있다.

본 발명의 제1 실시예에서는 타이밍 제어부(100) 내에 R, G 및 B 데이터 보정부(510, 520, 530)에 해당하는 ROM을 사용하였지만, 이와는 달리 R, G 및 B 데이터 보정부(510, 520, 530)를 RAM으로 사용하고 외부 ROM으로부터 보정 데이터를 로드하여 사용할 수도 있다. 아래에서는 이러한 실시예에 대하여 도 5 및 도 6을 참조하여 설명한다.

도 5 및 도 6은 각각 본 발명의 제2 및 제3 실시예에 따른 색 보정부의 주변부를 나타내는 도면이다.

도 5에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 액정 표시 장치는 외부 ACC 데이터 저장부(700) 및 ROM 제어부(600)를 더 포함하며, R, G 및 B 데이터 보정부(510, 520, 530)는 휘발성의 RAM으로 형성되어 있다.

외부 ACC 데이터 저장부(700)에는 제1 실시예에서 설명한 보정 데이터에 해당하는 LUT가 저장되어 있으며, ROM 제어부(600)는 외부 ACC 데이터 저장부(700)에 저장되어 있는 LUT를 R, G 및 B 데이터 보정부(510, 520, 530)에 로드시킨다. 이후의 방법은 제1 실시예서와 동일하므로 설명을 생략한다.

이와 같이 본 발명의 제2 실시예에 의하면 외부 보정 데이터 저장부(700)에 LUT를 저장하므로 액정 패널을 변경하더라도 변경된 액정 패널에 최적인 보정 데이터를 저장하는 LUT만을 바꾸어 대응할 수 있다.

본 발명의 제3 실시예에 따른 액정 표시 장치는 도 6에 도시한 바와 같이 색 보정부(500)가 내부 ACC 데이터 저장부(800)를 더 포함한다는 점을 제외하면 본 발명의 제2 실시예와 동일하다.

자세하게 설명하면, 내부 ACC 데이터 저장부(800)는 외부 ACC 데이터 저장부(700)와 같이 앞에서 설명한 LUT를 저장하고 있으며, ROM 제어부(600)는 외부 또는 ACC 데이터 저장부(600, 800)에 저장된 LUT를 R, G 및 B 데이터 보정부(510, 520, 530)에 로드시킨다. 이후의 동작은 제1 실시예에와 동일하므로 설명을 생략한다.

이러한 본 발명의 제1 내지 제3 실시예에서는 LUT를 저장하기 위한 메모리(ROM 또는 RAM)의 데이터 비트가 상당히 커진다. 예를 들면, 8비트 데이터 를 10비트 데이터로 변환하기 위해서는 R, G 및 B 데이터 보정부(510, 520, 530)의 전체 ROM에는 7680(= 3×256×10)비트가 필요하다. 이와 같이 색 보정부(500)에 필요로 하는 데이터 비트 수가 커지면, 사용되는 ROM의 양이 증가하고 이에 따라 소비 전력도 증가하게 된다. 따라서 제1 실시예에서 설명한 룩업 테이블을 ROM에 저장하는 방식 대신에, ASIC의 로직을 사용하여 룩업 테이블에 해당하는 기능을 구현할 수 있다면 메모리의 용량을 줄일 수 있다.

아래에서는 이러한 실시예에 대하여 도 7 내지 도 10을 참조하여 설명한다.

도 7은 ACC 데이터와 원시 화상 데이터의 차이를 나타내는 도면이며, 도 8은 본 발명의 제4 실시예에 따라 ACC 데이터를 생성하는 방법을 나타내는 흐름도이다. 도 9는 본 발명의 제4 실시예에 따라 메모리에 저장된 파라미터를 로드하여 ACC 데이터를 생성하는 방법을 나타내는 도면이다. 도 10은 본 발명의 제4 실시예에 따라 보정된 ACC 데이터와 R 화상 데이터를 나타내는 도면이다.

본 발명의 제4 실시예에서는 R, G, B 화상 데이터는 256계조를 표현할 수 있는 8비트 신호로 가정하고, R, G, B 화상 데이터의 바람직한 ACC 데이터와 원시 화상 데이터의 차이는 도 7과 같이 주어지는 것으로 가정한다. 여기서 바람직한 ACC 데이터란 액정 패널의 특성에 따라 결정된 색 보정된 화상 데이터를 말한다.

도 7에 도시한 바와 같이, G 화상 데이터(G)의 바람직한 ACC 데이터는 원시 화상 데이터와 차이가 없으며, R 및 B 화상 데이터(R, B)의 바람직한 ACC 데이터와 원시 화상 데이터와의 차이를 나타내는 곡선은 대략 160 계조를 기준으로 하여 곡선의 형태가 달라진다. 이러한 점에 감안하여, R 및 B 화상 데이터(R, B)와 ACC 데이터(R_{ACC}, B_{ACC}

)의 차이(ΔR, ΔB)를 근사적인 수식으로 표현하면 각각 [수학식 1] 및 [수학식 2]와 같이 된다.

수학식 1

$$\Delta R = \begin{cases} 6 - \dfrac{6\times(160-R)}{160}, & R<160 \\ 6 - \dfrac{6\times(R-160)^4}{(255-160)^4}, & R\geq 160 \end{cases}$$

수학식 2

$$\Delta B = \begin{cases} -6 + \dfrac{6\times(160-B)}{160}, & B<160 \\ -6 + \dfrac{6\times(B-160)^4}{(255-160)^4}, & B\geq 160 \end{cases}$$

아래에서는 이러한 [수학식 1] 및 [수학식 2]를 사용하여 R 및 B 화상 데이터(R, B)의 ACC 데이터(R_{ACC}, B_{Acc})를 구하는 로직의 흐름에 대하여 도 8을 참조하여 자세하게 설명한다.

먼저 도 8에 도시한 바와 같이 8비트의 R 화상 데이터(R)가 입력되면 이 값과 미리 설정된 경계치(160)와의 대소를 비교한다(S501).

R 화상 데이터(R)가 경계치(160)보다 크면 R 화상 데이터(R)에서 경계치(160)를 빼고(S502), 이 값(R-160)에 1/(255-160)을 곱하는 데 이 연산은 1/(255-160)이 대략 11/1024와 같으므로 (R-160)에 11을 곱한 후 하위 10비트를 반올림하면 된다(S503). 다음에 ((R-160)×11/1024)의 제곱과 4제곱을 차례로 연산하는 데, 이 연산은 ASIC 상에서 파이프라인으로 해결할 수 있다(S504). 앞에서 연산한 결과(((R-160)×11/1024) ^{4})에 6을 곱하는 연산을 하고(S505), 6에서 이 연산 된 값(6×((R-160)×11/1024)) ^{4})에 6을 빼어서 ΔR을 [수학식 1]과 같이 구한다(S506).

R 화상 데이터(R)가 경계치(160)보다 작으면 경계치(160)에서 R 화상 데이터(R)를 빼고(S511), 이 값(160-R)에 1/160을 곱하는 데 이 연산은 1/160이 대략 13/2048과 같으므로 (160-R)에 13을 곱한 후 하위 11비트를 반올림하면 된다(S512). 다음에 ((160-R)×13/2048)에 6을 곱하는 연산을 하고(S513), 6에서 이 연산된 값(((160-R)×13/2048)×6)을 빼어서 ΔR을 [수학식 1]과 같이 구한다(S514).

단계(S506 또는 S514)에서 구해진 ΔR로부터 R 화상 데이터의 10비트 ACC 데이터를 구하기 위해서, 8비트의 R 화상 데이터(R)에 4를 곱하여 10비트로 변환한 후 이 값에 ΔR을 더한다(S507).

마찬가지로, B 화상 데이터(B)도 이와 같이 로직으로 계산할 수 있다.

이와 같이 본 발명의 제4 실시예에 의하면, ACC 데이터를 구하기 위해서 각 화상 데이터에 대응하는 ACC 데이터를 R, G, B 데이터 보정부(510, 520, 530) 상에 LUT로 저장할 필요 없이 ASIC 상에서 연산을 통하여 구할 수 있으며, 이와 같이 이러한 LUT를 저장할 메모리(ROM 또는 RAM)가 필요 없게 된다. 그러나 메모리를 사용하지 않고 ASIC 상의 로직만으로 이러한 연산을 수행하면, ACC 데이터를 바꾸어야 할 필요가 있을 때는 ASIC의 레이어(layer)를 바꾸어야 한다. 이러한 레이어 변경의 문제를 해결하기 위해서 연산을 수행하는 데 필요한 파라미터만을 R, G, B 데이터 보정부(510, 520, 530)의 메모리에 저장할 수도 있다.

즉, 본 발명의 제4 실시예와 같은 경우에는 [표 1]에 나타낸 것과 같은 파라미터만을 메모리에 저장하면 되므로, R 데이터 보정부(510)의 메모리는 48비트의 데이터 비트만을 가지면 된다.

[표 1]

파라미터	제4 실시예	심벌
계조의 경계를 나타내는 경계치	160	BB

최대 변화값	6	MD
경계 이하에서의 곱셈의 횟수	1	DO
경계 이상에서의 곱셈의 회수	4	UO
경계 이하에서의 제수의 역수	1/160	DN
경계 이상에서의 제수의 역수	1/(255-160)	UN

이러한 본 발명의 제4 실시예에서는 제1 실시예에서의 R, G, B 데이터 보정부(510, 520, 530)에 각각 [표 1]의 심벌(BB, MD, DO, UO, DN, UN)에 해당하는 데이터 비트(각각 8비트)만을 저장해두고, 도 9에 도시한 바와 같이 이 심벌을 로드하여 로직 계산을 하면 된다.

이와 같이 본 발명의 제4 실시예에 따라 보정된 ACC 데이터(R_{ACC})는 도 10에 도시한 바와 같이 R 화상 데이터(원 데이터)에 비하여 전체적으로 색 온도가 내려가며, 이에 따라 원하는 색 온도로 보정할 수 있다.

이러한 본 발명의 제4 실시예에 의하면 제1 실시예서의 R, G, B 데이터 보정부(510, 520, 530)는 각각 48비트의 데이터 비트를 가지는 메모리만을 가지면 되므로, 제1 실시예에 비하여 메모리 용량이 1.8%(=3×48/7680)로 줄어든다. 또한 제2 또는 제3 실시예에서의 R, G, B 데이터 보정부(510, 520, 530), 외부 ACC 데이터 저장부(700) 및 내부 ACC 데이터 저장부(800)가 이러한 데이터 비트만을 가지면 되 므로, 메모리 용량이 제1 실시예에 비하여 현저히 줄어든다.

또한 이러한 데이터를 메모리에 저장하지 않고 로직 자체를 이러한 연산을 수행하도록 구현한다면, 메모리를 사용하지 않을 수도 있다. 다만 이러한 경우에는 다양한 액정 패널의 특성에 대응할 수 없다는 문제점이 있다.

그리고 본 발명의 제4 실시예에서는 [수학식 1] 및 [수학식 2]와 같은 고차식의 다항식을 사용하여 ACC 데이터를 연산하였다. 이러한 고차식의 연산을 하기 위해서는 여러 번의 곱셈 연산을 하여야 하므로 ASIC의 파이프라인이 복잡해질 수 있으므로, 이러한 고차식을 선형화할 수 있으면 이러한 문제가 해결된다.

아래에서는 ACC 데이터의 연산식을 선형화시킨 제5 실시예에 대하여 도 11 내지 도 13을 참조하여 설명한다.

도 11은 본 발명의 제5 실시예에 따라 ACC 데이터를 생성하기 위해 구간을 나누는 방법을 나타내는 도면이며, 도 12는 본 발명의 제5 실시예에 따라 ACC 데이터를 나타내는 그래프에서 하나의 구간을 나타내는 도면이다. 도 13은 본 발명의 제5 실시예에 따라 보정된 ACC 데이터와 원시 화상 데이터를 나타내는 도면이다.

본 발명의 제5 실시예에서는 계조를 일정 간격으로 나누고 각 구간을 선형화시켜서 ACC 데이터와 원 데이터의 차이를 계산한다. 예를 들어 도 11에 도시한 ACC 데이터와 원시 화상 데이터(원 데이터)의 차이를 나타내는 그래프에서 그래프의 가로축인 계조를 나타내는 축을 일정 간격으로 나누면, 각 구간에서의 곡선은 대략적으로 선형화할 수 있다.

따라서 도 12에 도시한 바와 같이 ACC 데이터를 나타내는 그래프에서 각 구 간에서의 경계점[(X_{min}, Y_{min}), (X_{max}, Y_{max})]만 주어지면 [수학식 3]을 통하여 구간내의 다른 계조에서의 ACC 데이터와 원시 화상 데이터의 차이를 구할 수 있다.

수학식 3

$$Y = Y_{min} + \frac{(Y_{max} - Y_{min})}{(X_{max} - X_{min})}(X - X_{min})$$

여기서, X_{min} 및 X_{max} 는 각각 어떤 구간에서의 경계치에 해당하는 계조값(원시 화상 데이터)이며, Y_{min} 및 Y_{max} 는 각각 X_{min} 및 X_{max} 에서의 ACC 데이터를 나타내는 값이며, X 및 Y는 각각 어떤 구간에서의 임의의 계조값 및 그 계조값에서의 ACC 데이터를 나타내는 값이다.

이러한 [수학식3]에 의하면 경계점에서의 계조값(X_{min},X_{max})과 그 계조값에서의 ACC 데이터(Y_{min},Y_{max})만을 알면, 구간 내에서의 해당하는 계조값(X)에서의 ACC 데이터는 [수학식3]으로 계산할 수 있다.

이 때,계조 간격을 2의 거듭 제곱수로 한다면 [수학식3]의 나눗셈 연산은 비트의 시프트 연산으로 처리할 수 있으며, 입력되는 화상 데이터의 상위 몇 비트값으로 구간을 구분할 수 있다. 예를 들어 256(8비트) 계조의 화상 데이터가 입력될 때 각 구간을 8계조의 간격으로 나눈 경우에는 [수학식3]에서의 나눗셈은 연산된 결과에서 3비트를 시프트하면 되고,간격 구분은 상위 5비트의 값으로 구분하면 된다.

따라서 본 발명의 제5 실시예에서는 이러한 경계값에서의 ACC 데이터를 저장하고 있으면 된다. 그리고 각 구간에서의 경계값은 두 개이므로 두 개의 파라미터 가 존재할 수 있지만, 앞 구간의 Y_{max} 은 다음 구간의 Y_{min} 에 해당하므로 한 구간별로 하나의 파라미터만 저장하면 된다. 예를 들어 입력되는 원시 화상 데이터가 8비트(256 계조)인 경우에 구간을 나누는 간격을 8계조로 하였다면, 전체 구간의 수는 32개가 되어 경계값이 32개가 필요하게 되고 이 경계값에서의 ACC 데이터만을 저장하면 된다.

이러한 본 발명의 제5 실시예에 의하면 제1 실시예서의 R, G, B 데이터 보정부(510, 520, 530)는 각각 320(=32×10, 입력되는 원시 화상 데이터가 8비트일 때 8계조 간격으로 구간을 나누고 ACC 데이터를 10비트로 한 경우) 비트의 데이터 비트를 가지는 메모리만을 가지면 되므로, 제1 실시예에 비하여 메모리 용량이 12.5%(=3×320/7680)로 줄어든다. 또한 제2 또는 제3 실시예에서의 R, G, B 데이터 보정부(510, 520, 530), 외부 ACC 데이터 저장부(700) 및 내부 ACC 데이터 저장부(800)가 이러한 데이터 비트만을 가지면 되므로, 메모리 용량이 제1 실시예에 비하여 현저히 줄어든다.

이 때 계조 간격의 크기를 크게 하면 메모리 용량이 더욱 줄어들지만 정확도가 떨어진다는 것은 당연하다. 예를 들어 16계조 간격으로 나누는 경우에는 전체 구간의 수가 16개로 되므로 R, G, B 각각에 필요한 메모리의 데이터 비트 수는 160비트(=16×10)가 되어, 메모리 용량이 제1 실시예에 대해 6.25%(3×160/7680)로 된다. 그리고 32계조 간격으로 나누는 경우에는 전체 구간의 수가 8개로 되므로 R, G, B 각각에 필요한 메모리의 데이터 비트 수는 80비트(=8×10)가 되어, 메모리 용 량이 제1 실시예에 대해 3.125%로 된다.

이와 같이 본 발명의 제5 실시예에 따라 보정된 ACC 데이터(R_{ACC})는 도 13에 도시한 바와 같이 R 화상 데이터(원 데이터)에 비하여 전체적으로 색 온도가 내려가며, 이에 따라 원하는 색 온도로 보정할 수 있다.

본 발명의 제1 내지 제5 실시예에서는 8비트(256) 계조를 표현하는 원시 화상 데이터가 입력되는 경우에 10비트의 ACC 데이터를 생성하는 경우를 예로 들어 설명하였지만, 본 발명은 이에 한정되지 않고 n비트 계조를 표현하는 원시 화상 데이터에 대하여 m비트의 ACC 데이터를 생성하는 모든 경우에 적용할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면 화상 데이터를 색 보정하여 ACC 데이터를 생성하는 데 필요한 메모리를 현저하게 줄일 수 있다. 즉 종래에는 ACC 데이터를 룩업 테이블 형태로 메모리에 저장하여 사용하였지만, 본 발명에서는 로직 연산을 통하여 ACC 데이터를 생성하므로 로직 연산에 필요한 파라미터만을 메모리에 저장하면 된다.

(57) 청구의 범위

청구항 1.

외부로부터 입력되는 n비트의 원시 화상 데이터를 그 계조에 따라 2개 이상의 구간으로 나누고, 상기 원시 화상 데이터의 감마 특성에 의해 미리 정해진 감마 보정 데이터에 따라 각 구간별로 상기 원시 화상 데이터를 m비트의 제1 보정 데이터로 보정하는 논리 회로, 및 상기 m비트의 제1 보정 데이터를 n비트 또는 상기 n비트 보다 작은 비트의 제2 보정 데이터로 변환하는 다계조화부를 포함하는 타이밍 제어부, 그리고

상기 타이밍 제어부로부터 출력되는 상기 제2 보정 데이터에 대응하는 데이터 전압을 출력하는 데이터 드라이버

를 포함하며,

상기 논리 회로는 상기 각 구간별로 상기 감마 특성에 따른 보정 연산을 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 보정 연산에 필요한 파라미터를 저장하며, 상기 타이밍 제어부의 내부 또는 외부에 형성되는 메모리를 더 포함하는 액정 표시 장치.

청구항 3.
제2항에 있어서,

상기 논리 회로는 상기 원시 화상 데이터에 상기 보정 연산으로 연산된 보정 치를 더하고, 이를 상기 m비트의 제1 보정 데이터로 비트 변환하는 액정 표시 장치.

청구항 4.
제3항에 있어서,

상기 논리 회로는 경계치에 의해 구분되는 제1 및 제2 구간에서의 보정치를 각각 $MD_1 - MD_1 \times \left\{ \frac{(D-BB)}{UN} \right\}^{UO}$ 및 $MD_2 - MD_2 \times \left\{ \frac{(BB-D)}{DN} \right\}^{DO}$ (D는 상기 원시 화상 데이터, BB는 상기 경계치, UN 및 DN은 각각 상기 제1 및 제2 구간의 크기, UO 및 DO는 각각 상기 제1 및 제2 구간에서의 다항식의 차수, MD_1 및 MD_2 는 각각 상기 제1 및 제2 구간에서의 상기 원시 화상 데이터와 상기 감마 보정 데이터의 차이의 최대값)로 연산하는 액정 표시 장치.

청구항 5.
제4항에 있어서,

상기 메모리는 상기 경계치, 상기 제1 및 제2 구간의 크기, 상기 제1 및 제2 구간에서의 다항식의 차수, 그리고 상기 제1 및 제2 구간에서의 상기 원시 화상 데이터와 상기 감마 보정 데이터의 차이의 최대값을 저장하는 액정 표시 장치.

청구항 6.
제2항에 있어서,

상기 논리 회로는 상기 각 구간에서의 상기 감마 보정 데이터가 계조에 따라 선형적으로 변한다고 가정하여 상기 제1 보정 데이터를 연산하는 액정 표시 장치.

청구항 7.
제6항에 있어서,

상기 제1 보정 데이터는 $Y_{\min} + \frac{(Y_{\max} - Y_{\min})}{(X_{\max} - X_{\min})}(X - X_{\min})$ (여기서, X_{min} 및 X_{max} 는 각각 상기 각 구간에서의 최소 및 최대 경계치이며, Y_{min} 및 Y_{max} 는 각각 X_{min} 및 X_{max} 에서의 상기 감마 보정 데이터이며, X는 상기 원시 화상 데이터임)로 결정되는 액정 표시 장치.

청구항 8.
제2항에 있어서,

상기 메모리는 상기 타이밍 제어부에 포함되는 비휘발성 메모리인 액정 표시 장치.

청구항 9.
제2항에 있어서,

상기 메모리는 상기 타이밍 제어부 외부에 형성되는 비휘발성 메모리이며,

상기 타이밍 제어부는 상기 메모리에 저장된 상기 파라미터를 임시로 저장하는 휘발성 메모리, 및 상기 메모리에 저장된 상기 파라미터를 상기 휘발성 메모리로 로드하는 메모리 제어부를 더 포함하는

액정 표시 장치.

청구항 10.

제2항에 있어서,

상기 메모리는 상기 타이밍 제어부의 내부 및 외부에 각각 형성되는 비휘발성의 제1 및 제2 메모리를 포함하며,

상기 타이밍 제어부는 상기 제1 또는 제2 메모리에 저장된 상기 파라미터를 임시로 정하는 휘발성 메모리, 및 상기 제1 또는 제2 메모리에 저장된 상기 파라미터를 상기 휘발성 메모리로 로드하는 메모리 제어부를 더 포함하는

액정 표시 장치.

청구항 11.
외부로부터 입력되는 n비트의 화상 데이터를 경계 계조값을 기준으로 제1 및 제2 구간으로 나누고, 상기 화상 데이터의 감마 특성의 의해 미리 결정된 감마 보정 데이터에 따라 각 구간별로 상기 화상 데이터를 m비트의 보정 데이터로 보정하는 논리 회로, 그리고

상기 논리 회로의 연산에 필요한 파라미터를 저장하는 저장 장치

를 포함하며,

상기 논리 회로는 상기 화상 데이터에 보정 연산으로 연산된 보정치를 더하고, 이를 상기 m비트의 보정 데이터로 비트 변환하는 액정 표시 장치의 구동 장치.

청구항 12.
제11항에 있어서,

상기 논리 회로는 상기 제1 및 제2 구간에서의 보정치를 각각 $MD_1 - MD_1 \times \left\{ \frac{(D-BB)}{UN} \right\}^{UO}$ 및 $MD_2 - MD_2 \times \left\{ \frac{(BB-D)}{DN} \right\}^{DO}$ (D는 상기 화상 데이터, BB는 상기 경계 계조값, UN 및 DN은 각각 상기 제1 및 제2 구간의 크기, UO 및 DO는 각각 상기 제1 및 제2 구간에서의 다항식의 차수, MD_1 및 MD_2 는 각각 상기 제1 및 제2 구간에서의 상기 화상 데이터와 상기 감마 보정 데이터의 차이의 최대값)로 연산하는 액정 표시 장치의 구동 장치.

청구항 13.
외부로부터 입력되는 n비트의 화상 데이터를 일정 계조 간격으로 복수의 구간으로 나누고, 상기 화상 데이터의 감마 특성에 의해 미리 정해진 감마 보정 데이터에 따라 각 구간별로 상기 화상 데이터를 m비트의 보정 데이터로 보정하는 논리 회로, 그리고

상기 각 구간의 경계 계조값에서의 상기 감마 보정 데이터를 저장하는 저장 장치

를 포함하며,

상기 논리 회로는 입력되는 상기 화상 데이터를 해당하는 구간에 따라 상기 m비트의 보정 데이터로 변환하는 액정 표시 장치의 구동 장치.

청구항 14.
제13항에 있어서,

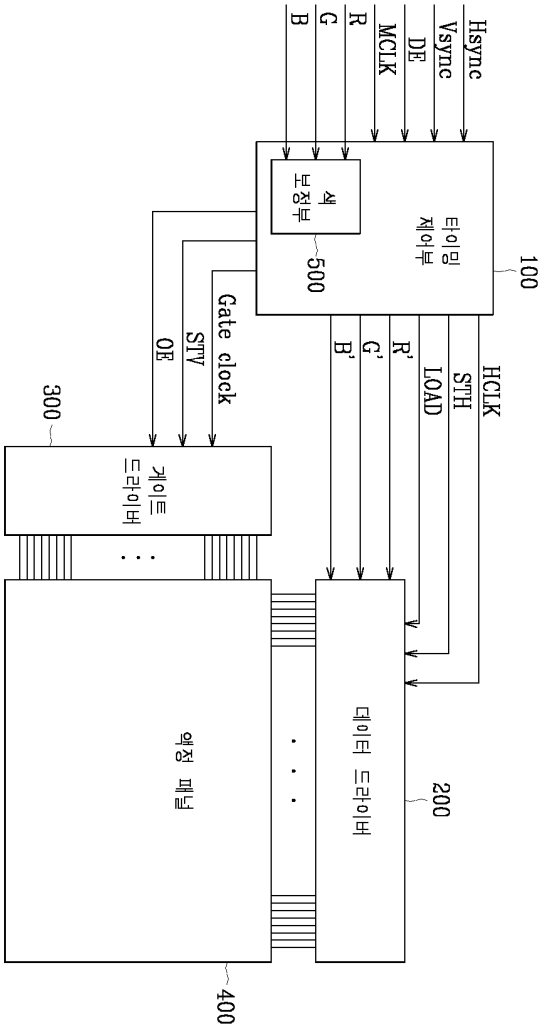
상기 보정 데이터는 각 구간에서의 경계 계조값에 의해 선형화된 직선에 의해 결정되는 액정 표시 장치의 구동 장치.

청구항 15.
제14항에 있어서,

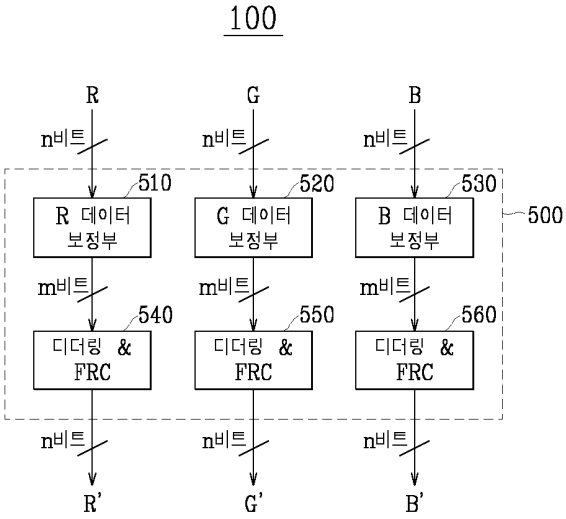
상기 보정 데이터는 $Y_{\min} + \frac{(Y_{\max} - Y_{\min})}{(X_{\max} - X_{\min})}(X - X_{\min})$ (여기서, X_{min} 및 X_{max} 는 각각 상기 각 구간에서의 최소 및 최대 경계 계조값이며, Y_{min} 및 Y_{max} 는 각각 X_{min} 및 X_{max} 에서의 상기 감마 보정 데이터이며, X는 상기 화상 데이터임)로 결정되는 액정 표시 장치의 구동 장치.

도면

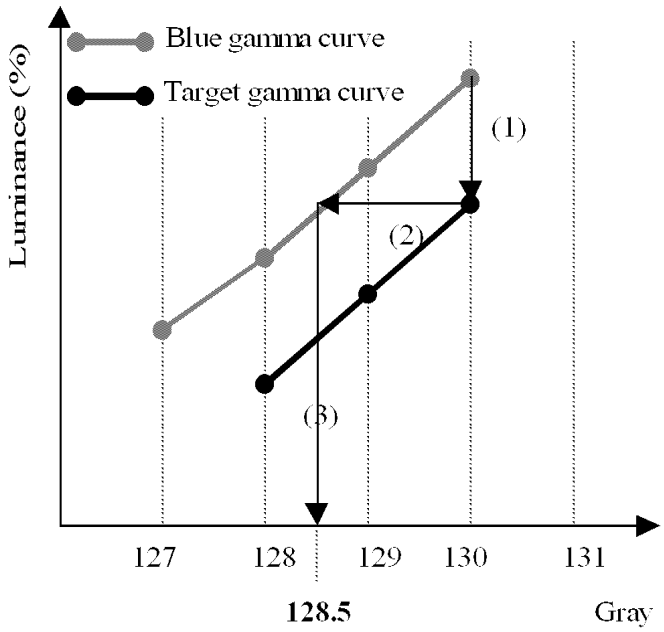
도면1


B
G
R
MCLK
DE
Vsync
Hsync
보정부
타이밍 제어부
500
100
OE
STV
Gate clock
B'
G'
R'
LOAD
STH
HCLK
300
게이트 드라이버
액정 패널
데이터 드라이버
200
400

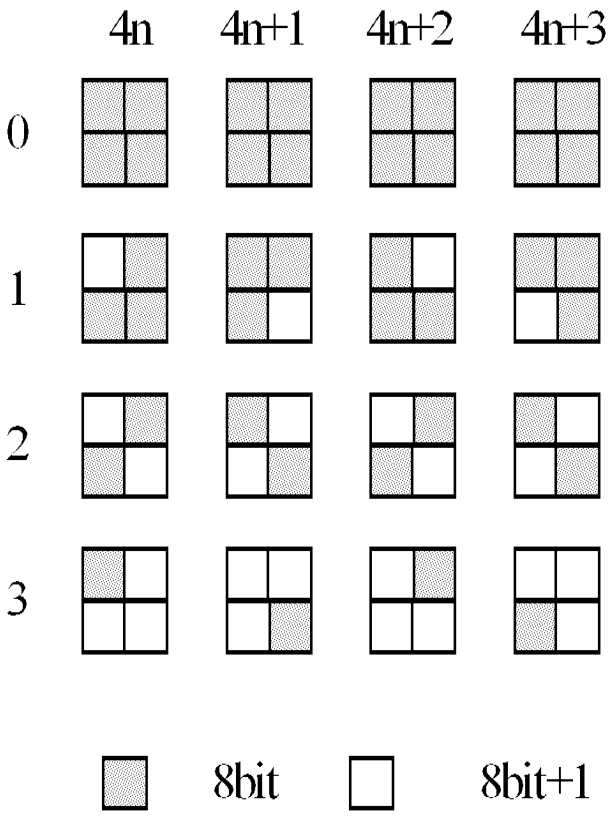
도면2


100
R
G
B
n비트
510
520
530
R 데이터 보정부
G 데이터 보정부
B 데이터 보정부
500
m비트
540
550
560
디더링 & FRC
R'
G'
B'

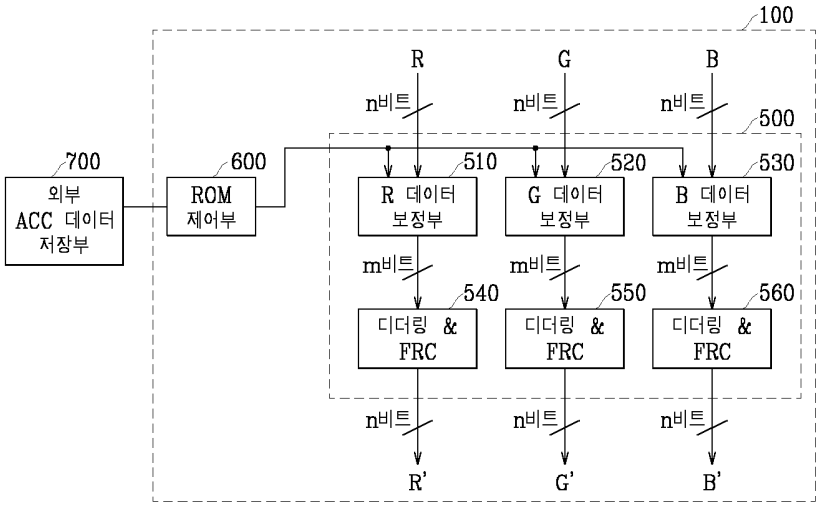
도면3


Blue gamma curve
Target gamma curve
Luminance (%)
(1)
(2)
(3)
127
128
129
130
131
128.5
Gray

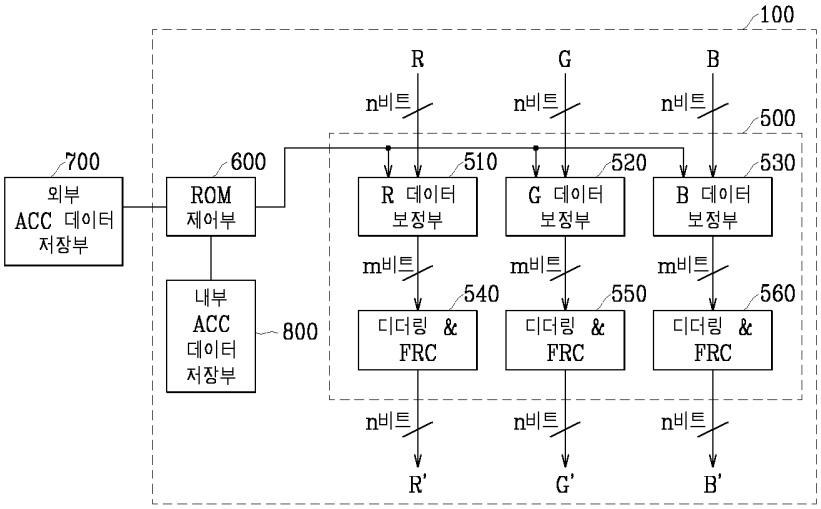
도면4


4n
4n+1
4n+2
4n+3
0
1
2
3
8bit
8bit+1

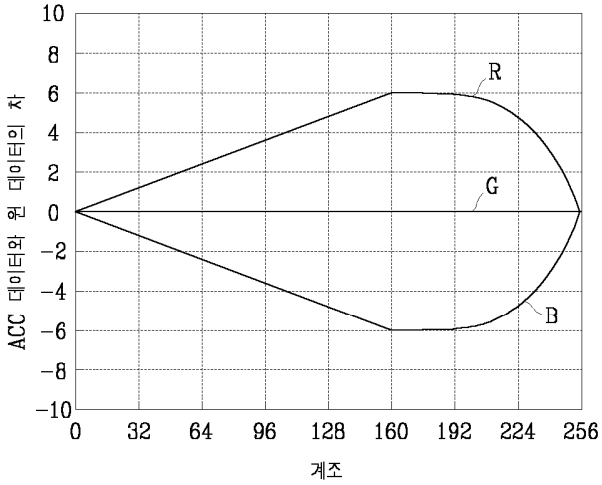
도면5


100
R
G
B
n비트
500
700
외부
ACC 데이터
저장부
600
ROM
제어부
510
R 데이터
보정부
520
G 데이터
보정부
530
B 데이터
보정부
m비트
540
550
560
디더링 &
FRC
R'
G'
B'

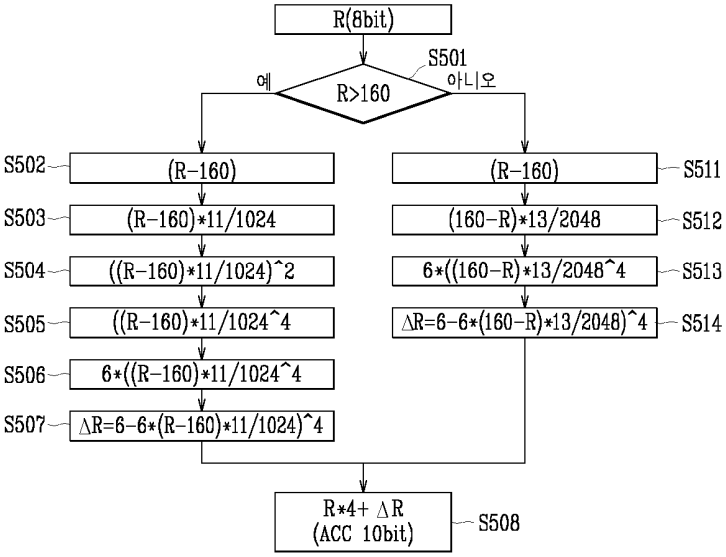
도면6


100
R
G
B
n비트
500
700
외부
ACC 데이터
저장부
600
ROM
제어부
510
R 데이터
보정부
520
G 데이터
보정부
530
B 데이터
보정부
내부
ACC
데이터
저장부
800
m비트
540
550
560
디더링 &
FRC
R'
G'
B'

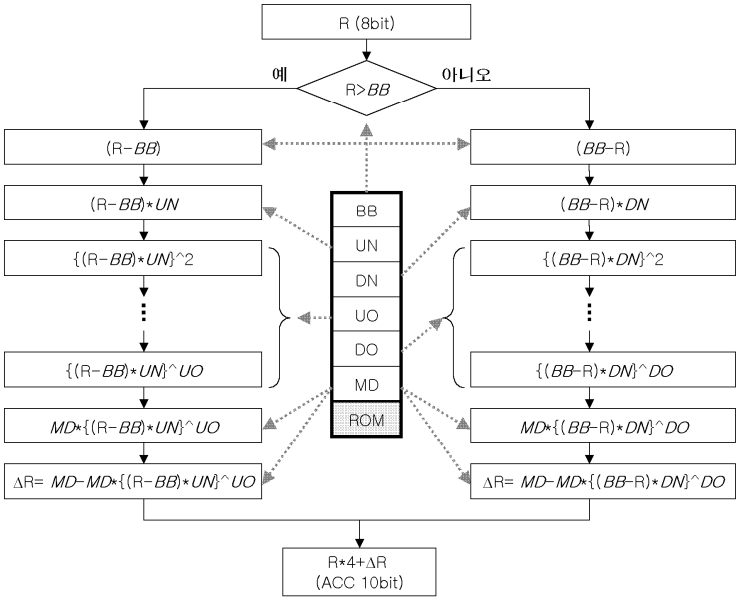
도면7


10
8
6
4
2
0
−2
−4
−6
−8
−10
ACC 데이터와 원 데이터의 차
R
G
B
0
32
64
96
128
160
192
224
256
계조

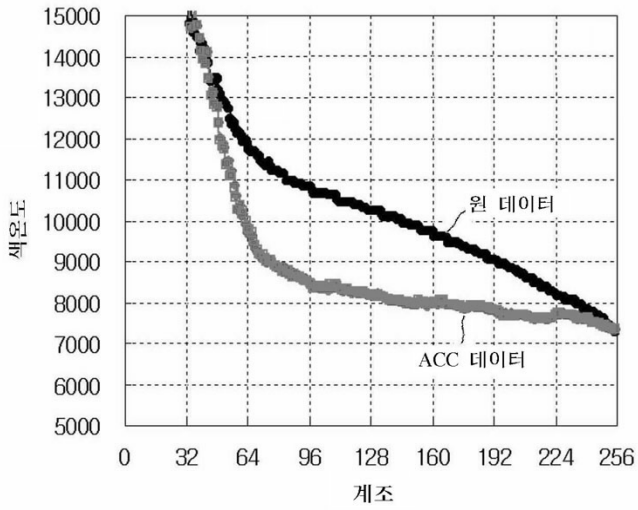
도면8


R(8bit)
S501
예
R>160
아니오
S502
(R-160)
S503
(R-160)*11/1024
S504
((R-160)*11/1024)^2
S505
((R-160)*11/1024^4
S506
6*((R-160)*11/1024^4
S507
ΔR=6-6*(R-160)*11/1024)^4
S511
(R-160)
S512
(160-R)*13/2048
S513
6*((160-R)*13/2048^4
S514
ΔR=6-6*(160-R)*13/2048)^4
R*4+ ΔR
(ACC 10bit)
S508

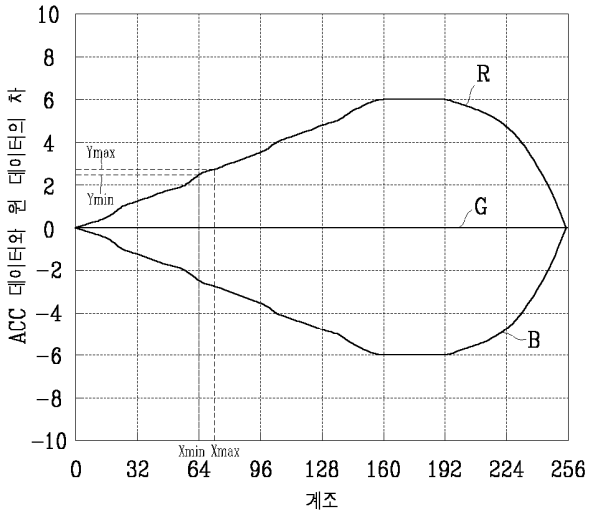
도면9


R (8bit)
예
R>BB
아니오
(R-BB)
(R-BB)*UN
{(R-BB)*UN}^2
{(R-BB)*UN}^UO
MD*{(R-BB)*UN}^UO
ΔR= MD-MD*{(R-BB)*UN}^UO
(BB-R)
(BB-R)*DN
{(BB-R)*DN}^2
{(BB-R)*DN}^DO
MD*{(BB-R)*DN}^DO
ΔR= MD-MD*{(BB-R)*DN}^DO
BB
UN
DN
UO
DO
MD
ROM
R*4+ΔR
(ACC 10bit)

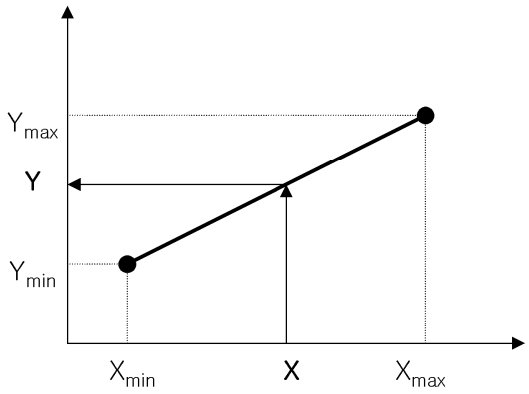
도면10


15000
14000
13000
12000
11000
10000
9000
8000
7000
6000
5000
색온도
원 데이터
ACC 데이터
0
32
64
96
128
160
192
224
256
계조

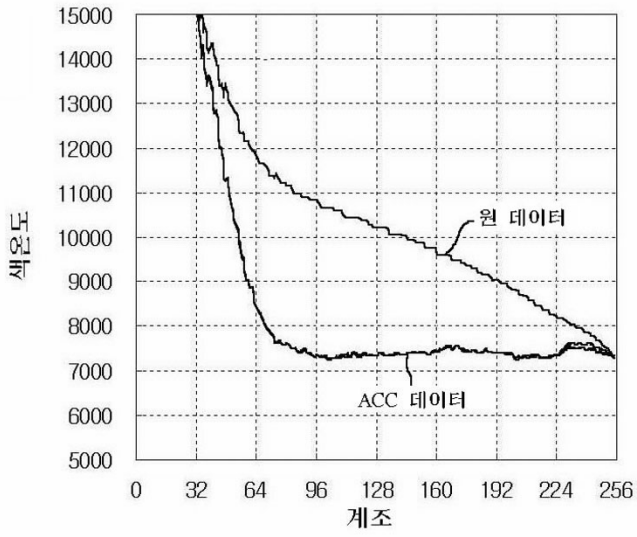
도면11



도면12



도면13



专利名称(译)	液晶显示装置及其驱动装置		
公开(公告)号	KR1020030092562A	公开(公告)日	2003-12-06
申请号	KR1020020030266	申请日	2002-05-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SEUNGWOO 이승우		
发明人	이승우		
IPC分类号	G09G3/36 G09G3/20 H04N5/66 G02F1/133		
CPC分类号	G09G3/2025 G09G3/3648 G09G2320/0673 G09G3/2051 G09G2320/0285 G09G3/2055		
其他公开文献	KR100859514B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶装置及其驱动装置，以通过对图像数据进行色彩校正来大大减少产生自适应色彩校正（ACC）所需的存储器。 组成：一种液晶装置，包括定时控制器（100）和数据驱动器（200）。 逻辑电路，用于根据其灰度将从外部输入的原始图像数据划分为至少两个间隔，并根据先前确定的伽马校正数据将原始图像数据校正为m位的第一校正数据。 用于将第一校正数据的m位转换成n位或小于n位的可变对比度单元。 并且，数据驱动器（200）输出与从定时控制器（100）输出的第二校正数据相对应的数据电压。 液晶装置的特征在于，逻辑电路响应于每个周期的伽马特性来执行伽马计算。