



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0067858
(43) 공개일자 2008년07월22일

(51) Int. Cl.

G02F 1/1337 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0005294

(22) 출원일자 2007년01월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

우화성

경기 수원시 영통구 매탄1동 주공4단지아파트
419-107

김희섭

경기 화성시 반월동 865-1 신영통현대1차아파트
110-304

(뒷면에 계속)

(74) 대리인

정상빈, 특허법인가산

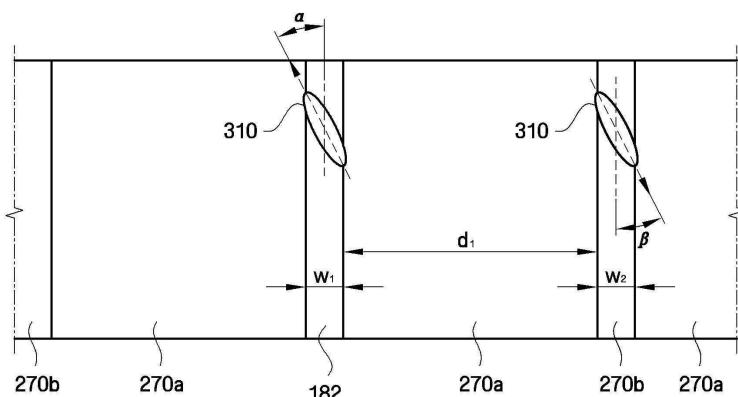
전체 청구항 수 : 총 7 항

(54) 액정 표시 장치

(57) 요 약

액정 패널의 미스 얼라인(mis-align)에 따른 투과율 변동을 줄일 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 제1 절연 기판 상의 화소 영역에 형성되고, 소정 간격 이격되어 스트라이프 형상으로 형성된 다수의 서브 화소 전극과, 다수의 서브 화소 전극을 전기적으로 연결하는 연결 전극을 구비하는 화소 전극 패턴 및 화소 전극 패턴 상에 형성되며 서브 화소 전극에 대해 소정의 러빙 각도로 러빙된 제1 배향막을 포함하는 제1 표시판과, 제2 절연 기판 상에 형성되고, 다수의 서브 화소 전극 사이에 배치된 서브 공통 전극과 다수의 서브 화소 전극을 노출하는 개구부를 구비하는 공통 전극 패턴 및 공통 전극 패턴 상에 형성되며 서브 공통 전극에 대해 소정의 러빙 각도로 러빙된 제2 배향막을 포함하는 제2 표시판과, 제1 및 제2 표시판 사이에 형성되며, 제1 및 제2 배향막의 러빙 방향에 초기 배향된 다수의 액정을 구비하는 액정층을 포함한다.

대표도 - 도5



(72) 발명자
이혁진
경기 성남시 분당구 구미동 까치마을롯데아파트
415동 1002호

투지안강
경기 수원시 영통구 영통동 벽적골8단지아파트
833-404

특허청구의 범위

청구항 1

제1 절연 기판 상의 화소 영역에 형성되고, 소정 간격 이격되어 스트라이프 형상으로 형성된 다수의 서브 화소 전극과, 상기 다수의 서브 화소 전극을 전기적으로 연결하는 연결 전극을 구비하는 화소 전극 패턴 및 상기 화소 전극 패턴 상에 형성되며 상기 서브 화소 전극에 대해 소정의 러빙 각도로 러빙된 제1 배향막을 포함하는 제1 표시판;

제2 절연 기판 상에 형성되고, 상기 다수의 서브 화소 전극 사이에 배치된 서브 공통 전극과 상기 다수의 서브 화소 전극을 노출하는 개구부를 구비하는 공통 전극 패턴 및 상기 공통 전극 패턴 상에 형성되며 상기 서브 공통 전극에 대해 소정의 러빙 각도로 러빙된 제2 배향막을 포함하는 제2 표시판; 및

상기 제1 및 제2 표시판 사이에 형성되며, 상기 제1 및 제2 배향막의 러빙 방향에 초기 배향된 다수의 액정을 구비하는 액정층을 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 배향막은 상기 서브 화소 전극의 길이 방향에 대해 대략 $10\sim40^\circ$ 으로 경사지도록 제1 방향으로 러빙된 액정 표시 장치.

청구항 3

제2 항에 있어서,

상기 제2 배향막은 상기 서브 공통 전극의 길이 방향에 대해 대략 $10\sim40^\circ$ 으로 경사지며, 상기 제1 방향과 180° 방향으로 러빙된 액정 표시 장치.

청구항 4

제1 항에 있어서,

상기 다수의 서브 화소 전극의 폭은 대략 $6\mu\text{m}$ 이하인 액정 표시 장치

청구항 5

제4 항에 있어서,

상기 서브 공통 전극은 인접하는 한 쌍의 상기 서브 화소 전극 사이에 각각 배치되며,

하나의 상기 서브 화소 전극으로부터 인접하는 상기 서브 공통 전극까지의 수평 거리는 대략 $10\sim13.5\mu\text{m}$ 인 액정 표시 장치.

청구항 6

제5 항에 있어서,

상기 서브 공통 전극의 폭은 대략 $6\mu\text{m}$ 이하인 액정 표시 장치.

청구항 7

제1 항에 있어서,

상기 액정층을 구성하는 상기 액정의 유전율 이방성이 양인 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<21> 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 액정 패널의 미스 얼라인에 따른 투과율 변동을 줄일 수 있는 액정 표시 장치에 관한 것이다.

<22> 액정 표시 장치(Liquid Crystal Display; LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정을 재배열시킴으로써 투과되는 광의 양을 조절하는 표시 장치이다.

<23> 그 중에서도 DFS(Dual Field Switching) 모드의 액정 표시 장치는 박막 트랜지스터 표시판에 스트라이프(stripe) 형상의 얇은 화소 전극을 복수로 배치하고, 공통 전극 표시판에 화소 전극 사이에 위치하는 스트라이프 형상의 얇은 공통 전극을 복수로 배열하여 형성될 수 있다. 이와 같은 화소 전극과 공통 전극의 배열로 인해 양 화소 전극과 공통 전극 사이에는 전계가 발생하게 되며, 공통 전극 표시판과 박막 트랜지스터 표시판의 간격에 비해 양 화소 전극 사이가 상대적으로 넓어 사실상의 횡전계와 유사한 전계가 생성된다.

<24> 그러나, 이와 같은 DFS 모드의 액정 표시 장치는 액정 패널의 제조 공정상 박막 트랜지스터 표시판 위에 공통 전극 표시판이 정확하게 정렬되지 않을 경우, 화소 전극과 공통 전극 사이의 거리가 변하게 되어 적절한 전계가 생성되지 않는다. 이에 따라 액정 패널의 투과율이 저하되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<25> 본 발명이 이루고자 하는 기술적 과제는, 투과율 변동을 줄일 수 있는 액정 표시 장치를 제공하고자 하는 것이다.

<26> 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 절연 기판 상의 화소 영역에 형성되고, 소정 간격 이격되어 스트라이프 형상으로 형성된 다수의 서브 화소 전극과, 다수의 서브 화소 전극을 전기적으로 연결하는 연결 전극을 구비하는 화소 전극 패턴 및 화소 전극 패턴 상에 형성되며 서브 화소 전극에 대해 소정의 러빙 각도로 러빙된 제1 배향막을 포함하는 제1 표시판과, 제2 절연 기판 상에 형성되고, 다수의 서브 화소 전극 사이에 배치된 서브 공통 전극과 다수의 서브 화소 전극을 노출하는 개구부를 구비하는 공통 전극 패턴 및 공통 전극 패턴 상에 형성되며 서브 공통 전극에 대해 소정의 러빙 각도로 러빙된 제2 배향막을 포함하는 제2 표시판과, 제1 및 제2 표시판 사이에 형성되며, 제1 및 제2 배향막의 러빙 방향에 초기 배향된 다수의 액정을 구비하는 액정층을 포함한다.

<28> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<29> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 다른 정의가 없다면 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.

<30> 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.

<31> 우선 도 1 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치에 대해 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 레이아웃도이고, 도 2는 도 1의 액정 표시 장치의 제1 표시판의 레이아웃도이며, 도 3은 도 1의 액정 표시 장치의 제2 표시판의 레이아웃도이고, 도 4는 도 1의 액정 표시 장치를 IV-IV' 선을 따라 절단한 단면도이다.

<32> 도 1 내지 도 4를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 표시판(100)과, 이에 대응되어

접합된 제2 표시판(200) 및 제1 표시판(100)과 제2 표시판(200) 사이에 주입된 다수의 액정(310)을 포함하는 액정층(300)으로 구성될 수 있다.

<33> 우선, 제1 표시판(100)은 유리 등의 투명한 절연 물질로 이루어진 제1 절연 기판(110) 상에 인듐 틴 옥사이드(Indium Tin Oxide, 이하 ITO라 함) 또는 인듐 징크 옥사이드(Indium Zinc Oxide, 이하 IZO라 함) 등의 투명 도전성 산화물로 형성되어 있으며, 소정 간격 이격되어 실질적으로 평행하게 배열된 다수개의 서브 화소 전극(182a)과, 이들을 전기적으로 연결하는 연결 전극(182b)을 구비하는 화소 전극 패턴(182)을 포함할 수 있다.

<34> 이러한 화소 전극 패턴(182)은 스위칭 소자, 예를 들어 박막 트랜지스터에 연결되어 소정의 전압, 예를 들어 데이터 전압을 인가받을 수 있다. 여기서 박막 트랜지스터는 게이트 신호를 전달하는 게이트선(122)과 데이터 신호를 전달하는 데이터선(162)에 각각 연결되어 게이트 신호에 따라 화소 전극 패턴(182)을 온/오프(on/off)할 수 있다.

<35> 또한 화소 전극 패턴(182) 상에는 제1 배향막(190)이 형성되어 있는데, 이러한 제1 배향막(190)은 액정층(300)에 포함되어 있는 액정(310)의 초기 배향을 수평하게 하기 위한 것이다. 여기서 제1 배향막(190)은 소정 방향, 예를 들어 서브 화소 전극(182a)과 소정의 각도를 가지는 제1 방향으로 러빙(rubbing)될 수 있다.

<36> 제2 표시판(200)은 유리 등의 투명한 절연 물질로 이루어진 제2 절연 기판(210) 상에 빛샘을 방지하는 블랙 매트릭스(220)와 적, 녹, 청의 컬러 필터(230) 및 ITO 또는 IZO 등의 투명한 도전성 산화물로 형성되어 있으며, 다수개의 개구부(270a)와 개구부(270a) 이외의 나머지 영역에 형성된 서브 공통 전극(270b)을 구비하는 공통 전극 패턴(270)을 포함할 수 있다. 여기서 제2 표시판(200)의 서브 공통 전극(270b)은 제1 표시판(100)의 다수의 서브 화소 전극(182a) 사이에 배치될 수 있다.

<37> 또한, 공통 전극 패턴(270) 상에는 제2 배향막(280)이 형성되어 있는데, 이러한 제2 배향막(280)은 앞서 설명된 제1 배향막(190)과 실질적으로 동일한 기능을 할 수 있다. 여기서 제2 배향막(280)은 제1 배향막(190)의 러빙 방향과 반대 방향, 예를 들어 제1 배향막(190)의 러빙 방향과 180° 를 이루며 러빙될 수 있다.

<38> 이하에서 상술한 액정 표시 장치에 대해 좀 더 상세히 설명한다.

<39> 우선 제1 표시판(100)에 대해 설명하면, 도 1, 도 2 및 도 4에 도시된 바와 같이, 제1 절연 기판(110) 상에 형성된 게이트 배선은 예컨대 가로 방향으로 형성되어 뻗어 있는 게이트선(122), 게이트선(122)의 끝단에 연결되어 외부로부터 게이트 신호를 인가 받아 게이트선(122)으로 전달하는 게이트 패드(124), 게이트선(122)에 연결되어 돌기 형태로 형성된 게이트 전극(126)을 포함한다. 이러한 게이트 배선은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 등으로 이루어진 도전막의 단일막 구조 또는 상기한 도전막 상에 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 등으로 이루어진 다른 도전막을 포함하는 다층막 구조(도시하지 않음)를 가질 수 있다.

<40> 제1 절연 기판(110) 및 게이트 배선 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(130)이 형성되어 있다.

<41> 게이트 절연막(130) 위에는 데이터 배선이 형성되어 있다. 데이터 배선은 예컨대 세로 방향으로 형성되어 게이트선(122)과 교차하여 예를 들어 직사각형 형상의 화소 영역을 정의하는 데이터선(162), 데이터선(162)의 분지인 소오스 전극(165), 소오스 전극(165)에 이격되어 있는 드레인 전극(166), 및 데이터선(162)의 일단에 형성된 데이터 패드(168)를 포함한다. 데이터선(162), 소오스 전극(165), 드레인 전극(166) 및 데이터 패드(168)도 게이트 배선과 마찬가지로 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 등으로 이루어진 도전막의 단일막 구조 또는 상기한 도전막 상에 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 등으로 이루어진 다른 도전막을 포함하는 다층막 구조(도시하지 않음)를 가질 수 있다.

<42> 소오스 전극(165)과 드레인 전극(166)의 하부에는 박막 트랜지스터의 채널부로 사용되는 반도체층(140)이 형성되어 있다. 또한, 반도체층(140) 위에는 소오스 및 드레인 전극(165, 166)과 채널부 반도체층(140) 사이의 접촉 저항을 감소시키기 위한 실리사이드 또는 n형 불순물이 고농도로 도핑된 n⁺ 수소화 비정질 규소 등의 물질로 이루어진 저항성 접촉층(155, 156)이 형성되어 있다.

<43> 데이터 배선 위에는 질화 규소 등의 무기 절연물이나 수지 등의 유기 절연물로 이루어진 보호막(170)이 형성되어 있다. 보호막(170)에는 드레인 전극(166) 및 데이터 패드(168)를 각각 노출시키는 컨택홀(177, 178)이 형성되어 있다. 또한, 보호막(170)에는 게이트 절연막(130)과 연결되어 있는 컨택홀(174)이 형성되어 있는데, 이는

케이트 패드(124)를 노출시킨다.

<44> 보호막(177) 위에는 콘택홀(177)을 통해 드레인 전극(166)과 전기적으로 연결되어 있는 화소 전극 패턴(182)이 형성되어 있다. 화소 전극 패턴(182)은 다수개의 서브 화소 전극(182a)과 이들을 연결하는 연결 전극(182b)을 포함한다.

<45> 서브 화소 전극(182a)은 세로 방향, 예를 들어 화소 영역의 장변과 실질적으로 평행한 방향, 즉 데이터선(162)의 연장 방향과 평행한 방향으로 형성된 소정의 스트라이프(stripe) 형상일 수 있다. 이때 각 서브 화소 전극(182a)의 폭은 액정 표시 장치의 광학 특성의 설정에 의존할 수 있으며, 예를 들어 각 서브 화소 전극(182a)의 폭은 대략 $6\mu\text{m}$ 이하일 수 있고, 바람직하게는 대략 $4\mu\text{m}$ 로 형성될 수 있다. 또한 각 서브 화소 전극(182a) 사이의 간격은 대략 $10\sim40\mu\text{m}$ 일 수 있다. 예를 들어 서브 화소 전극(182a)의 폭이 $4\mu\text{m}$ 인 경우, 각 서브 화소 전극(182a)들 사이의 간격은 $25\mu\text{m}$ 일 수 있다. 여기서 각 서브 화소 전극(182a) 사이에는 후술될 제2 표시판(200)의 서브 공통 전극(270b)이 배치될 수 있다.

<46> 연결 전극(182b)은 상기한 바와 같은 각 서브 화소 전극(182a)을 전기적으로 연결하기 위해 형성될 수 있다. 연결 전극(182b)은 예를 들어 도 1 및 도 2에 도시된 바와 같이, 서브 화소 전극(182a)의 양 끝단 중 어느 한 쪽 또는 양쪽 모두에서 각 서브 화소 전극(182a)을 연결하여 형성될 수도 있고, 각 서브 화소 전극(182a)의 가운데 부분을 연결하여 형성될 수 있으며, 그 형성 위치는 제한되지 않는다. 연결 전극(182b)을 통해 데이터선(162)으로부터 데이터 전압이 인가된 서브 화소 전극(182a)은 후술될 제2 표시판(200)의 서브 공통 전극(270b)과 함께 전계를 형성함으로써 화소 전극 패턴(182)과 공통 전극(270) 사이의 액정층(300)의 액정(310)의 배열을 결정할 수 있다.

<47> 또한 보호막(170) 위에는 콘택홀(174, 178)을 통하여 각각 케이트 패드(124) 및 데이터 패드(168)와 연결되어 있는 보조 케이트 패드(184) 및 보조 데이터 패드(188)가 형성되어 있다. 이는 외부 회로 장치와의 접착성을 보완하고 케이트 패드(124)와 데이터 패드(168)를 보호하기 위한 것으로, 예를 들어 ITO 또는 IZO로 형성될 수 있다.

<48> 화소 전극 패턴(182) 위에는 제1 배향막(190)이 형성될 수 있다. 제1 배향막(190)은 앞서 설명한 바와 같이, 액정층(300)의 액정(310)의 초기 배향을 수 있는 수평 배향막일 수 있다. 또한 제1 배향막(190)은 액정(310)의 초기 배향이 제1 절연 기판(110)의 평행한 면내에서 서브 화소 전극(182a)의 길이 방향에 대해 소정의 각도, 즉 제1 러빙 각도로 러빙될 수 있다. 여기서 제1 러빙 각도는 예를 들어 $10\sim40^\circ$, 바람직하게는 서브 화소 전극(182a)의 길이 방향에 대하여 대략 25° 일 수 있다. 이러한 제1 배향막(190)의 러빙은 후에 도 5 내지 도 7을 참조하여 상세히 설명한다.

<49> 이어, 제2 표시판(200)에 대해 설명하면, 도 3 및 도 4에 도시된 바와 같이, 제2 절연 기판(210)의 제1 표시판(100)과의 대향면에는 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220) 상에는 적, 녹, 청색의 컬러 필터(230)가 형성되어 있으며, 컬러 필터(230) 상에는 컬러 필터(230)에 의해 형성된 단차를 평탄화하기 위한 오버코트층(250)이 형성되어 있다.

<50> 오버코트층(250) 상에는 공통 전극 패턴(270)이 형성되어 있다. 공통 전극 패턴(270)은 다수의 개구부(270a)와 서브 공통 전극(270b)을 포함한다.

<51> 공통 전극 패턴(270)의 개구부(270a)는 액정층(300)을 사이에 두고 화소 전극 패턴(182)의 서브 화소 전극(182a)과 서로 평행하게 형성되어 되어, 서브 화소 전극(182a)의 폭과 실질적으로 동일하거나 더 큰 폭으로 형성되어 서브 화소 전극(182a)과 서브 공통 전극(270b)이 실질적으로 겹쳐지는 영역이 발생하지 않도록 한다. 여기서 개구부(270a)의 폭은 액정 표시 장치의 광학 특성의 설정과 서브 화소 전극(182a)의 폭에 의존하며, 예를 들어 각 개구부(270a)의 폭은 대략 $20\sim40\mu\text{m}$ 일 수 있다. 예를 들어 서브 화소 전극(182a)의 폭이 $4\mu\text{m}$ 인 경우, 개구부(270a)의 폭은 각 서브 화소 전극(182a)들 사이의 간격과 실질적으로 동일한 $25\mu\text{m}$ 일 수 있다.

<52> 서브 공통 전극(270b)은 공통 전극 패턴(270)의 개구부(270a) 사이에 배치되며, 제1 표시판(100)의 서브 화소 전극(182a)과 함께 전계를 형성한다. 다시 말하면, 서브 공통 전극(270b)은 각각의 서브 화소 전극(182a) 사이에 배치될 수 있다. 또한 서브 공통 전극(270b)의 폭은 서브 화소 전극(182a)의 폭과 실질적으로 동일한 폭, 예를 들어 대략 $6\mu\text{m}$ 이하일 수 있고, 바람직하게는 대략 $4\mu\text{m}$ 로 형성될 수 있다.

<53> 이러한 서브 공통 전극(270b)에는 외부로부터 공통 전압이 인가될 수 있으며, 이러한 공통 전압은 서브 화소 전극(182a)에 인가된 데이터 전압과 전계를 형성할 수 있다. 따라서 액정층(300)의 액정(310)은 상기의 전계에 의

해 배향 방향이 결정될 수 있다.

<54> 공통 전극(270) 상에는 제2 배향막(280)이 형성되어 있다. 제2 배향막(280)은 제1 표시판(100)의 제1 배향막(190)의 러빙 방향과 180° 를 이루도록 러빙된 것을 제외하고는 제1 표시판(100)의 배향막과 실질적으로 동일할 수 있다. 즉, 제2 배향막(280)은 서브 공통 전극(270b)의 길이 방향에 대해 제2 러빙 각도로 러빙될 수 있으며, 이때의 제2 배향막(280)의 러빙 방향은 제1 배향막(190)의 러빙 방향과 180° 를 이를 수 있다. 여기서 제2 러빙 각도는 대략 $10\sim40^\circ$, 바람직하게는 서브 공통 전극(270b)의 길이 방향에 대하여 대략 25° 일 수 있다. 이러한 제2 배향막(280)의 러빙은 후에 도 5 내지 도 7을 참조하여 상세히 설명한다.

<55> 이상과 같은 구조의 박막 트랜지스터가 형성된 제1 표시판(100)과 컬러 필터가 형성되어 있는 제2 표시판(200)이 정렬된 사이에는 액정층(300)이 형성된다. 액정층(300)은 액정(310)의 유전율 이방성($\Delta \epsilon$)이 0 보다 큰, 즉 액정(310)의 장축이 전계 형성 방향과 평행한 방향으로 배열되는 액정(310)을 포함할 수 있다. 여기서 액정(310)의 유전율 이방성은 대략 7~15일 수 있으나, 이에 제한되지는 않는다. 상기한 액정(310)은 화소의 온/오프, 즉 서브 화소 전극(182a)과 서브 공통 전극(270b)의 전위차에 따라 액정(310)의 장축이 기판(100, 200) 면에 거의 평행하게 동작할 수 있다.

<56> 이하에서 도 5 및 도 6을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에서의 박막 트랜지스터의 온 또는 오프에 따른 액정의 배열에 대해 설명하고, 도 7을 참조하여 제1 및 제2 배향막의 러빙 각도에 따른 액정 표시 장치의 투과율 변동에 대해 설명한다. 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 오프 상태에서의 액정의 배열을 개략적으로 도시한 평면도이고, 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 온 상태에서의 액정의 배열을 개략적으로 도시한 평면도이고, 도 7은 각각의 러빙 각도에 따라 액정 패널의 미스 일라인에 따른 투과율 변동을 나타낸 그래프이다.

<57> 우선, 박막 트랜지스터의 오프 상태에서의 액정의 배열을 살펴보면, 도 4 및 도 5에 도시된 바와 같이 제1 및 제2 표시판(100, 200)의 배향막, 즉 제1 및 제2 배향막(190, 280)의 러빙 각도에 따라 배열될 수 있다.

<58> 구체적으로 제1 배향막(190)은 서브 화소 전극(182a)의 길이 방향을 기준으로 하여 대략 $10\sim40^\circ$, 바람직하게는 대략 25° 의 경사를 가지는 제1 러빙 각도(α)로 러빙될 수 있다. 마찬가지로, 제2 배향막(280)은 서브 공통 전극(270b)의 길이 방향을 기준으로 하여 대략 $10\sim40^\circ$, 바람직하게는 대략 25° 의 경사를 가지는 제2 러빙 각도(β)로 러빙될 수 있다. 여기서 제2 배향막(280)의 러빙 방향은 제1 배향막(190)의 러빙 방향에 대하여 180° 를 이를 수 있다.

<59> 또한 액정(310)의 장축은 상기한 제1 및 제2 배향막(190, 280)의 러빙 각도, 즉 제1 및 제2 러빙 각도(α, β)와 평행하게 배열될 수 있다. 즉, 액정(310)의 장축은 서브 화소 전극(182a) 및 서브 공통 전극(270b)에 대해 제1 및 제2 러빙 각도(α, β)와 실질적으로 동일한 대략 $10\sim40^\circ$, 바람직하게는 대략 25° 의 경사각으로 배열될 수 있다.

<60> 여기서 앞서 설명한 바와 같이, 서브 화소 전극(182a)의 폭(w1)은 대략 $6\mu\text{m}$ 이하일 수 있고, 바람직하게는 대략 $4\mu\text{m}$ 로 형성될 수 있다. 또한 서브 공통 전극(270b)의 폭(w2)은 서브 화소 전극(182a)과 실질적으로 동일한 폭으로 형성될 수 있으며, 두 전극(182a, 270b) 사이의 거리(d1)는 대략 $10\sim13.5\mu\text{m}$, 바람직하게는 $12.5\mu\text{m}$ 로 형성될 수 있다.

<61> 다음으로, 박막 트랜지스터가 온 상태, 즉, 서브 화소 전극(182a)과 서브 공통 전극(270b) 사이에 소정의 전위차가 형성되었을 경우의 액정의 배열을 살펴보면, 도 4 및 도 6에 도시된 바와 같이, 박막 트랜지스터가 온 상태가 되어 서브 화소 전극(182a)에 데이터 전압이 인가되고, 서브 공통 전극(270b)에 공통 전압이 인가되어 제1 및 제2 표시판(100, 200) 사이에 전계(E)가 형성된다. 여기서 제1 및 제2 표시판(100, 200) 사이에 형성되는 전계(E)는 예를 들어 액정 패널이 화이트(white)로 디스플레이될 수 있는 화이트 전계(E)일 수 있으며, 횡전계 형태로 발생될 수 있다.

<62> 또한 상기의 화이트 전계(E) 형성에 따라 액정(310), 즉 양의 유전율 이방성을 가지는 액정(310)의 장축은 전계 형성 방향에 대해 평행을 이루도록 R_1 방향으로 회전하게 된다. 이때, 제1 및 제2 배향막(190, 280)의 러빙, 즉 제1 및 제2 러빙 각도(α, β)로 러빙되어 초기 방향이 결정된 액정(310)은 균일하게 동일한 방향으로 회전할 수 있다. 여기서 액정(310)은 두 표시판(100, 200) 면에 대해서 거의 평행하게 회전할 수 있다. 따라서 도면에 도시하지는 않았지만, 액정 패널의 하부, 즉 제1 표시판(100)의 하부에 위치한 백 라이트 어셈블리로부터 제공된 광은 화이트 전계(E)에 의해 회전된 액정(310)을 통과하여 제2 표시판(200)을 통해 발산될 수 있다.

<63> 한편, 제1 및 제2 표시판(100, 200)의 합착에 있어서 미스 얼라인이 발생하는 경우, 제1 표시판(100)의 서브 화소 전극(182a)과 제2 표시판(200)의 서브 공통 전극(270b) 사이의 간격이 달라지게 되어 화이트 전계(E)가 왜곡될 수 있으며, 이에 따라 투과율이 변동될 수 있다. 그러나 상술한 바와 같이, 제1 및 제2 배향막(190, 280)을 소정의 각도, 예를 들어 서로 180° 를 이루며 서브 화소 전극(182a) 및 서브 공통 전극(270b)의 길이 방향에 대하여 제1 및 제2 러빙 각도(α, β), 즉 대략 $10\sim40^\circ$, 바람직하게는 대략 25° 의 러빙 각도로 러빙된 제1 및 제2 배향막(190, 280)에 의해 미스 얼라인에 따른 액정 표시 장치의 투과율 변동을 줄일 수 있다.

<64> 도 5 내지 도 7을 참조하면, 제1 및 제2 배향막(190, 280)의 러빙 각도(α, β)를 증가시킬수록 액정 패널의 미스 얼라인에 따른 투과율 변동을 줄일 수 있다. 구체적으로, 제1 및 제2 배향막(190, 280)을 서브 화소 전극(182a) 및 서브 공통 전극(270b)의 길이 방향에 대하여 대략 10° 의 러빙 각도로 러빙한 경우(A)의 액정 패널의 투과율은, 제1 및 제2 배향막(190, 280)을 서브 화소 전극(182a) 및 서브 공통 전극(270b)의 길이 방향에 대하여 대략 25° 의 러빙 각도로 러빙한 경우(D)의 액정 패널의 투과율보다 현저하게 저하됨을 알 수 있다.

<65> 여기서, 액정 패널의 미스 얼라인이 $6\mu\text{m}$ 인 경우, 즉 제1 및 제2 표시판(100, 200)의 서브 화소 전극(182a) 및 서브 공통 전극(270b)이 $6\mu\text{m}$ 의 오차로 합착될 경우의 예를 들어 설명하면 다음과 같다.

<66> 도 7을 참조하면, 제1 및 제2 배향막(190, 280)의 제1 및 제2 러빙 각도(α, β)가 10° 일 때의 액정 패널의 투과율 곡선(A)은, 미스 얼라인이 발생하지 않았을 때의 액정 패널의 투과율에 비해 대략 50~60%로 감소될 수 있다. 또한 앞서 설명된 바와 같이, 제1 및 제2 배향막(190, 280)의 제1 및 제2 러빙 각도(α, β)가 대략 25° 일 때의 액정 패널의 투과율 곡선(D)은 미스 얼라인이 발생하지 않았을 때의 액정 패널의 투과율에 비해 대략 10~20%로 감소될 수 있다.

<67> 따라서 제1 및 제2 배향막(190, 280)을 소정의 각도, 즉 서브 화소 전극(182a) 및 서브 공통 전극(270b)의 길이 방향에 대하여 제1 및 제2 러빙 각도(α, β)로 러빙함으로써 액정 패널의 투과율 저하를 방지할 수 있다.

<68> 한편, 제1 및 제2 배향막(190, 280)을 대략 25° 의 러빙 각도(α, β)로 러빙한 경우, 서브 화소 전극(182a) 및 서브 공통 전극(270b) 사이에 걸리는 전계(E)의 크기를 줄일 수 있다. 다시 말하면, 배향막의 러빙 각도를 증가시킴으로써 서브 화소 전극(182a)과 서브 공통 전극(270b) 사이에 발생할 수 있는 화이트 전계(E) 크기의 증가를 감소시킬 수 있다. 즉, 제1 및 제2 배향막(190, 280)을 상기한 러빙 각도(α, β)로 러빙하면, 두 전극(182a, 270b) 사이에 형성되는 화이트 전계(E)의 크기를 줄일 수 있으며, 이는 서브 화소 전극(182a)에 인가되는 데이터 전압의 크기를 감소시킬 수 있다. 이에 따라 서브 화소 전극(182a)에 데이터 전압을 공급하는 외부기기, 예를 들어 구동 IC를 간소하게 설계할 수 있게 된다. 여기서 서브 화소 전극(182a)과 서브 공통 전극(270b) 사이에 형성되는 화이트 전계(E)는 대략 7~8 V, 바람직하게는 8.1 V일 수 있다.

<69> 또한 제1 및 제2 배향막(190, 280)을 제1 및 제2 러빙 각도(α, β)로 러빙한 경우, 액정(310)이 소정의 경사각으로 초기 배향되므로, 박막 트랜지스터가 온이 되는 경우, 액정(310)의 반응 속도, 즉 응답 속도를 낮출 수 있다.

<70> 이하, 도 8 내지 도 11을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해 설명한다. 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 레이아웃도이고, 도 9는 도 1의 액정 표시 장치의 제1 표시판의 레이아웃도이며, 도 10은 도 1의 액정 표시 장치의 제2 표시판의 레이아웃도이고, 도 11은 도 1의 액정 표시 장치를 XI-XI' 선을 따라 절단한 단면도이다.

<71> 본 발명의 다른 실시예에 따른 액정 표시 장치는 다음과 같은 사항을 제외하고는 본 발명의 일 실시예에 따른 액정 표시 장치와 실질적으로 동일하다. 즉, 본 발명의 다른 실시예에 따른 액정 표시 장치의 제1 표시판(100)의 제1 배향막(190')은 화소 영역의 장변의 방향, 예컨대 데이터선(162)의 연장 방향에 대해 평행하게 러빙된 것이고, 제2 표시판(200)의 제2 배향막(280')은 화소 영역의 장변에 대해 평행하게 러빙하되, 제1 배향막(190)의 러빙 방향과 180° 를 이루도록 러빙된 것이다.

<72> 이러한 제1 및 제2 배향막(190', 280')의 러빙 방향에 대해 서브 화소 전극(182a') 및 서브 공통 전극(270b')이 각각 예를 들어 20° 내지 40° 의 경사, 바람직하게는 25° 의 경사를 가지며, 서로 평행하게 형성된다는 것을 제외하고는, 화소 영역의 장변 방향에 평행한 서브 화소 전극(182a) 및 서브 공통 전극(270b)과 양의 유전율이 방성을 갖는 액정(310)을 포함하는 본 발명의 일 실시예에 따른 액정 표시 장치와 동일하다. 따라서 본 발명의 일 실시예와 중복되는 설명에 대해서는 생략한다.

<73> 계속해서, 도 12 및 도 13을 참조하여 박막 트랜지스터의 온 또는 오프에 따른 본 발명의 다른 실시예에 따른

액정 표시 장치에서의 액정의 배열에 대해 설명한다. 도 12는 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 오프 상태에서의 액정의 배열을 개략적으로 도시한 평면도이고, 도 13은 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 온 상태에서의 액정의 배열을 개략적으로 도시한 평면도이다.

<74> 먼저, 박막 트랜지스터의 오프 상태에서의 액정의 배열을 살펴보면, 도 11 및 도 12에 도시한 바와 같이 서브 화소 전극(182a') 및 서브 공통 전극(270b')은 각각 화소 영역의 장면 방향, 예컨데 데이터선(162)의 연장 방향에 대해 평행을 이루면, 서로 반대 방향으로 러빙된 제1 및 제2 배향막(190', 280')의 러빙 방향에 대해 소정의 각도(a), 예를 들어 20° 내지 40°의 각도, 바람직하게는 25°의 각도(a)로 경사지게 형성되어 있다.

<75> 또한 이들 사이의 액정(310)은 그 장축이 기판(100, 200) 면에 대해 배향막(190', 280')의 러빙 방향과 평행하게 배열되어 있다. 즉, 액정(310)의 장축은 화소 영역의 장면에 대해 평행하게 배향되어 있으며, 결국 액정(310)의 장축은 서브 화소 전극(182a') 및 서브 공통 전극(270b')에 대해 대략 20° 내지 40°의 경사각, 바람직하게는 25°의 경사각으로 배열될 수 있다.

<76> 여기서 앞서 설명한 바와 같이, 서브 화소 전극(182a')의 폭(w1)은 대략 6 μ m 이하일 수 있고, 바람직하게는 대략 4 μ m로 형성될 수 있다. 또한 서브 공통 전극(270b')의 폭(w2)은 서브 화소 전극(182a')과 실질적으로 동일한 폭으로 형성될 수 있으며, 두 전극(182a', 270b') 사이의 거리(d1)는 대략 10~13.5 μ m, 바람직하게는 12.5 μ m로 형성될 수 있다.

<77> 다음으로, 박막 트랜지스터가 온 상태, 즉, 서브 화소 전극(182a')과 서브 공통 전극(270b') 사이에 소정의 전위차가 형성되었을 경우의 액정의 배열을 살펴보면, 도 11 및 도 13에 도시된 바와 같이, 박막 트랜지스터가 온 상태가 되어 서브 화소 전극(182a')에 데이터 전압이 인가되고, 서브 공통 전극(270b')에 공통 전압이 인가되어 제1 및 제2 표시판(100, 200) 사이에 전계(E')가 형성된다. 여기서 제1 및 제2 표시판(100, 200) 사이에 형성되는 전계(E')는 예를 들어 액정 패널이 화이트(white)로 디스플레이될 수 있는 화이트 전계(E')일 수 있으며, 횡 전계 형태로 발생될 수 있다.

<78> 또한 상기의 화이트 전계(E') 형성에 따라 액정(310), 즉 양의 유전율 이방성을 가지는 액정(310)의 장축은 전계 형성 방향에 대해 평행을 이루도록 R₂ 방향으로 회전하게 된다. 이때, 액정(310)은 제1 및 제2 배향막(190', 280')의 러빙 방향, 즉 화소 영역의 장면 방향에 대해 평행을 이루며 서로 반대 방향으로 러빙된 제1 및 제2 배향막(190', 280')에 의해 초기 방향이 결정된 액정(310)은 균일하게 동일한 방향으로 회전할 수 있다. 여기서 액정(310)은 두 표시판(100, 200) 면에 대해서 거의 평행하게 회전할 수 있다. 따라서 도면에 도시하지는 않았지만, 액정 패널의 하부, 즉 제1 표시판(100)의 하부에 위치한 백 라이트 어셈블리로부터 제공된 광은 화이트 전계(E')에 의해 회전된 액정(310)을 통과하여 제2 표시판(200)을 통해 발산될 수 있다.

<79> 한편, 제1 및 제2 표시판(100, 200)의 합착에 있어서 미스 얼라인이 발생하는 경우, 제1 표시판(100)의 서브 화소 전극(182a')과 제2 표시판(200)의 서브 공통 전극(270b') 사이의 간격이 달라지게 되어 화이트 전계(E')가 왜곡될 수 있으며, 이에 따라 투과율이 변동될 수 있다. 그러나 상술한 바와 같이, 서브 화소 전극(182a') 및 서브 공통 전극(270b')이 제1 및 제2 배향막(190', 280')의 러빙 방향, 예컨데 데이터선(162)의 연장 방향에 대해 평행을 이루며, 서로 반대 방향으로 러빙된 제1 및 제2 배향막(190', 280')의 러빙 방향에 대해 소정의 각도로 형성됨으로써 액정 표시 장치의 투과율 변동을 줄일 수 있다.

<80> 다시 말하면, 서브 화소 전극(182a') 및 서브 공통 전극(270b')이 제1 및 제2 배향막(190', 280')의 배향 방향에 대하여 대략 20° 내지 40°의 각도, 바람직하게는 25°의 각도로 경사지게 형성됨으로써, 액정(310)이 두 전극(182a', 270b')에 대해 경사지게 초기 배향되도록 할 수 있으며, 이에 따라 제1 및 제2 표시판(100, 200)의 미스 얼라인에 따른 액정 표시 장치의 투과율 변동을 줄일 수 있다.

<81> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

<82> 상술한 바와 같이 본 발명에 따른 액정 표시 장치에 의하면, 배향막 대비 전극 각도를 증가시킴으로써 액정 패널의 미스 얼라인시 발생하는 투과율 저하를 줄일 수 있으며, 화소 전극과 공통 전극의 전극 간격 증가에 따른 액정 표시 장치의 응답 속도 증가를 감소시킬 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 레이아웃도이다.

<2> 도 2는 도 1의 액정 표시 장치의 제1 표시판의 레이아웃도이다.

<3> 도 3은 도 1의 액정 표시 장치의 제2 표시판의 레이아웃도이다.

<4> 도 4는 도 1의 액정 표시 장치를 IV-IV' 선을 따라 절단한 단면도이다.

<5> 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 오프 상태에서의 액정의 배열을 개략적으로 도시한 평면도이다.

<6> 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 온 상태에서의 액정의 배열을 개략적으로 도시한 평면도이다.

<7> 도 7은 각각의 러빙 각도에 따라 액정 패널의 미스 얼라인에 따른 투과율 변동을 나타낸 그래프이다.

<8> 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 레이아웃도이다.

<9> 도 9는 도 1의 액정 표시 장치의 제1 표시판의 레이아웃도이다.

<10> 도 10은 도 1의 액정 표시 장치의 제2 표시판의 레이아웃도이다.

<11> 도 11은 도 1의 액정 표시 장치를 XI-XI' 선을 따라 절단한 단면도이다.

<12> 도 12는 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 오프 상태에서의 액정의 배열을 개략적으로 도시한 평면도이다.

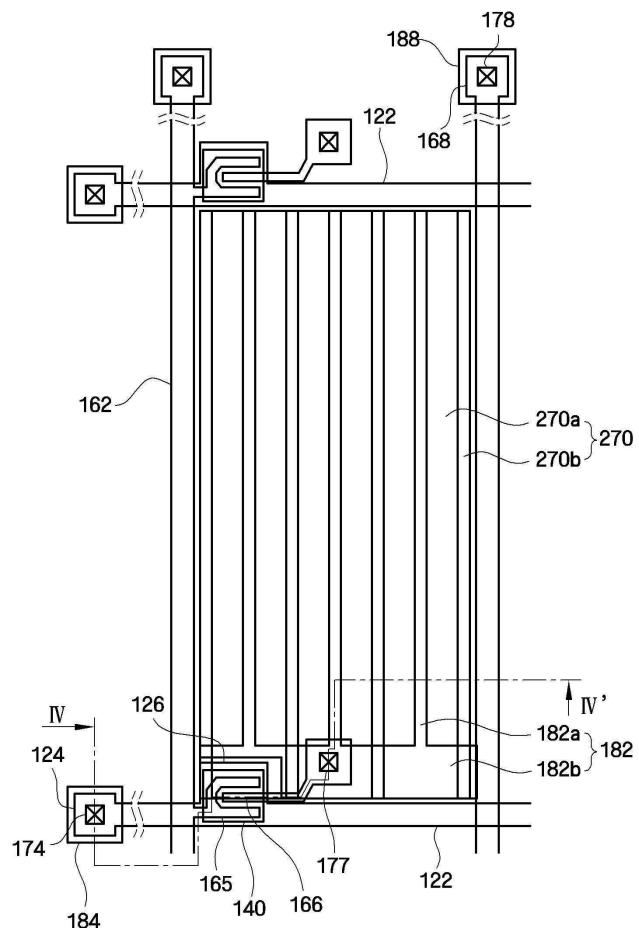
<13> 도 13은 본 발명의 다른 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 온 상태에서의 액정의 배열을 개략적으로 도시한 평면도이다.

<14> (도면의 주요부분에 대한 부호의 설명)

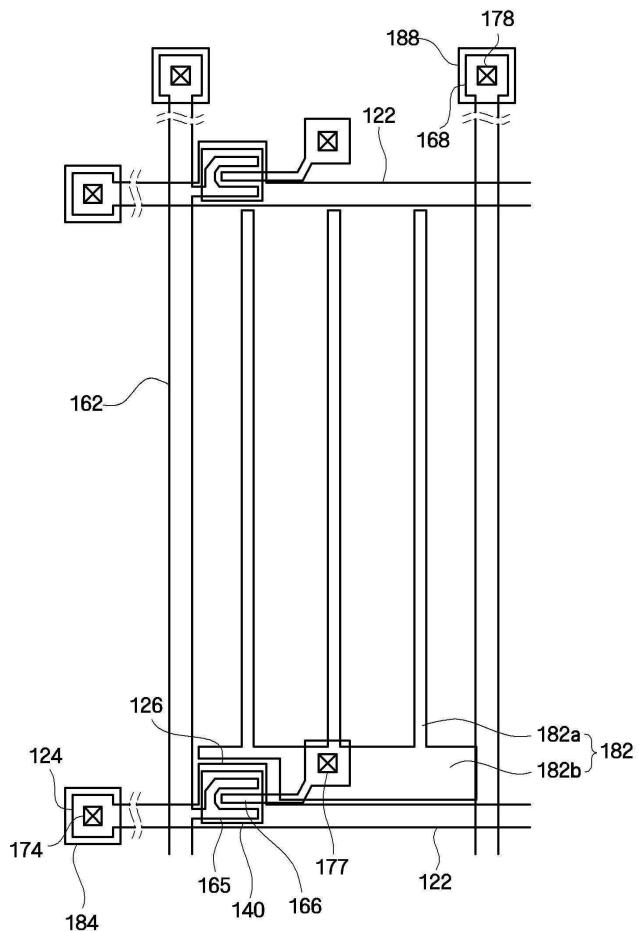
<15> 100: 제 1 표시판	182: 화소 전극 패턴
<16> 182a: 서브 화소 전극	182b: 연결 전극
<17> 190: 제1 배향막	200: 제2 표시판
<18> 270: 공통 전극 패턴	270a: 개구부
<19> 270b: 서브 공통 전극	280: 제2 배향막
<20> 300: 액정층	310: 액정

도면

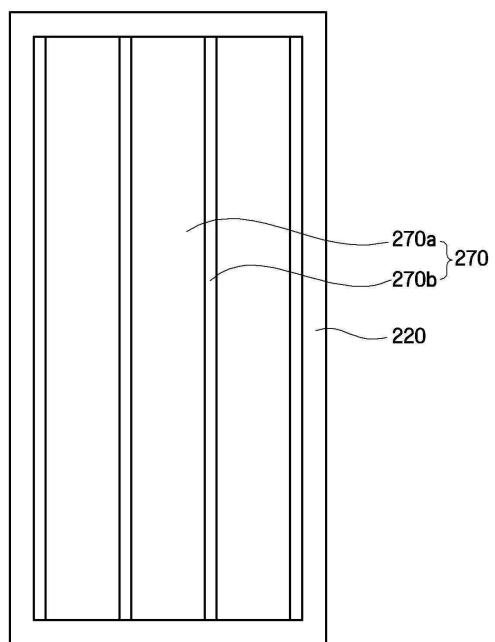
도면1



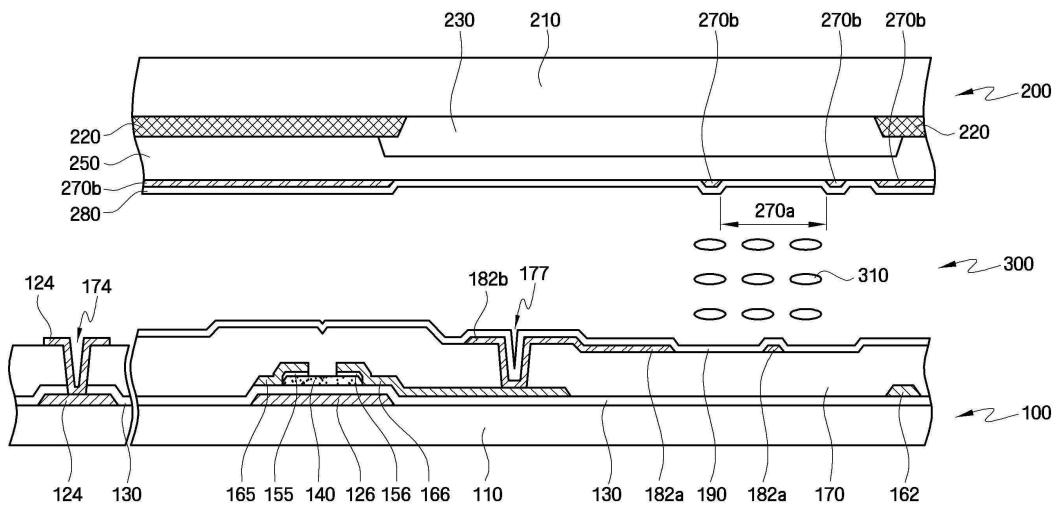
도면2



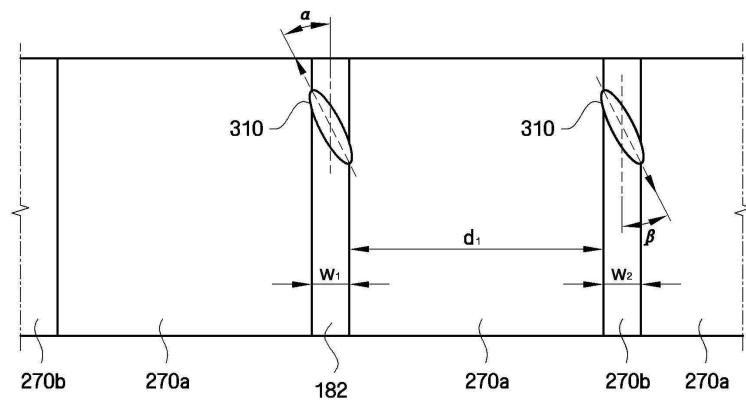
도면3



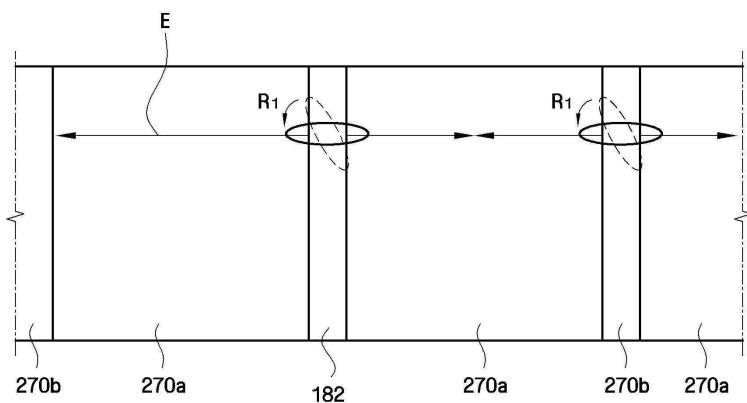
도면4



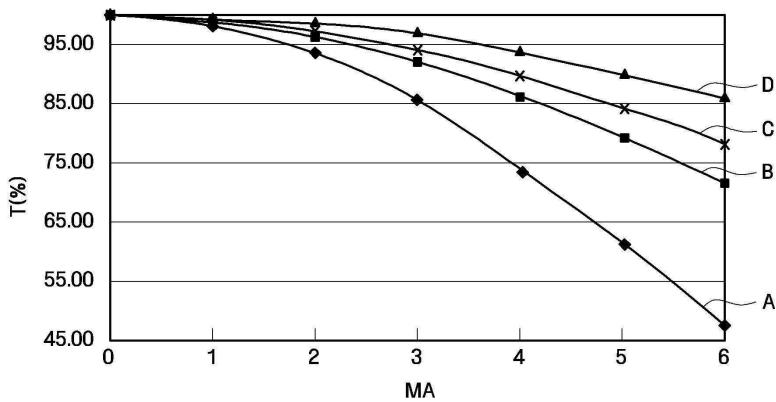
도면5



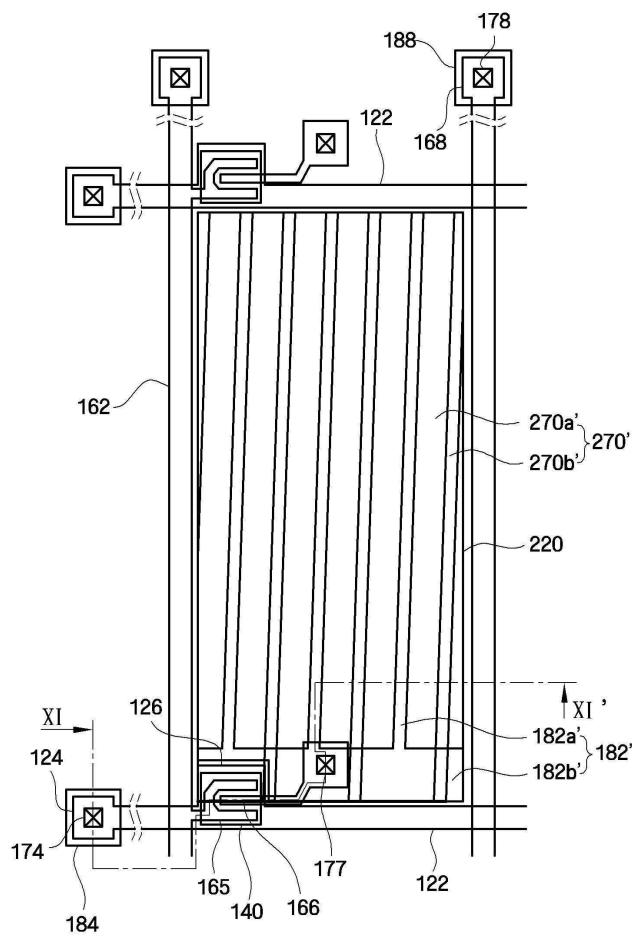
도면6



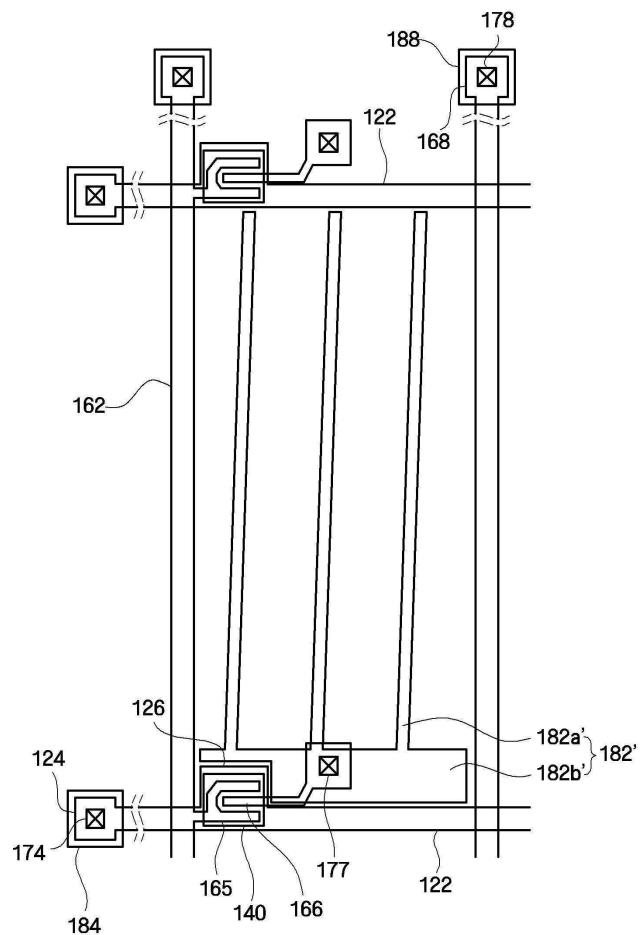
도면7



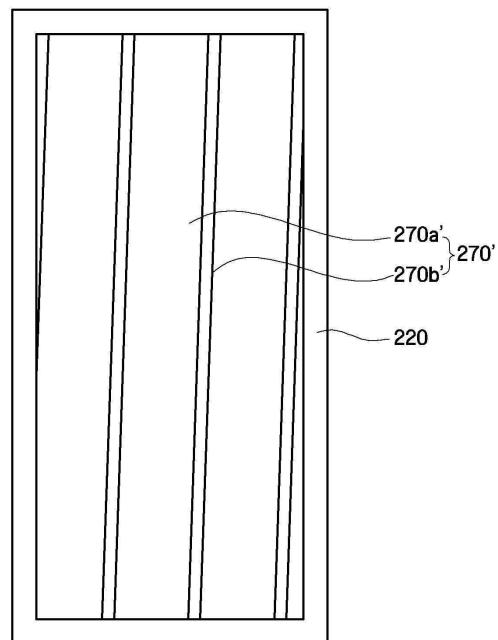
도면8



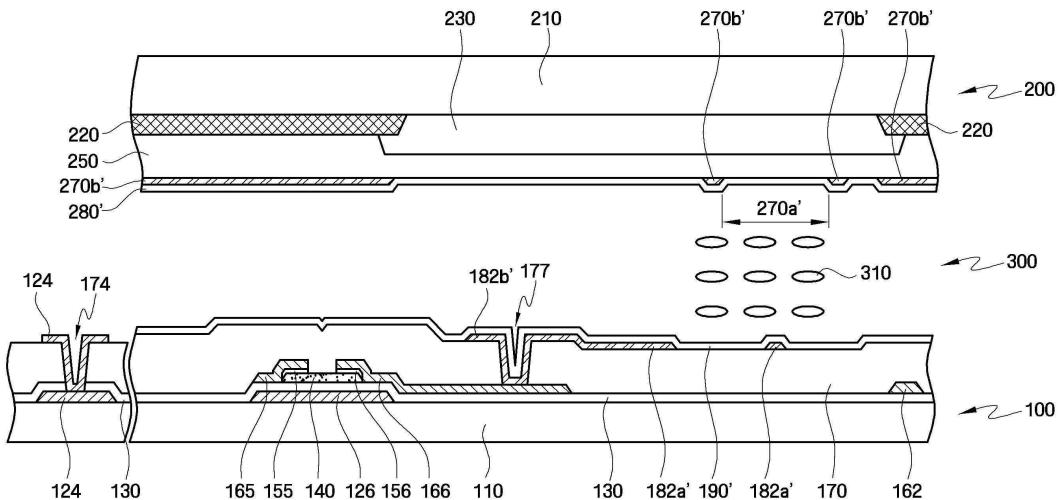
도면9



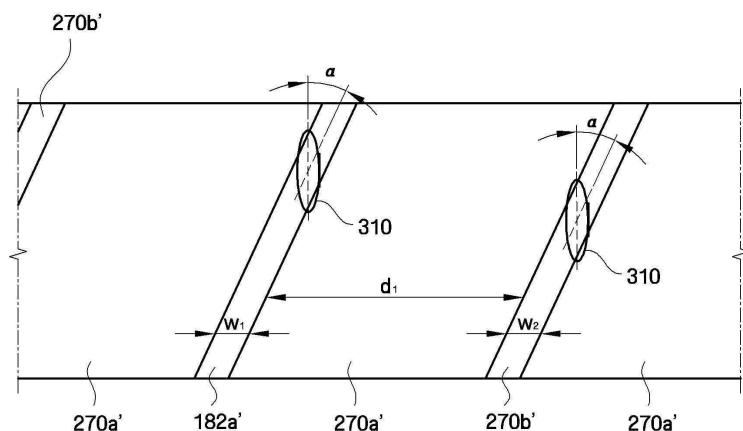
도면10



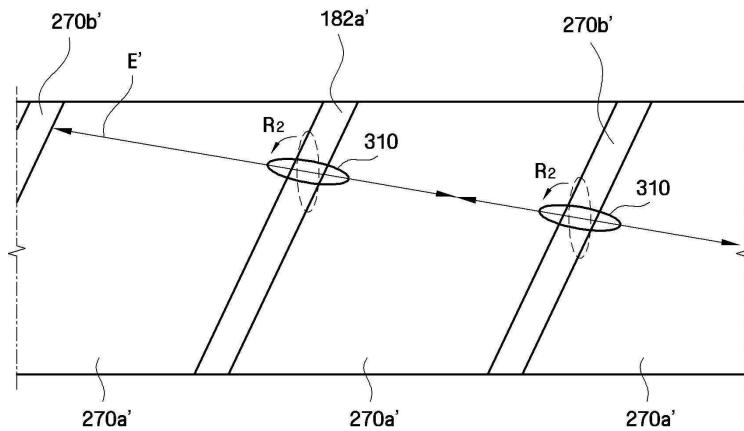
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080067858A	公开(公告)日	2008-07-22
申请号	KR1020070005294	申请日	2007-01-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	WOO HWA SUNG 우화성 KIM HEE SEOP 김희섭 LEE HYEOK JIN 이혁진 LUJIANGANG 류지안강		
发明人	우화성 김희섭 이혁진 류지안강		
IPC分类号	G02F1/1337 G02F1/1343		
CPC分类号	B21D37/04 B21D43/04 B21D43/26 B21D45/06		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种能够减少由于液晶面板的未对准导致的透射率变化的液晶显示装置。所述的液晶显示装置中，一个形成在第一绝缘基板上的像素区域，并且间隔开的具有针对所述多个子像素电极的电连接的连接电极以预定的间隔的像素，并形成条纹状的电极图案的多个子像素电极，和第一显示面板，形成在像素电极图案上，包括相对于子像素电极以预定的摩擦角摩擦的第一取向层，形成在第二绝缘基板上的第二显示面板，和在所述电极和所述公共电极图案的数量和具有暴露的子像素电极的开口部的公共电极图案上形成的第二面板包括第二取向膜在预定的摩擦角擦到子共电极，第一并且，液晶层形成在第一显示面板和第二显示面板之间，并且具有最初在第一和第二取向层的摩擦方向上取向的多个液晶。

