

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0034030
G02F 1/1339 (2006.01) (43) 공개일자 2006년04월21일

(21) 출원번호 10-2004-0083155
(22) 출원일자 2004년10월18일

(71) 출원인 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 최상건
 경기도 수원시 팔달구 영통동 황골 쌍용APT 248동 1903호
 홍권삼
 서울특별시 영등포구 신길동 4759 삼성아파트 2동 206호

(74) 대리인 박영우

심사청구 : 없음

(54) 액정패널 및 그 제조 방법

요약

쇼트 포인트 형성시 설계의 자유를 이루기 위한 액정패널 및 그 제조 방법이 개시된다. 제2 기판은 제1 기판과 대향한다. 전압전달부재는 제1 기판과 제2 기판 사이에 개재된다. 피복부재는 전압전달부재를 둘러싼다. 액정층은 제1 기판과 제2 기판 사이에 개재된다. 따라서 피복부재를 통해 전압전달부재를 둘러쌈으로써, 전압전달부재의 설계의 자유를 달성할 수 있다.

대표도

도 2

색인어

액정패널, 공통전압 인가부재, 밀봉부재, 칼럼 스페이서 장벽

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 액정패널의 평면도이다.

도 2는 도 1의 A영역을 절단선 I-I'으로 절단한 단면도이다.

도 3은 도 2에 나타낸 단위 화소를 나타내는 평면도이다.

도 4는 도 3의 절단선 II-II'으로 절단한 단면도이다.

도 5는 본 발명의 일실시예에 따른 컬러필터기판의 제조 공정을 설명하는 단면도이다.

도 6 내지 도 7은 본 발명의 일실시예에 따른 컬러필터기판에 칼럼 스페이서 및 칼럼 스페이서 장벽을 제조하는 공정을 설명하는 단면도들이다.

도 8은 본 발명의 다른 실시예에 따른 액정패널의 평면도이다.

도 9는 도 8의 B영역을 절단선 III-III'으로 절단한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100, 400 : 컬러필터 기판 110, 410 : 실라인

120, 420 : 공통전압 인가부재 130, 430 : 칼럼 스페이서 장벽

140, 440 : 칼럼 스페이서 200, 500 : 박막 트랜지스터 기판

300, 600 : 액정층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정패널 및 그 제조 방법에 관한 것으로, 보다 상세하게는 전압전달부재의 형성 공정을 개선하기 위한 액정패널 및 그 제조 방법에 관한 것이다.

일반적으로, 액정표시장치(Liquid Crystal Display device, LCD)는 액정(Liquid Crystal, LC)으로 영상을 디스플레이 한다. 영상을 디스플레이하기 위해, 상기 액정표시장치는 액정패널(Liquid Crystal Display panel, LCD panel) 및 상기 액정패널로 광을 공급하는 백라이트 어셈블리(back-light assembly)를 필요로 한다. 상기 액정패널은 제1 기판(first substrate)(컬러필터 기판 또는 대향 기판), 제2 기판(second substrate)(어레이 기판 또는 TFT 기판) 및 상기 제1 기판과 제2 기판의 사이에 개재된 액정을 포함한다.

상기 제1 기판에는 제1 전극(first electrode)이 배치되고, 상기 제2 기판에는 상기 제1 전극과 마주보는 복수개로 이루어진 제2 전극(second electrode)들이 배치된다.

상기 제1 전극으로는 일정한 레벨을 갖는 공통전압이 인가되고, 상기 제2 전극으로는 서로 다른 레벨을 갖는 화소전압이 인가된다. 액정은 상기 제1 전극 및 상기 제2 전극들 사이에 형성된 전계(electric field)의 차이에 의하여 서로 다르게 배열된다. 이때, 공통전압 및 화소전압은 상기 제2 기판으로 함께 인가된다. 이들 중 화소전압은 상기 제2 전극들로 인가되고, 상기 공통전압은 상기 전압전달부재로서 상기 제1 기판과 제2 기판을 연결하는 공통전압 인가부재(short point; 쇼트포인트)에 의하여 상기 제2 기판에서 상기 제1 기판으로 인가된다.

한편, 상기 제1 기판과 제2 기판은 밀봉부재(sealant; 실런트)에 의해 결합되며, 상기 제1 기판을 둘러싸도록 외곽둘레에 실런트가 인쇄되어 실라인(seal line)을 형성하고, 그 후에 압착하는 공정이 수행된다.

일반적으로 실(seal)과 쇼트(short) 공정은 보통 실라인 외곽부에 쇼트 포인트를 형성하는 것으로 이루어지며, 이때 상기 쇼트 포인트가 떨어지는 것을 방지하기 위해 상기 실라인과 쇼트 포인트가 일부 겹치는 오버랩(overlap) 구조로 형성된다.

이때, 상기 쇼트 포인트 형성 설비 내의 레이저 포인트(laser point)와 실런트 간의 간섭에 의해 장치별 위치나 크기에 따라 상기 쇼트 포인트 형성에 제약을 받는 문제점이 생긴다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 쇼트 포인트의 형성시 설계의 자유를 이루기 위한 액정패널을 제공하는 것이다.

본 발명의 다른 목적은 상기한 액정패널의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정패널은 제1 기판, 상기 제1 기판과 대향하는 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 개재된 전압전달부재, 상기 전압전달부재를 둘러싸는 피복부재, 및 상기 제1 기판과 제2 기판 사이에 개재된 액정층을 포함한다. 여기서, 상기 제1 기판과 상기 제2 기판 사이에 개재되어 상기 제1 기판과 상기 제2 기판을 결합시키기 위한 밀봉부재를 더 포함하고, 상기 전압전달부재는 상기 제1 기판의 제1 주변 영역과 상기 제2 기판의 제2 주변 영역 사이에 개재되고, 상기 밀봉부재로부터 이격된 것을 특징으로 한다. 또한, 상기 전압전달부재는 상기 제1 기판의 제1 표시영역과 상기 제2 기판의 제2 표시영역 사이에 개재되고, 상기 제1 기판의 블랙 매트릭스의 일부를 커버하도록 형성된 것을 특징으로 한다.

상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 액정패널의 제조 방법은, 제1 기판을 형성하는 단계, 제2 기판을 형성하는 단계, 상기 제1 기판 상에 피복부재를 형성하는 단계, 상기 피복부재 사이에 전압전달부재를 형성하는 단계, 및 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함한다.

이러한 액정패널 및 그 제조 방법에 의하면, 피복부재를 통해 전압전달부재를 둘러쌈으로써, 상기 전압전달부재의 설계의 자유를 달성할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<실시예-1>

도 1은 본 발명의 일실시예에 따른 액정패널의 평면도이다. 설명의 편의를 위해 하부에 배치되는 어레이 기판의 도시는 생략하고, 상부에 배치되는 컬러필터 기판만을 도시한다.

도 1을 참조하면, 컬러필터 기판(100)의 표시영역(DA) 외곽을 둘러싸면서 밀봉부재로서 실란트가 실라인(110)을 형성하고 있고, 그 바깥으로 즉 주변영역(PA)으로 전압전달부재로서 쇼트 포인트(120)가 상기 실라인(110)과 제1 거리(d1)만큼 떨어져서 형성되어 있으며, 상기 쇼트 포인트(120)를 둘러싸고 피복부재로서 칼럼 스페이서 장벽(column spacer barrier)(130)이 형성되어 있다.

도 2는 도 1의 A영역을 절단선 I-I'으로 절단한 단면도이다. 상기한 도 1과 비교할 때 동일한 구성요소에 대해서는 동일한 도면 번호를 부여한다.

도 2를 참조하면, 본 발명의 일실시예에 따른 액정패널은 컬러필터 기판(100), 박막 트랜지스터 기판(200) 및 액정층(300)을 포함한다.

상기 컬러필터 기판(100)은 제1 표시 영역(DA1)과 상기 제1 주변영역(PA1)을 갖는 제1 베이스 기판(105) 상에서 단위 화소 영역을 구획하는 블랙매트릭스(115), 상기 단위 화소 영역에 형성된 컬러필터층(125), 상기 컬러필터층(125)과 블랙 매트릭스(115)를 커버하는 평탄화막(135), 및 상기 평탄화막(135) 상에 형성된 공통전극(145)을 포함한다.

상기 박막 트랜지스터 기판(200)은 제2 표시 영역(DA2)과 상기 제2 주변 영역(PA2)을 갖는 제2 베이스 기판(205)상에서 단위 화소 영역에 형성된 박막 트랜지스터(210), 상기 박막트랜지스터(210)의 형성시 형성된 공통전압 인가라인(212), 상기 박막 트랜지스터(210)에 전기적으로 연결된 화소 전극(220)을 포함한다.

상기 컬러필터기판(100)과 박막 트랜지스터 기판(200) 사이에는 상기 공통전압 인가라인(212)과 공통전극(145)을 전기적으로 연결하는 공통전압 인가부재로서 쇼트 포인트(120), 상기 쇼트 포인트(120)를 둘러싸는 피복부재로서의 칼럼 스페이서 장벽(130), 상기 블랙매트릭스(115)에 대응하여 형성된 칼럼 스페이서(140), 상기 표시 영역 외곽을 둘러싸면서 주변 영역의 일부에 형성된 밀봉부재로서의 실런트가 인쇄된 실라인(110)이 형성되어 있다.

이때, 상기 쇼트 포인트(120)는 상기 실라인(110)과 제1 거리(d1)만큼 이격되어 상기 제1 주변영역(PA1)과 제2 주변영역(PA2) 사이에 위치한다. 이는 상기 칼럼 스페이서 장벽(130)이 상기 쇼트 포인트(120)를 둘러싸서 형성되어 상기 쇼트 포인트(120)가 주변으로 떨어지는 것을 방지하는 역할을 하기 때문에 가능하다.

상기 액정층(300)은 상기 컬러필터 기판(100)과 박막 트랜지스터 기판(200) 사이에 형성되어, 상기 공통전극(145)과 화소 전극(220)간에 인가되는 전위차에 응답하여 외부로부터 인가되는 광의 투과를 제어한다.

도 3은 도 2에 나타낸 단위 화소를 나타내는 평면도이다.

도 2 및 도 3을 참조하면, 상기 박막 트랜지스터 기판(200)은 복수의 게이트 라인(GL), 복수의 데이터 라인(DL), 박막 트랜지스터(210), 스토리지 캐패시터(211-a, 217-a) 및 화소 전극(220)을 구비한다.

상기 복수의 게이트 라인(GL)은 제2 베이스 기판(205) 위에 가로 방향으로 신장되고, 세로 방향으로 배열되며, 상기 복수의 데이터 라인(DL)은 상기 제2 베이스 기판(205) 위에 세로 방향으로 신장되고, 가로 방향으로 배열되어 복수의 구획된 영역을 정의한다.

상기 박막 트랜지스터(210)는 상기 구획된 영역에 형성되며, 상기 게이트 라인(GL)으로부터 연장된 게이트 전극 라인(211), 상기 데이터 라인(DL)으로부터 연장된 소오스 전극 라인(216) 및 상기 소오스 전극 라인(216)으로부터 이격된 드레인 전극 라인(217)을 포함한다.

상기 스토리지 캐패시터(211-a, 217-a)는 상기 게이트 라인(GL) 형성시 형성된 제1 스토리지 전극 라인(211-a)과 상기 데이터 라인(DL) 형성시 형성된 제2 스토리지 전극 라인(217-a)에 의해 정의된다.

상기 화소 전극(220)은 투명 재질의 ITO층 또는 IZO층으로 이루어져, 서로 인접하는 게이트 라인(GL)들과 서로 인접하는 데이터 라인(DL)들에 의해 구획되는 화소 영역 각각에 형성된다. 상기 화소 전극(220)은 콘택홀(CNT)을 통해 상기 드레인 전극 라인(217)과 연결되어 디스플레이를 위한 화소 전압을 인가받는다.

도 4는 도 3의 절단선 II-II'으로 절단한 단면도이다.

도 3 및 도 4를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 베이스 기판(205) 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텅스텐(W) 등과 같은 금속을 증착한 다음, 증착된 금속을 패터닝하여 가로 방향으로 신장되고 세로 방향으로 배열되는 복수의 게이트 라인(미도시)과, 상기 게이트 라인으로부터 연장된 게이트 전극 라인(211)과, 상기 게이트 라인(미도시)의 신장 방향과 평행한 제1 스토리지 전극 라인(211-a)을 형성한다. 물론, 상기 베이스 기판(205)은 플렉시블한 재질의 기판일 수도 있다.

이어, 상기 게이트 전극 라인(211) 및 제1 스토리지 전극 라인(211-a)을 포함하는 기판의 전면에 질화 실리콘을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막(213)을 형성한 후, 상기 게이트 절연막(213) 위에 아몰퍼스 실리콘 막 및 인시튜(Insitu) 도핑된 n+ 아몰퍼스 실리콘 막을 패터닝하여 상기 게이트 절연막(213) 중 아래에 상기 게이트 전극 라인(211)이 위치한 부분 상에 반도체층(214) 및 오믹 콘택층(215)을 순차적으로 형성한다.

이어, 상기 결과물이 형성된 기판 위에 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 구리(Cu) 또는 텅스텐(W) 등과 같은 금속을 증착한다. 이어, 상기 증착된 금속을 패터닝하여 세로 방향으로 신장되고 가로 방향으로 배열되는 소오스 라인(미도시)과, 상기 소오스 라인(미도시)으로부터 연장된 소오스 전극 라인(216)과, 및 상기 소오스 전극 라인(216)으로부터 일정 간격 이격된 드레인 전극 라인(217)과, 상기 제1 스토리지 전극 라인(211-a)이 형성된 영역 위에 제2 스토리지 전극 라인(217-a)을 형성한다. 상기한 제1 및 제2 스토리지 전극 라인(211-a, 217-a)은 스토리지 캐패시터(CST)로서 동작을 수행한다.

이어, 상기 결과물 표면에는 전 면적에 걸쳐 투명한 보호막(218)이 증착되고, 상기 보호막(218)에는 포토레지스트박막(미도시)이 형성된다. 상기 포토레지스트박막(미도시) 중 드레인 전극 라인(217)을 덮고 있는 부분은 마스크 및 노광 공정에 의해 개구된다. 이어 상기 보호막(218) 상면에는 후박하게 유기 절연층(219)이 적층되고 상기 드레인 전극 라인(217) 상부의 상기 보호막(218)은 식각되어 콘택홀(CNT)이 형성된다.

이어 상기 보호막(218) 및 콘택홀(CNT) 상면에는 화소전극을 정의하기 위해 ITO(Indium Tin Oxide; ITO)층(220) 또는 IZO(Indium Zinc Oxide; IZO)층(220)을 형성하고, 상기 ITO층(220) 또는 IZO(220)층은 상기 드레인 전극 라인(217)과 기형성된 상기 콘택홀(CNT)을 통해 연결된다.

이어, 도시되지는 않았지만 상기 제2 기판(200)의 결과물의 상기 제2 주변영역(PA2)에 공통전압 인가라인(212)이 형성된다.

도 5는 본 발명의 일실시예에 따른 컬러필터기판의 제조 공정을 설명하는 단면도이다.

도 5를 참조하면, 제1 기판(100)은 제1 베이스 기판(105) 상에 순차적으로 적층된 블랙 매트릭스(115), 컬러필터층(125), 평탄화막(135) 및 공통전극(145)을 구비한다. 상기 제1 베이스 기판(105)에는 전 면적에 걸쳐 크롬 박막 또는 크롬 박막에 형성된 크롬 산화막 또는 블랙 유기막으로 블랙 박막(미도시)이 형성된다.

이어서, 상기 블랙 박막(미도시)에는 포토레지스트 박막(미도시)이 도포되고, 상기 포토레지스트 박막(미도시) 중 제2 기판의 화소전극(미도시)과 대향하는 부분은 패터닝 되어 개구가 형성된다. 이어서, 상기 포토레지스트 박막(미도시)에 의하여 보호받지 못하는 상기 블랙 박막(미도시)은 개구되어 상기 제1 베이스 기판(105)의 제1 표시영역에는 격자 형상으로 상기 블랙 매트릭스 박막(115)이 형성된다.

이어, 상기 제1 베이스 기판(105)의 상기 제1 표시영역에는 레드, 그린, 블루 컬러필터 물질에 대해 순차적으로 도포, 노광, 현상 공정이 수행된다. 그리하여 상기 제2 표시영역 중 상기 블랙 매트릭스 박막(115)의 개구에는 각각 레드, 그린, 블루 컬러필터가 규칙적으로 형성되어 컬러필터층(125)을 이룬다.

이어, 상기 제1 베이스 기판(105)에 상기 컬러필터층(125)이 형성된 상태에서 전 면적에 걸쳐 평탄화막(135)이 형성되고, 이어 상기 평탄화막(135) 상에 투명하면서 도전성인 ITO 또는 IZO가 형성되어 공통전극층(145)을 이룬다.

도 6 내지 도 7은 본 발명의 일실시예에 따른 컬러필터기판에 칼럼 스페이서 및 칼럼 스페이서 장벽을 제조하는 공정을 설명하는 단면도들이다.

도 6을 참조하면, 제1 기판(100) 상에 감광성 유기 물질(129)이 균일한 두께로 형성된다. 상기 감광성 유기 물질(129) 상에는 유기 물질을 패터닝하기 위한 마스크(MA)가 배치된다. 상기 마스크(MA)는 투명 부재(MA1)와 상기 투명 부재(MA1)의 일부 영역에 대응하여 부착된 불투명부재(MA2)를 포함한다. 상기 불투명 부재(MA2)는 일례로 광을 차단할 수 있는 차광성 물질인 크롬(Cr)이나 크롬 합금 등과 같은 물질에서 선택된다.

도 7을 참조하면, 상기 유기 물질(129)을 노광하고 현상하면, 노광되지 않은 상기 감광성 유기 물질(129)이 제거되면서 상기 제1 기판(100)의 공통전극층(145)에는 셀캡 유지를 위한 칼럼 스페이서(140)가 형성되며, 이와 동시에 칼럼 스페이서 장벽(130)이 형성된다.

상기 칼럼 스페이서 장벽(130)은 도 1이나 도 2에서 도시한 바와 같이, 제1 주변영역에 상기 실라인(110)이 형성될 영역과 제1 거리(d1)만큼 이격시켜 형성할 수 있다.

이어, 상기 제1 기판(100)의 상기 공통전극층(145) 상에 상기 제1 표시영역(DA1)을 둘러싸도록 실런트가 인쇄되어 상기 실라인(110)을 형성한다. 이 때 상기 실런트는 상기 제2 기판(200)의 상기 제2 표시영역(DA2)을 둘러싸도록 인쇄되어 실라인(110)을 형성할 수도 있다. 상기 실런트는 광경화성 혹은 열경화성 실런트 모두를 사용할 수 있으나 최근에는 상기 제1 기판(100)과 제2 기판(200)의 합착시 각 기판의 열적 변형을 방지하기 위해 주로 광경화성 실런트가 사용된다.

이어, 상기 셀트 포인트(120)를 상기 칼럼 스페이서 장벽(130) 사이에 형성하는데, 이는 도전성 물질을 도포함으로써 이뤄진다. 이때 도전성 물질은 상기 공통전극층(145)과 동일한 재질을 사용할 수 있다.

이어, 상기 실라인(110), 쇼트 포인트(120), 칼럼 스페이서(140), 및 칼럼 스페이서 장벽(130)이 형성된 상기 제1 기판(100)과 상기 제2 기판(200)을 결합하고, 진공주입 공정이나 적하공정을 통해 상기 제1 및 제2 기판(100, 200)간에 액정층을 형성하여 본 발명에 따른 액정패널을 완성한다.

<실시예-2>

도 8은 본 발명의 다른 실시예에 따른 액정패널의 평면도이다.

도 8을 참조하면, 제1 기판인 컬러필터 기판(400)과 제2 기판인 박막 트랜지스터 기판(500)의 표시영역(DA) 외곽을 둘러싸면서 밀봉부재로서 실런트가 실라인(410)을 형성하고 있고, 그 안쪽으로 즉 제1 표시영역(DA1)으로 전압전달부재로서 쇼트 포인트(420)가 상기 실라인(410)과 제2 거리(d2)만큼 떨어져서 형성되어 있으며, 상기 쇼트 포인트(420)를 둘러싸고 피복부재로서 칼럼 스페이서 장벽(column spacer barrier)(430)이 형성되어 있다.

도 9는 도 8의 B영역을 절단선 III-III'으로 절단한 단면도이다.

도 9를 참조하면, 도 2와 대부분이 같은 구조를 가지나 다만 상기 쇼트 포인트(420)가 상기 제1 주변영역(PA1)과 상기 제2 주변영역(PA2) 사이에 위치하는 것이 아니라, 상기 제1 표시영역(DA1)과 상기 제2 표시영역(DA2) 사이에 위치하는 것이 다르다. 이때 도 2와 마찬가지로 상기 칼럼 스페이서 장벽(430)이 상기 쇼트 포인트(420)를 둘러싸고 있으며, 상기 쇼트 포인트(420)와 칼럼 스페이서 장벽(430)은 상기 제1 표시영역(DA1)의 블랙 매트릭스(415) 일부를 커버하도록 위치하게 된다. 물론 이 경우엔, 상기 공통전압 인가라인(212)은 상기 제2 주변영역(PA2) 뿐 아니라 상기 제2 표시영역(DA2)의 일부에까지 형성되어야 상기 쇼트 포인트(420)와 연결될 수 있다.

상기 쇼트 포인트(420)는 상기 제1 표시영역(DA1)과 제2 표시영역(DA2) 사이에 위치함에도 불구하고, 상기 칼럼 스페이서 장벽(430)에 의해 액정층(600)과 직접 접촉되지 않으므로 액정을 오염시키거나 액정의 비저항 감소를 가져올 우려가 없다. 또, 이 경우 상기 쇼트 포인트(420)는 상기 제1 표시영역(DA1)과 제2 표시영역(DA2) 사이에 개재됨으로 인해 외부 공기와의 접촉을 피하게 되어 쇼트 패드(미도시)의 부식을 방지하는 효과도 가진다.

다만 상기 쇼트 포인트(420)가 상기 표시영역(DA)에서 형성됨으로 인해 개구율이 저하되는 것을 방지하기 위해, 상기 쇼트 포인트(420)는 상기 제1 기판(400)의 블랙 매트릭스(415)의 일부를 커버하도록 형성된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 실(seal)과 쇼트(short) 공정시에 쇼트 포인트 주변에 칼럼 스페이서로 장벽을 형성함으로써 쇼트의 떨어짐을 방지할 수 있어 쇼트 포인트를 실라인과 오버랩시키지 않고도 형성할 수 있다. 따라서, 상기 실과 쇼트 공정시 쇼트 공정 장치내의 레이저 포인트와 실런트와의 간섭 등의 문제로 인한 쇼트 공정 설비 위치의 제약없이 쇼트 포인트를 형성할 수 있는 효과가 있다.

또한 상기 칼럼 스페이서 장벽을 이용함으로써, 상기 쇼트 포인트가 표시영역내에 형성되더라도 상기 쇼트 포인트와 액정의 직접 접촉을 막아 액정의 오염이나 비저항 감소를 방지할 수 있으므로 상기 쇼트 포인트를 액정패널의 주변영역이 아닌 표시영역내에 형성할 수 있다. 이 경우 쇼트 패드의 외부 공기와의 접촉을 막아 부식을 방지할 수 있는 효과도 아울러 가진다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제1 기판;

상기 제1 기판과 대향하는 제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 개재된 전압전달부재;

상기 전압전달부재를 둘러싸는 피복부재; 및

상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 포함하는 액정패널.

청구항 2.

제1항에 있어서, 상기 제1 기판과 상기 제2 기판 사이에 개재되어 상기 제1 기판과 상기 제2 기판을 결합시키기 위한 밀봉부재를 더 포함하고,

상기 전압전달부재는 상기 제1 기판의 제1 주변 영역과 상기 제2 기판의 제2 주변 영역 사이에 개재되고, 상기 밀봉부재로부터 이격된 것을 특징으로 하는 액정패널.

청구항 3.

제1항에 있어서, 상기 전압전달부재는 상기 제1 기판의 제1 표시영역과 상기 제2 기판의 제2 표시영역 사이에 개재되고, 상기 제1 기판의 블랙 매트릭스의 일부를 커버하도록 형성된 것을 특징으로 하는 액정패널.

청구항 4.

제1 기판을 형성하는 단계;

제2 기판을 형성하는 단계;

상기 제1 기판 상에 피복부재를 형성하는 단계;

상기 피복부재 사이에 전압전달부재를 형성하는 단계; 및

상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하는 액정패널의 제조 방법.

청구항 5.

제4항에 있어서, 상기 제1 기판은 색화소와, 상기 색화소 위에 형성된 공통전극층을 포함하는 것을 특징으로 하는 액정패널의 제조 방법.

청구항 6.

제5항에 있어서, 상기 전압전달부재는 상기 공통 전극층과 동일한 재질로 형성되어 상기 공통 전극층과 전기적으로 연결된 것을 특징으로 하는 액정패널의 제조 방법.

청구항 7.

제4항에 있어서, 상기 제1 기판 상에 밀봉부재를 형성하는 단계를 더 포함하고,

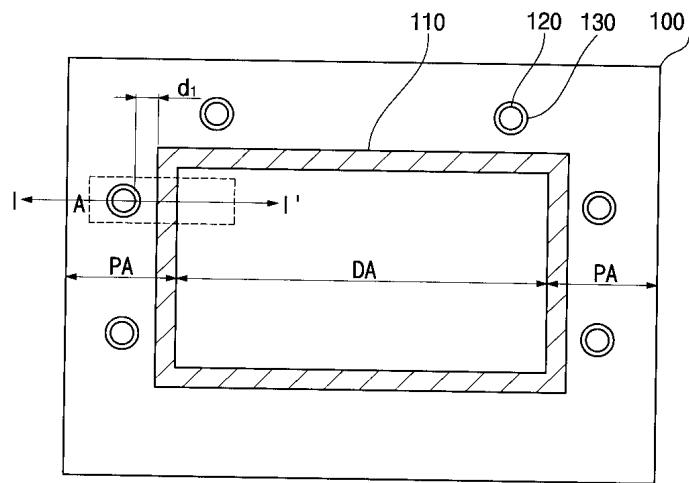
상기 전압전달부재를 상기 제1 기판의 제1 주변영역에 상기 밀봉부재와 이격시켜서 형성하는 것을 특징으로 하는 액정패널의 제조 방법.

청구항 8.

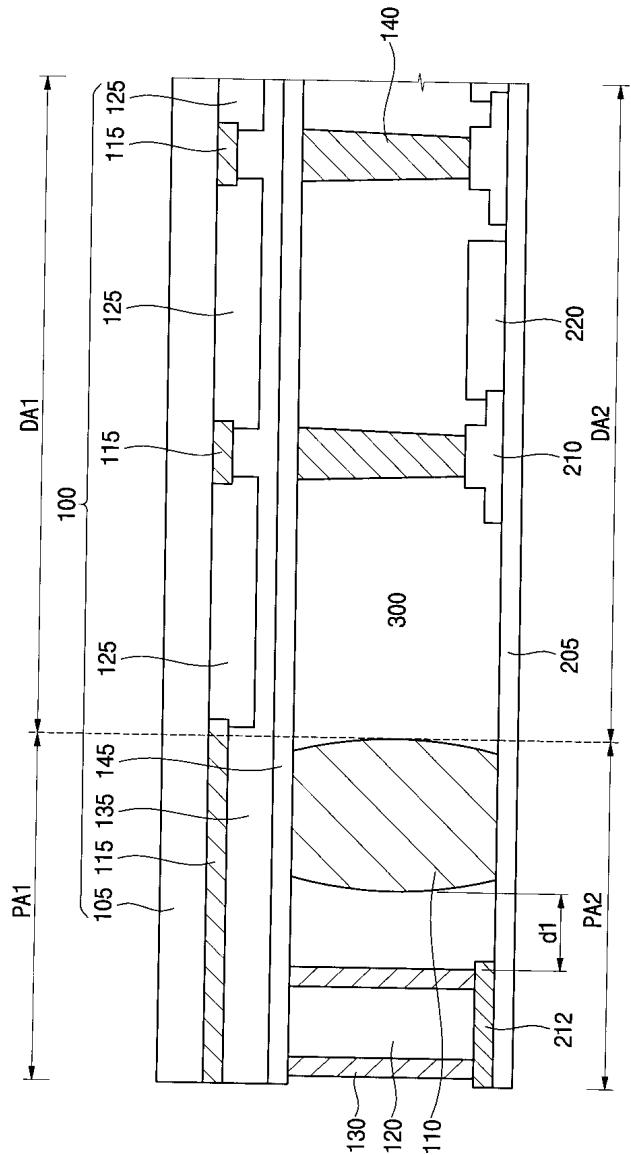
제4항에 있어서, 상기 전압전달부재를 상기 제1 기판의 제1 표시영역의 블랙 매트릭스의 일부를 커버하도록 형성하는 것을 특징으로 하는 액정패널의 제조 방법.

도면

도면1

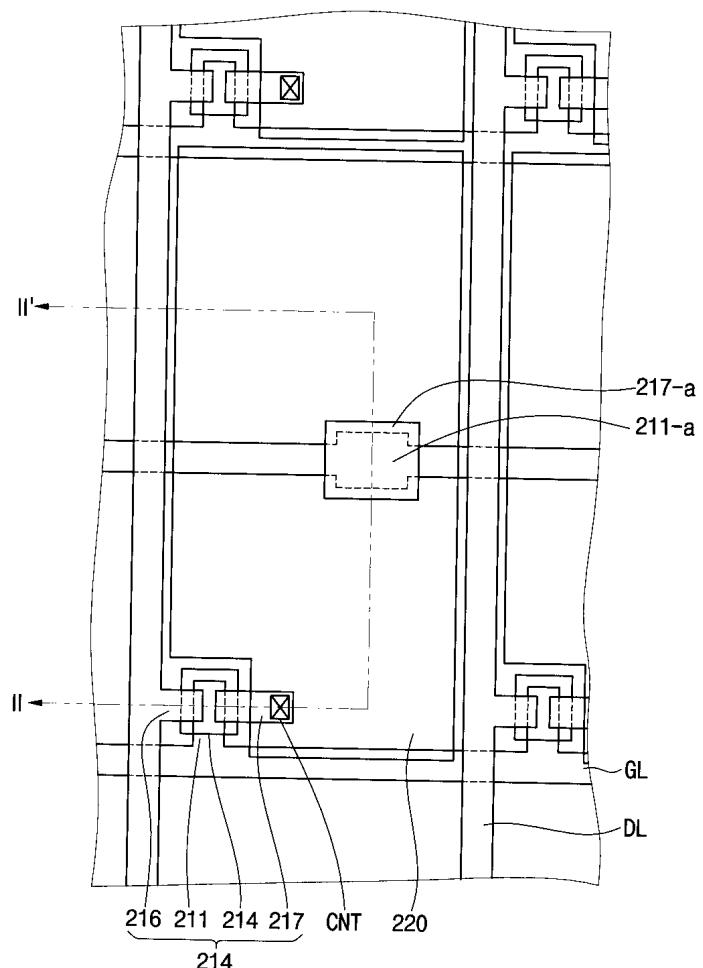


도면2

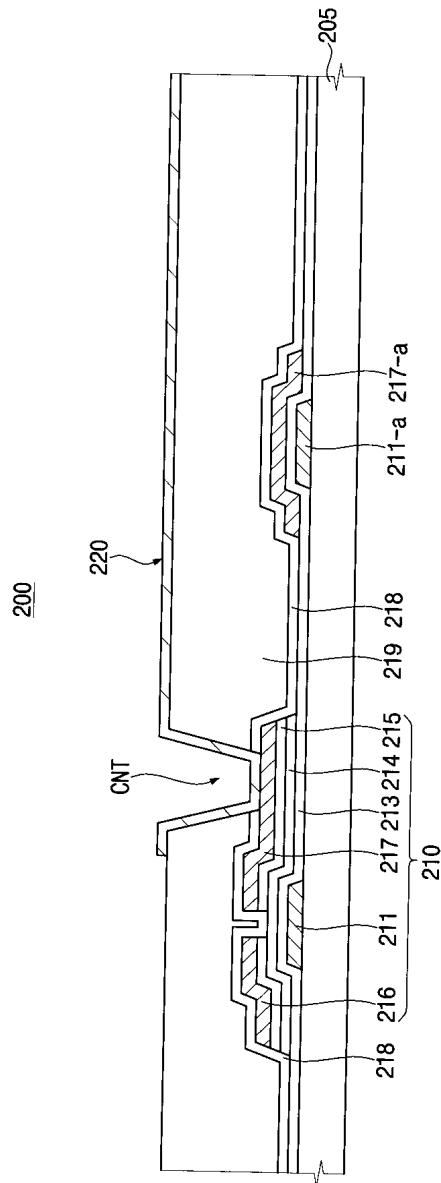


도면3

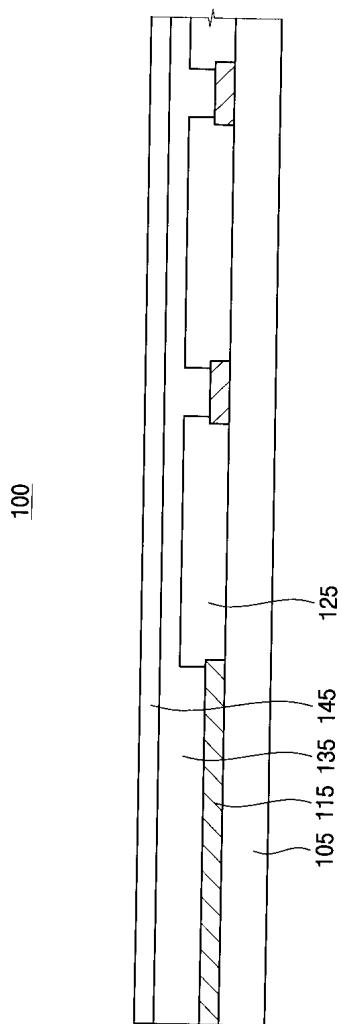
200



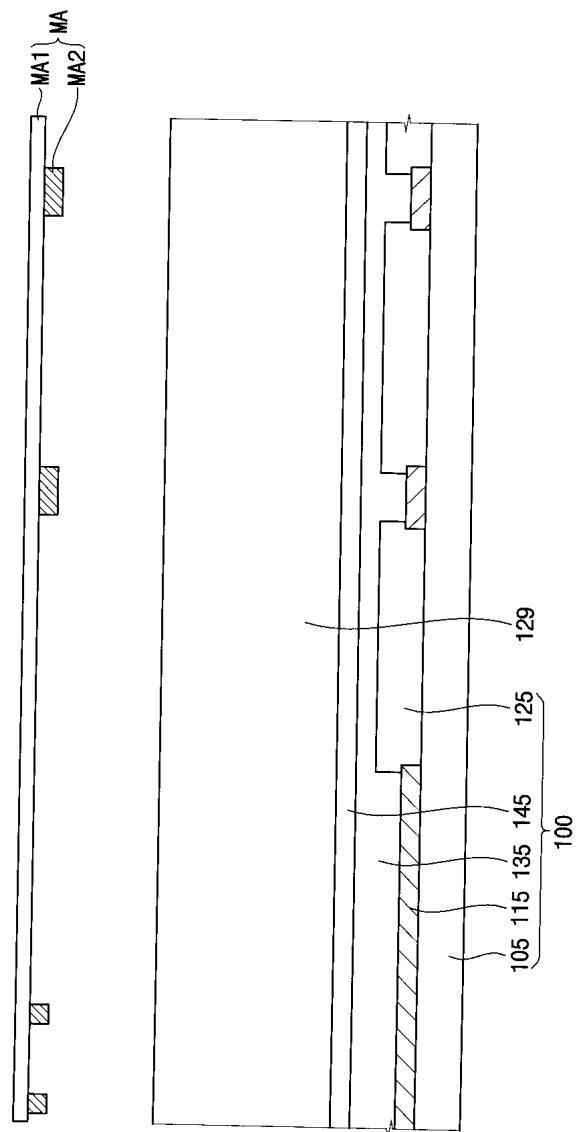
도면4



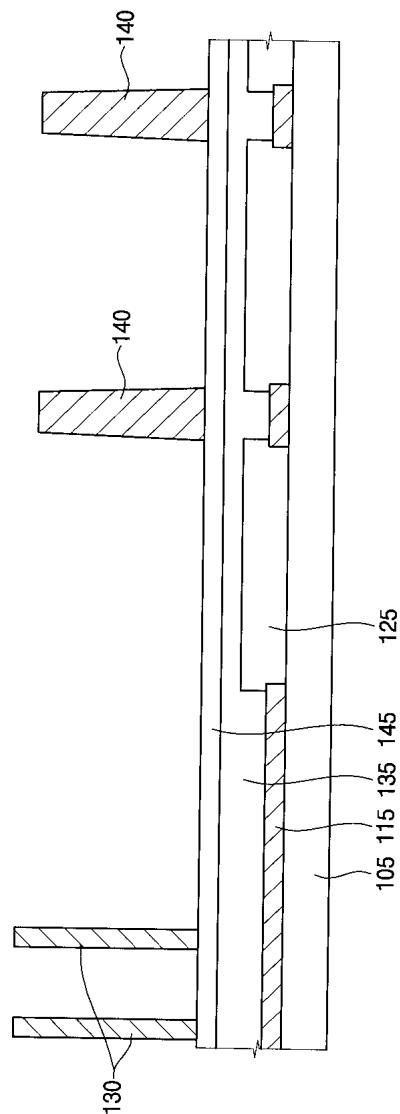
도면5



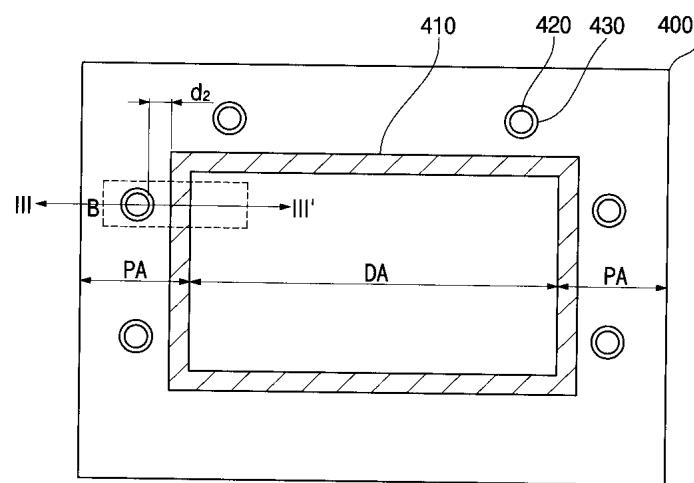
도면6



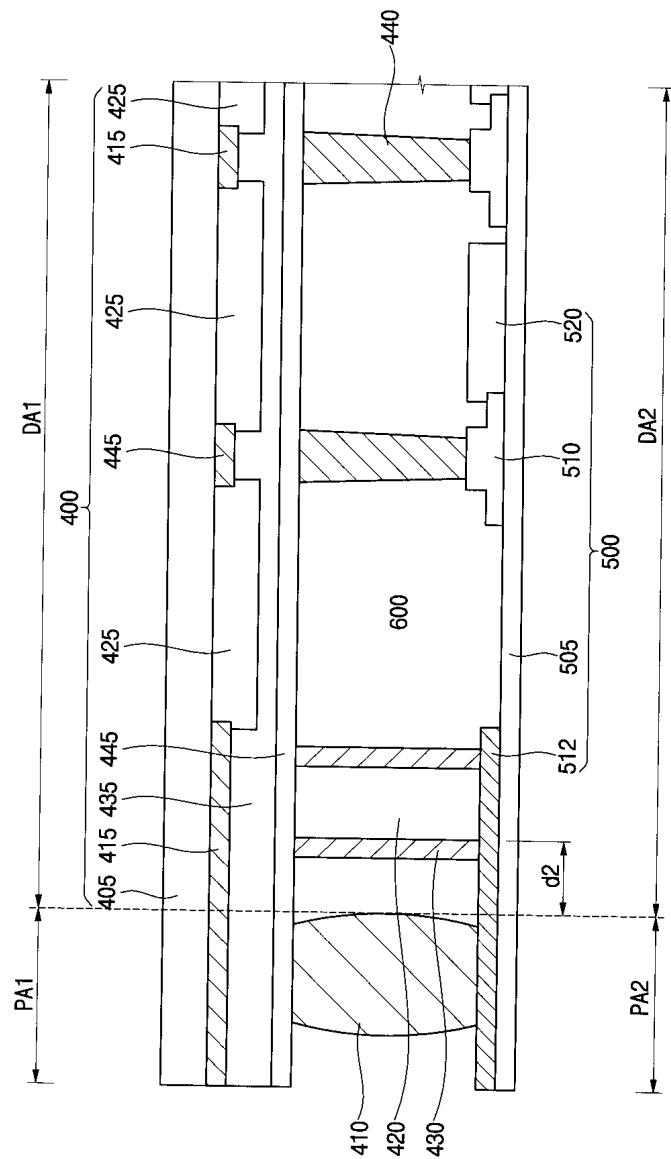
도면7



도면8



도면9



专利名称(译)	液晶面板及其制造方法		
公开(公告)号	KR1020060034030A	公开(公告)日	2006-04-21
申请号	KR1020040083155	申请日	2004-10-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI SANGGUN 최상건 HONG KWEONSAM 홍권삼		
发明人	최상건 홍권삼		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/13394 G02F1/133512 G02F1/134309 G02F1/13439 G09G3/3696		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种在短点形成中没有设计的液晶面板及其制造方法。第二基板面对第一基板。允许电压传输构件在第一基板和第二基板之间。涂覆的构件围绕电压传输构件。在第一基板和第二基板之间允许液晶层。因此，电压传输构件被涂覆构件包围。以这种方式，可以实现电压转移构件的设计。液晶面板，共用电压施加部分灰，密封构件，柱隔离物障碍物。

