



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월16일
(11) 등록번호 10-1308463
(24) 등록일자 2013년09월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2007-0080355
(22) 출원일자 2007년08월09일
심사청구일자 2011년11월02일
(65) 공개번호 10-2009-0015759
(43) 공개일자 2009년02월12일
(56) 선행기술조사문헌
KR1020040059321 A*
KR1020070042790 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오금미
서울 서대문구 홍제3동 270-69
오재영
서울특별시 영등포구 도신로 31, 303동 1204호 (대림동, 현대3차아파트)
(뒷면에 계속)
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 4 항

심사관 : 유창훈

(54) 발명의 명칭 액정 표시 장치

(57) 요약

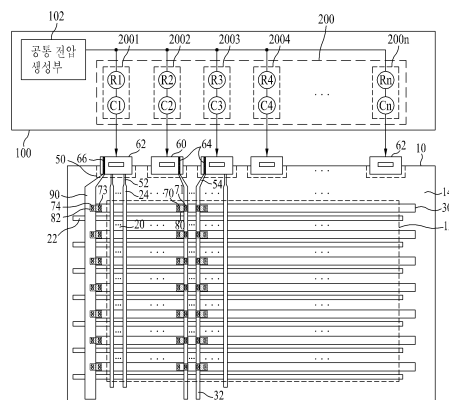
본 발명은 액정 표시 장치에 있어서, 표시 패널 내에 공통 전압의 분포가 균일해지지 않을 경우에는 화질이 저하됨과 아울러 잔상 등이 발생하는 문제를 해결하는 것을 목적으로 하는 발명으로,

상기 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치는,

게이트 라인과 평행하도록 형성된 제 1 공통 라인 이외에도, 상기 제 1 공통 라인과 전기적으로 연결됨과 아울러 데이터 라인과 평행하도록 형성된 제 2 공통 라인과, 공통 전압의 지연을 방지하기 위한 공통 전압 지연 방지부를 포함한다.

이와 같이, 본 발명에 따른 액정 표시 장치는, 상기 제 2 공통 라인으로 데이터 드라이버 IC에 구비된 더미 단자를 통해 공통 전압을 인가하여 라인 저항에 의하여 공통 전압의 분포가 불균일해지는 것을 방지하는 효과를 제공한다.

대표도 - 도1



(72) 발명자

신동수

경기 안양시 동안구 호계동 1057번지 무궁화아파트
305동 602호

이재균

경기도 수원시 장안구 정자천로189번길 47, 풍림2
차아파트 412동 404호 (정자동)

특허청구의 범위

청구항 1

표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널;
 상기 표시 패널에 서로 교차하도록 형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인;
 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인;
 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인;
 상기 비표시영역에, 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부;
 상기 표시 패널 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC;
 상기 표시 패널 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC;
 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 외부로부터 공급되는 공통 전압을 상기 제 2 공통 라인으로 공급하는 제 1 공통 전압 입력 단자;
 상기 제1 및 제2 공통 라인으로 공통 전압 제어 신호를 공급하여 공통 전압의 지연을 방지하기 위해 다수의 지연 방지 패턴이 구비된 공통 전압 지연 방지부를 포함하며,
 상기 다수의 지연 방지 패턴은 서로 다른 값을 가지는 적어도 하나의 저항 및 커패시터를 가지며, 상기 다수의 지연 방지 패턴에 포함된 저항 및 커패시터의 값은 상기 공통 전압의 지연량에 따라 달라지며,
 상기 다수의 지연 방지 패턴은 상기 공통 전압의 지연량을 감안하여 생성된 공통 전압 제어 신호를 제1 및 제2 데이터 드라이버 IC 각각에 개별적으로 공급하는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 제 2 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 공통 전압을 공급하는 제 2 공통 전압 입력 단자를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,
 상기 다수의 지연 방지 패턴에 포함된 저항 및 커패시터의 값은 공통 전압의 지연량이 크게 걸리는 위치와 대응될수록 저항 및 커패시터의 값이 작아지는 것을 특징으로 하는 액정 표시 장치.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 다수의 지연 방지 패턴은 상기 제1 및 제2 데이터 드라이버 IC 각각에 적어도 하나 이상의 지연 방지 패턴과 접속되어 제1 및 제2 데이터 드라이버 IC 각각에 적어도 하나 이상의 공통 전압 제어 신호를 공급하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 자세히는 표시 패널 내의 공통 전압 분포를 균일하도록 하여 표시 품질을 향상시킨 액정 표시 장치에 관한 것이다.

배경기술

[0002] 정보화 사회의 발전에 따라, 종래의 CRT(Cathode Ray Tube)가 가지는 무거운 중량과 큰 부피와 같은 단점들을 개선한, 새로운 영상 표시 장치의 개발이 요구되고 있으며,

[0003] 이에 따라, LCD(Liquid Crystal Display Device, 액정 표시 장치), 유기 발광 OLED : Organic Light Emitting Diode), PDP(Plasma Panel Display Device), SED(Surface-conduction Electron-emitter Display Device)등과 같은 여러 가지 평판 표시 장치들이 주목받고 있다.

[0004] 이중에서도 대형 TV화면에서부터 소형 모바일 폰(mobile phone)의 표시 화면에 이르기까지 폭넓게 사용되고 있는 액정 표시 장치는 가장 대표적인 평판 표시 장치 중 하나이다.

[0005] 액정 표시 장치는 두 전극 사이에 유전율 이방성 및 굴절율 이방성을 가지는 액정 물질이 배열되도록 하고, 두 전극 사이에 전계를 형성한 후 전계의 세기 조절을 통해 빛의 투과량을 제어함으로써, 표시하고자 하는 화상을 구현한다.

[0006] 즉, 액정 표시 장치는 스스로 발광하는 자발광 표시 장치가 아니라, 별도로 구비된 광원으로부터 빛을 공급받아 화상을 구현하는 수광형 표시 장치이다.

[0007] 일반적으로, 액정 표시 장치는 별도로 구비된 광원으로부터 백색광을 공급받고, 적색, 녹색, 청색(Red, Green, Blue)의 3색을 이용하여 컬러를 구현한다.

[0008] 이와 같이, 액정을 구동하기 위한 두 전극은 일반적으로 박막 트랜지스터에 접속되어 화상 신호에 대응되는 전압을 공급받는 화소 전극과, 공통 전압을 공급받는 공통 전극으로 구성이 되고, 상기 두 전극 사이에 형성되는 전계에 의하여 액정이 구동하게 된다.

발명의 내용

해결하고자하는 과제

[0009] 그러나, 종래의 액정 표시 장치는 표시 패널에 공통 전압을 공급하기 위한 공통전압 입력단이 하나 내지 둘 밖에 형성되지 않기 때문에, 표시 패널의 크기가 대형화될 경우 저항 등에 의하여 표시 패널 내의 공통 전압의 분포가 균일해지지 않는 문제가 있었다.

[0010] 이와 같이, 표시 패널 내에 공통 전압의 분포가 균일해지지 않을 경우에는 화질이 저하됨과 아울러 잔상 등이 발생하는 문제가 있었다.

[0011] 본 발명은 이와 같은 문제를 해결하기 위하여, 표시 패널 내에 공통 전압의 분포가 균일한 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

[0012] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정 표시 장치는,

[0013] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록

형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에, 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 외부로부터 공급되는 공통 전압을 상기 제 2 공통 라인으로 공급하는 제 1 공통 전압 입력 단자와, 상기 제1 및 제2 공통 라인으로 공통 전압 제어 신호를 공급하여 공통 전압의 지연을 방지하기 위해 다수의 지연 방지 패턴이 구비된 공통 전압 지연 방지부를 포함하며, 상기 다수의 지연 방지 패턴은 서로 다른 값을 가지는 적어도 하나의 저항 및 커패시터를 가지며, 상기 다수의 지연 방지 패턴에 포함된 저항 및 커패시터의 값은 상기 공통 전압의 지연량에 따라 달라지며, 상기 다수의 지연 방지 패턴은 상기 공통 전압의 지연량을 감안하여 생성된 공통 전압 제어 신호를 제1 및 제2 데이터 드라이버 IC 각각에 개별적으로 공급하는 것을 특징으로 한다.

[0014] 또한, 본 발명의 실시예에 따른 액정 표시 장치는, 상기 제 1 공통 라인 및 제 2 공통 라인이 서로 전기적으로 연결되도록 구성된다.

[0015] 이와 같이, 본 발명의 실시예에 따른 액정 표시 장치는, 게이트 라인과 평행하도록 형성된 제 1 공통 라인 이외에도 데이터 라인과 평행하도록 형성된 제 2 공통 라인을 통해서도 공통 전압을 공급하므로, 표시 패널 내에서 공통 전압의 분포를 균일하도록 한다.

효 과

[0016] 본 발명의 실시예에 따른 액정 표시 장치에서는,

[0017] 종래와 같이 게이트 라인과 평행하도록 형성된 공통 라인뿐 아니라, 데이터 라인과 평행하도록 형성된 공통 라인을 통해서도 공통 전압을 공급하여 표시 패널 내의 공통 전압의 불균일 현상을 개선하는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0018] 다음으로, 본 발명의 실시를 위하여 구체적인 실시예에 대하여 설명하기로 한다.

[0019] 첨부된 도1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 구성을 나타낸 평면도이다.

[0020] 도 1에 도시된 액정 표시 장치는 표시영역(12) 및 상기 표시영역(12)을 둘러싸는 비표시영역(14)을 가지는 표시 패널(10)과, 상기 표시 패널(10)에 서로 교차하도록 형성되어 복수의 화소 영역(20)을 정의하는 게이트 라인(22) 및 데이터 라인(24)과, 상기 게이트 라인(22) 및 데이터 라인(24)의 교차부에 형성된 박막 트랜지스터(미도시) 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역(20)에 형성된 화소 전극과, 상기 게이트 라인(22)과 평행하도록 형성된 제 1 공통 라인(30)과, 상기 데이터 라인(24)과 평행함과 아울러 상기 제 1 공통 라인(30)과 교차하도록 형성된 제 2 공통 라인(32)과, 상기 비표시영역(14)에 데이터 패드 라인(52) 및 공통 패드 라인(54)을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부(50)와, 상기 데이터 패드부(50) 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC(60)와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC(62)와, 상기 제 1 데이터 드라이버 IC(60) 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인(32)으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자(64)와, 상기 공통 전압을 생성하는 공통 전압 생성부(102)와, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부(200)를 포함하여 구성되는 것을 특징으로 한다.

[0021] 참고로, 이하에서 동일한 도면부호는 동일한 구성요소를 지칭하는 것을 의미하기로 한다.

[0022] 상기 표시 패널(10)은 투명한 두 기판이 서로 대향하여 합착되어 구성되고, 두 기판 사이에는 액정층이 개재된다.

[0023] 상기 게이트 라인(22)을 통해 외부로부터 입력되는 스캔 신호가 표시 패널(10)로 순차적으로 공급된다.

[0024] 상기 데이터 라인(24)은, 상기 게이트 라인(22)과 게이트 절연막(미도시)을 사이로 서로 교차하도록 형성되어 복수의 화소 영역(20)을 정의하며, 상기 데이터 라인(24)을 통해 외부로부터 입력되는 데이터 신호가 표시 패널(10)로 공급된다.

[0025] 상기 표시 영역(12)은 복수의 화소 영역(20)이 매트릭스 형태로 배열되어 구성되며, 각 화소 영역은 예를 들면

적색, 녹색, 청색 중 어느 하나의 색이 대응되도록 구성된다.

- [0026] 상기 박막 트랜지스터(도2의 21)는, 상기 게이트 라인(22)으로부터 분기된 게이트 전극(도2의 25)과, 상기 게이트 전극 상부에 형성된 반도체층(도2의 23)과, 상기 데이터 라인으로부터 분기되어 상기 반도체층의 일단 상부에 형성된 소스 전극(도2의 27) 및 상기 소스 전극과 마주보도록 형성된 드레인 전극(도2의 28)을 포함하여 구성되며, 상기 드레인 전극에 접속되어 상기 화소 영역(20)에 형성된 화소 전극(도2의 29)을 더 포함할 수 있다.
- [0027] 상기 화소 전극은 예를 들면, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)등과 같은 투명 전도층으로 형성하는 것이 바람직하다.
- [0028] 상기 박막 트랜지스터는 상기 게이트 라인을 통해 공급되는 스캔 신호에 의해 제어되며, 상기 박막 트랜지스터가 턴-온되면 소스 전극을 통해 입력되는 데이터 신호가 화소 전극에 충전된다.
- [0029] 상기 공통 전압 생성부(102)는 공통 전압을 생성하여 공통 전압을 표시 패널(10)로 공급한다. 공통 전압 생성부(102)으로부터의 공통 전압은 지연을 방지하기 위해 공통 전압 지연 방지부(200)로 공급되어 제어된 후, 표시 패널(10)로 공급된다. 공통 전압 지연 방지부(200)로부터 제어된 공통 전압은 제1 및 제2 데이터 드라이버(60,62)를 경유하여 표시 패널(10)의 제1 및 제2 공통 라인(30,32)으로 공급된다. 이때, 공통 전압 생성부(102) 및 공통 전압 지연 방지부(200)는 인쇄 회로 기판(Printed Circuit Board : PCB)에 실장될 수 있다.
- [0030] 상기 공통 전압 지연 방지부(200)는 공통 전압의 지연 현상을 방지하기 위해 다수의 지연 방지 패턴(2001 내지 200n)을 포함한다. 다수의 지연 방지 패턴(2001 내지 200n)은 제1 및 제2 데이터 드라이버 IC(60,62) 각각에 대응되도록 예로 들어 제1 내지 제n 지연 방지 패턴(2001 내지 200n)을 형성한다. 제1 내지 제n 지연 방지 패턴(2001 내지 200n)은 공통 전압의 지연량을 감안하여 생성된 공통 전압 제어 신호를 제1 및 제2 데이터 드라이버 IC(60,62) 각각에 개별적으로 공급한다. 다시 말하여, 제1 내지 제n 지연 방지 패턴(2001 내지 200n)은 표시 패널(10)의 면적이 넓어짐에 따른 신호 지연량 또는 공통 전압 생성부(102)와 연결된 공급 라인이 길어짐에 따른 신호 지연량을 감안하여 공통 전압 제어 신호를 생성한다. 이를 위해, 제1 내지 제n 지연 방지 패턴(2001 내지 200n) 각각에는 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)를 포함한다. 즉, 제1 내지 제n 지연 방지 패턴(2001 내지 200n)은 각각에 포함된 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)의 값에 따라 지연량을 조절할 수 있다. 구체적으로, 제1 내지 제n 지연 방지 패턴(2001 내지 200n) 각각은 제1 지연 방지 패턴(2001)으로부터 제n 지연 방지 패턴(200n)까지 갈수록 각각에 포함된 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)의 값이 작아야 한다. 다시 말하여, 제1 내지 제 n 지연 방지 패턴(2001 내지 200n)에 포함된 각각의 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)의 값은 공통 전압의 지연량이 크게 걸리는 위치와 대응될수록 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)의 값이 작아진다. 수학적식은 아래와 같다.

수학적식 1

- [0031] $R1 \cdot C1 > R2 \cdot C2 > R3 \cdot C3 \dots > Rn \cdot Cn$
- [0032] 이와 같이 제1 내지 제n 지연 방지 패턴(2001 내지 200n) 각각에는 상기 수학적식을 이용하여 저항(R1 내지 Rn) 및 커패시터(C1 내지 Cn)를 구비한다. 이에 따라, 제1 내지 제n 지연 방지 패턴(2001 내지 200n)은 공통 전압의 지연량에 따라 공통 전압 제어 신호를 제1 및 제2 데이터 드라이버 IC(60,62)에 개별적으로 공급함으로써 표시 패널(10)에 균일한 공통 전압을 공급할 수 있다.
- [0033] 상기 제 1 공통 라인(30)은 상기 게이트 라인(22)과 평행하도록 형성됨과 아울러 상기 게이트 라인(22)과 동일한 층으로 형성된다.
- [0034] 또한, 상기 제 1 공통 라인(30)을 통해 외부로부터 입력되는 공통 전압이 표시 패널로 공급된다.
- [0035] 상기 제 2 공통 라인(32)은 상기 데이터 라인(24)과 평행하도록 형성되며, 상기 제 2 공통 라인(32)을 통해서도 외부로부터 입력되는 공통 전압이 표시 패널로 공급된다.
- [0036] 또한, 본 발명의 제 1 실시예에 따른 액정 표시 장치는, 상기 제 2 공통 라인(32)이 상기 데이터 라인(24)과 동일한 층으로 형성되어 상기 제 1 공통 라인(30)과 게이트 절연막(미도시)을 사이로 서로 교차하도록 형성된다.
- [0037] 또한, 상기 제 2 공통 라인(32)과 상기 제 1 공통 라인(30)은 서로 전기적으로 연결되도록 형성되어, 표시 패널

전체에 걸쳐 공통 전압이 안정적으로 공급되도록 하는 것이 바람직하다.

- [0038] 예를 들면, 상기 제 1 공통 라인(30)의 일부를 노출시키는 제 1 컨택홀(70) 및 상기 제 2 공통 라인(32)의 일부를 노출시키는 제 2 컨택홀(71)을 동시에 덮도록 패터닝된 제 1 연결부(80)를 통하여 제 1 공통 라인과 제 2 공통 라인이 서로 전기적으로 연결되도록 하는 것이 가능할 것이다.
- [0039] 상기 제 1 연결부(80)는 상기 화소 전극과 동일한 층으로 형성하는 것이 바람직 할 것이다.
- [0040] 상기 데이터 패드부(50)는, 각각의 일단이 데이터 라인에 접속되어 데이터 신호를 데이터 라인으로 공급하는 복수의 데이터 패드 라인(52)을 포함하여 구성된다. 또한, 상기 데이터 패드부(50)는 일단이 제 2 공통 라인(32)과 전기적으로 연결되어 공통 전압을 제 2 공통 라인으로 공급하는 공통 패드 라인(54)을 더 포함할 수 있다.
- [0041] 상기 데이터 패드 라인 및 공통 패드 라인은 모두 데이터 라인과 동일한 층으로 형성된다.
- [0042] 즉, 상기 제 2 공통 라인(32)은 상기 공통 패드 라인(54)과 동일한 층으로 형성되므로, 서로 연결된 하나의 라인과 같이 형성된다.
- [0043] 상기 제 1 데이터 드라이버 IC(60)는 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부를 제외한 나머지 데이터 패드부에 접속되고, 제 2 데이터 드라이버 IC(62)는 양 끝에 배치된 데이터 패드부에 접속된다.
- [0044] 상기 제 1 데이터 드라이버 IC(60) 가운데 적어도 하나는, 공통 전압을 입력하기 위한 제 1 공통 전압 입력 단자(64)를 구비하고, 상기 제 1 공통 전압 입력 단자(64)는 공통 패드 라인(54)에 접속되어 공통 전압을 제 2 공통 라인(32)으로 입력한다.
- [0045] 상기 제 1 공통 전압 입력 단자(64)는, 바람직하게는 도2와 같이, 제 1 데이터 드라이버 IC(60)에 구비된 더미 단자(63)를 이용하여 형성될 수 있다.
- [0046] 또한, 상기 제 2 데이터 드라이버 IC(62) 가운데 적어도 하나는 역시 공통 전압을 입력하기 위한 제 2 공통 전압 입력 단자(66)를 구비할 수 있다.
- [0047] 상기 제 2 공통 전압 입력 단자(66)는 제 2 데이터 드라이버 IC(62)에 구비되어, 복수의 제 1 공통 라인(30)을 전기적으로 연결시키는 제 1 공통 라인 연결 패턴(90)에 접속되도록 형성된다.
- [0048] 또한, 상기 제 1 공통 라인 연결 패턴(90)은 도1과 같이 표시 패널의 좌측에 형성할 수 있으며, 표시 패널의 우측에 형성하거나 또는 좌측 및 우측에 동시에 형성하는 것도 가능할 것이다.
- [0049] 상기 제 1 공통 라인 연결 패턴(90)은 데이터 라인과 동일한 층으로 형성될 수 있으며, 이 경우에는 제 1 공통 라인의 일부를 노출시키는 컨택홀(73) 및 제 1 공통 라인 연결 패턴의 일부를 노출시키는 컨택홀(74)을 동시에 덮도록 패터닝된 제 2 연결부(82)를 통해 제 1 공통 라인 연결 패턴과 제 1 공통 라인이 서로 전기적으로 연결되도록 한다.
- [0050] 상기 제 2 연결부는 화소 전극과 동일한 층으로 형성하는 것이 바람직하다.
- [0051] 또한, 도시하지는 않았으나, 상기 제 1 공통 라인 연결 패턴(90)은 게이트 라인과 동일한 층으로 형성되는 것도 가능할 것이다.
- [0052] 이와 같이, 본 발명의 제 1 실시예에 따른 액정 표시 장치는, 데이터 라인과 평행한 방향으로 형성된 제 2 공통 라인을 통해 공통 전압을 공급하여, 표시 패널 전체에 걸쳐 보다 균일한 공통 전압을 공급하는 것이 가능하게 된다.
- [0053] 도3은 본 발명의 제 1 실시예에 따른 인 플레인 스위칭 모드(In Plane Switching mode) 액정 표시 장치의 화소 영역을 도시한 도면이다.
- [0054] 본 발명의 제 1 실시예에 따른 인 플레인 스위칭 모드 액정 표시 장치에서는, 도3과 같이, 제 1 공통 라인(30)의 일부를 노출시키는 제 1 컨택홀(70) 및 상기 제 2 공통 라인(32)의 일부를 노출시키는 제 2 컨택홀(71)을 동시에 덮도록 패터닝된 제 1 연결부(80)를 구비한다.
- [0055] 또한, 공통 전극(31)은 제 1 공통 라인(30)으로부터 화소 영역으로 분기된 공통 라인 분기부(33)와 컨택홀(72b)을 통해 전기적으로 접속됨과 아울러, 상기 제 2 공통 라인(32) 상부에 형성된 제 3 컨택홀(72a)을 덮도록 연장하여 형성되어 상기 제 2 공통 라인(32)에 동시에 접속된다.
- [0056] 즉, 제 1 공통 라인(30) 및 제 2 공통 라인(32)은 공통 전극(31)을 통해 서로 전기적으로 연결되도록 하는 것이

가능할 것이다.

- [0057] 다음으로, 본 발명의 제 2 실시예에 따른 액정 표시 장치에 대하여 설명하기로 한다.
- [0058] 본 발명의 제 2 실시예에 따른 액정 표시 장치는,
- [0059] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록 형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역에 형성된 화소 전극과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자와, 상기 공통 패드 라인 및 제 2 공통 라인을 서로 전기적으로 연결하는 제 2 공통 라인 연결 패턴과, 상기 공통 전압을 생성하는 공통 전압 생성부와, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부를 포함한다.
- [0060] 도4는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 요부 평면도이다.
- [0061] 도 4에서 알 수 있듯이, 상기 공통 전압 지연 방지부(200)는 다수의 지연 방지 패턴(2001 내지 200n)을 포함하며, 예로 들어 제1 내지 제n 지연 방지 패턴(2001 내지 200n)을 형성한다. 제1 내지 제n 지연 방지 패턴(2001 내지 200n)은 제1 데이터 드라이버 IC(60)와 개별적으로 접속되어 제1 데이터 드라이버 IC(60) 각각에 공통 전압 제어 신호를 공급한다. 구체적으로, 제1 내지 제n 지연 방지 패턴(2001 내지 200n)으로부터의 공통 전압 제어 신호는 제 1 데이터 드라이버 IC(60) 각각에 구비된 제 1 공통 전압 입력 단자(64)와 제1 내지 제n 지연 방지 패턴(2001 내지 200n)의 출력 라인과 각각 접속되어 공급된다.
- [0062] 상기 공통 패드 라인(54)은 데이터 라인(24)과 제 2 공통 라인(32)은 동일한 층으로 형성되고, 상기 제 2 공통 라인 연결 패턴(92)은 게이트 라인과 동일한 층으로 형성된다.
- [0063] 상기 제 2 공통 라인(32)과 제 2 공통 라인 연결 패턴(92)은, 상기 제 2 공통 라인(32)의 일부를 노출시키는 컨택홀(79) 및 상기 제 2 공통 라인의 일부를 노출시키는 컨택홀(76b)을 동시에 덮도록 패터닝된 제 3 연결부(83)를 통해 서로 전기적으로 연결된다.
- [0064] 상기 공통 패드 라인(54)과 제 2 공통 라인 연결 패턴(92)은, 상기 공통 패드 라인의 일부를 노출시키는 컨택홀(75) 및 상기 제 2 공통 라인의 일부를 노출시키는 컨택홀(76a)을 동시에 덮도록 패터닝된 제 4 연결부(84)를 통해 서로 전기적으로 연결된다.
- [0065] 상기 제 3 연결부(83) 및 제 4 연결부(84)는 화소 전극과 동일한 층으로 형성된 것이 바람직하다.
- [0066] 또한, 상기 제 2 공통 라인(32)이 데이터 라인과 동일한 층으로 형성된 경우에는, 도시하지는 않았으나, 이 경우에는 상기 제 2 공통 라인 연결 패턴(92)과 컨택홀 및 컨택홀을 덮도록 형성된 연결 패턴을 통하여 전기적으로 연결되는 것이 가능하다.
- [0067] 또한, 본 발명의 제 2 실시예에 따른 액정 표시 장치에서는, 도4와 같이, 하나의 제 2 공통 라인 연결 패턴(92)이 서로 이웃하는 제 1 데이터 드라이버 IC(60) 각각에 구비된 제 1 공통 전압 입력 단자(64)에 동시에 접속된 것을 특징으로 한다.
- [0068] 즉, 하나의 제 2 공통 라인 연결 패턴(92)을 서로 이웃하는 제 1 데이터 드라이버 IC가 공유하는 것이 가능하다.
- [0069] 또한, 본 발명의 제 2 실시예에 따른 액정 표시 장치에서, 상기 제 2 공통 라인 연결 패턴(92)과 데이터 라인(24)이 중첩되는 영역에는, 도5와 같이, 데이터 라인(24)과 제 2 공통 라인 연결 패턴(92) 사이에 반도체층(23)이 개재되도록 하는 것이 바람직하다.
- [0070] 도5는 데이터 라인과 제 2 공통 라인 연결 패턴이 중첩되는 영역을 나타낸 횡단면도이다.
- [0071] 참고로, 설명하지 않은 도면부호 26은 게이트 절연막을 나타낸다.
- [0072] 이와 같이, 플로팅(floating)된 반도체층(23)이 데이터 라인 및 제 2 공통 라인 연결 패턴 사이에 개재되면, 반

도체층이 절연체로 작용하여 공통 전압이 공급되는 제 2 공통 라인 연결 패턴(92)과 데이터 신호가 공급되는 데이터 라인(24) 사이에 형성되는 기생 커패시턴스가 감소하므로, 지연(delay) 현상에 의하여 공통 전압의 분포가 불균일해지는 현상을 개선할 수 있다.

[0073] 또한, 도5와 같이, 데이터 라인(24) 및 반도체층(23)을 동시에 식각할 때, 식각비의 차이에 따라 상기 반도체층(23)이 보다 넓은 폭으로 노출되도록 하여, 데이터 라인(24)이 급격한 단차 변화에 의하여 단선되는 것을 방지할 수 있는 효과를 제공한다.

[0074] 상기 반도체층(23)은 박막 트랜지스터의 반도체층과 동일한 층으로 형성한다.

[0075] 또한, 본 발명의 제 2 실시예에 따른 액정 표시 장치에서, 도6과 같이 데이터 라인이 제 1 선폭(w1)을 가지는 제 1 영역과 상기 제 1 선폭보다 작은 제 2 선폭(w2)을 가지는 제 2 영역으로 구성되며, 상기 제 1 영역은 상기 제 2 공통 라인 연결 패턴(92)과 데이터 라인이 중첩되는 영역을 포함하도록 하는 것이 가능하다.

[0076] 즉, 데이터 라인에서 제 2 공통 라인 연결 패턴과 중첩되는 영역은 기생 커패시턴스에 의한 지연(delay) 현상의 영향을 가장 크게 받는 부분이므로, 이 부분의 선폭을 다른 부분보다 크도록 데이터 라인을 형성하여 지연(delay) 현상에 의하여 공통 전압의 분포가 불균일해지는 현상을 개선할 수 있다.

[0077] 본 발명의 제 2 실시예에 따른 액정 표시 장치에서, 이상에서 설명한 상기 공통 패드 라인과, 데이터 라인 및 제 2 공통 라인에 대한 부분을 제외한 부분은, 본 발명의 제 1 실시예에 따른 액정 표시 장치와 동일하므로, 상술한 설명으로 대신하기로 한다.

[0078] 다음으로, 본 발명의 제 3 실시예에 따른 액정 표시 장치에 대하여 설명하기로 한다.

[0079] 본 발명의 제 3 실시예에 따른 액정 표시 장치는,

[0080] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록 형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역에 형성된 화소 전극과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자와, 상기 공통 패드 라인 및 제 2 공통 라인을 서로 전기적으로 연결하는 제 2 공통 라인 연결 패턴과, 상기 공통 전압을 생성하는 공통 전압 생성부와, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부를 포함하고,

[0081] 상기 제 2 공통 라인 연결 패턴은 하나 이상의 공통 패드 라인 및 제 2 공통 라인과 전기적으로 연결되어 일체형으로 형성된 것을 특징으로 한다.

[0082] 도7은 본 발명의 제 3 실시예에 따른 액정 표시 장치의 요부 평면도이다.

[0083] 도 7에서 알 수 있듯이, 상기 공통 전압 지연 방지부(200)는 다수의 지연 방지 패턴(201 내지 200n)을 포함하며, 예로 들어 제1 내지 제n 지연 방지 패턴(201 내지 200n)을 형성한다. 다수의 지연 방지 패턴(201 내지 200n)은 제1 데이터 드라이버(60) 각각에 적어도 하나 이상의 지연 방지 패턴과 접속되어 제1 데이터 드라이버 IC(60) 각각에 적어도 하나 이상의 공통 전압 제어 신호를 공급한다.

[0084] 또한, 상기 제 2 공통 라인 연결 패턴이 일체형으로 형성되어 각각의 제 1 공통 전압 입력 단자(64) 및 제 2 공통 전압 입력 단자(66)를 통해 입력되는 미세한 공통 전압의 차이가 상쇄될 수 있는 효과를 제공한다.

[0085] 본 발명의 제 3 실시예에 따른 액정 표시 장치에서, 이상에서 설명한 상기 제 2 공통 라인 및 데이터 라인과, 제 2 공통 라인 연결 패턴에 대한 부분을 제외한 부분은, 본 발명의 제 2 실시예에 따른 액정 표시 장치와 동일하므로, 상술한 설명으로 대신하기로 한다.

[0086] 다음으로 본 발명의 제 4 실시예에 따른 액정 표시 장치에 대하여 설명하기로 한다.

[0087] 본 발명의 제 4 실시예에 따른 액정 표시 장치는,

[0088] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록

형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역에 형성된 화소 전극과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자와, 상기 공통 패드 라인 및 제 2 공통 라인을 서로 전기적으로 연결하는 제 2 공통 라인 연결 패턴과, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부를 포함하고,

[0089] 상기 제 2 공통 라인 연결 패턴은 다수개가 분리되어 형성되며, 각각이 하나 이상의 공통 패드 라인 및 제 2 공통 라인과 전기적으로 연결된 것을 특징으로 한다.

[0090] 도8은 본 발명의 제 4 실시예에 따른 액정 표시 장치의 요부 평면도이다.

[0091] 도8과 같이, 본 발명의 제 4 실시예에 따른 액정 표시 장치는 상기 제 2 공통 라인 연결 패턴이 다수개로 분리되어 형성되어서, 각각의 제 1 데이터 드라이버 IC가 공통 전압을 개별적으로 입력하는 것이 가능하다. 이와 같이, 공통 전압을 개별적으로 입력하는 것이 가능하게 되면 회로 튜닝을 보다 원활하게 할 수 있는 효과를 제공한다.

[0092] 그리고, 상기 공통 전압 지연 방지부(200)는 다수의 지연 방지 패턴(2001 내지 200n)을 포함하며, 예를 들어 제 1 내지 제n 지연 방지 패턴(2001 내지 200n)을 형성한다. 다수의 지연 방지 패턴(2001 내지 200n)은 제1 데이터 드라이버(60) 각각에 적어도 하나 이상의 지연 방지 패턴과 접속되어 제1 데이터 드라이버 IC(60) 각각에 적어도 하나 이상의 공통 전압 제어 신호를 공급한다.

[0093] 또한, 본 발명의 제 4 실시예에 따른 액정 표시 장치는, 도9와 같이, 제 2 공통 라인(32)과 데이터 라인(24)을 서로 교번하여 형성하는 것이 가능하다.

[0094] 이와 같이, 데이터 라인(24)과 제 2 공통 라인(32)이 서로 교번하도록 형성되면, 표시 패널 내에서 전계가 대칭적으로 형성되도록 하는 효과를 제공한다.

[0095] 즉, 전체 패턴을 대칭적으로 형성하여, 전계의 분포가 표시 패널 전체에 걸쳐 보다 균일하도록 한다.

[0096] 또한, 본 발명의 제 4 실시예에 따른 액정 표시 장치에서, 이상에서 설명한 상기 제 2 공통 라인 및 데이터 라인과, 제 2 공통 라인 연결 패턴에 대한 부분을 제외한 부분은, 본 발명의 제 2 실시예에 따른 액정 표시 장치와 동일하므로, 상세한 설명으로 대신하기로 한다.

[0097] 다음으로 본 발명의 제 5 실시예에 따른 액정 표시 장치에 대하여 설명하기로 한다.

[0098] 본 발명의 제 5 실시예에 따른 액정 표시 장치는,

[0099] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록 형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역에 형성된 화소 전극과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자와, 상기 비표시영역에서 상기 데이터 패드부가 형성된 영역의 타측에 형성되어 상기 제 2 공통 라인을 서로 전기적으로 연결하는 메탈 패턴과, 상기 공통 전압을 생성하는 공통 전압 생성부와, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부를 포함하여 구성되는 것을 특징으로 한다.

[0100] 도10a는 본 발명의 제 5 실시예에 따른 액정 표시 장치의 일례를 도시한 평면도이다.

[0101] 도10a와 같이, 본 발명의 제 5 실시예에 따른 액정 표시 장치는 비표시영역에서 상기 데이터 패드부가 형성된

영역의 타측에 형성되어 상기 제 2 공통 라인을 서로 전기적으로 연결하는 메탈 패턴을 더 포함하여, 표시 패널 내에서 공통 전압의 분포를 더 균일하도록 하는 효과를 제공한다.

- [0102] 상기 메탈 패턴(94)은 상기 제 2 공통 라인(32)과 동일한 층으로 형성하는 것이 바람직하다.
- [0103] 도10a에서는 메탈 패턴 및 제 2 공통 라인 모두 데이터 라인과 동일한 층으로 형성되었다.
- [0104] 도10b는 본 발명의 제 5 실시예에 따른 액정 표시 장치의 다른 일례를 도시한 평면도이다.
- [0105] 도10b와 같이, 상기 데이터 패드부가 형성된 영역의 타측에 형성되어 상기 제 2 공통 라인을 서로 전기적으로 연결하는 메탈 패턴 및 표시 패널의 좌측 및 우측 모두에 구비된 제 1 공통 라인 연결 패턴을 동시에 포함하도록 하여 공통 전압의 분포를 보다 균일하도록 하는 것이 가능할 것이다.
- [0106] 또한, 상기 메탈 패턴은 도11과 같이, 데이터 라인과 동일한 층으로 형성된 제 1 패턴(94a)과, 게이트 라인과 동일한 층으로 형성된 제 2 패턴(94b)의 복층 구조로 형성하는 것이 가능하다.
- [0107] 도시하지는 않았으나, 상기 제 1 패턴(94a) 및 제 2 패턴(94b) 사이에는 절연층으로 이루어진 패시베이션막이 개재된다.
- [0108] 상기 제 1 패턴(94a) 및 제 2 패턴(94b)은, 제 1 패턴(94a)의 일부를 노출시키는 콘택홀(77) 및 제 2 패턴(94b)의 일부를 노출시키는 콘택홀(78)을 동시에 덮도록 패터닝 된 제 5 연결부(86)를 통해 서로 전기적으로 연결된다.
- [0109] 상기 콘택홀(77,78) 및 제 5 연결부(86)는 복수로 형성되어 멀티 콘택(multi-contact)이 되도록 하는 것이 바람직하다.
- [0110] 이와 같이, 메탈 패턴이 복층 형태로 구성되면, 저항을 더욱 감소시켜 공통 전압의 분포를 보다 더 균일하도록 하는 것이 가능할 것이다.
- [0111] 다음으로 본 발명의 제 6 실시예에 따른 액정 표시 장치에 대하여 설명하기로 한다.
- [0112] 본 발명의 제 6 실시예에 따른 액정 표시 장치는,
- [0113] 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 가지는 표시 패널과, 상기 표시 패널에 서로 교차하도록 형성되어 복수의 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터에 접속되어 상기 화소 영역에 형성된 화소 전극과, 상기 게이트 라인과 평행하도록 형성된 제 1 공통 라인과, 상기 데이터 라인과 평행함과 아울러 상기 제 1 공통 라인과 교차하도록 형성된 제 2 공통 라인과, 상기 비표시영역에 데이터 패드 라인 및 공통 패드 라인을 포함하는 패드 라인들이 모여 형성된 복수의 데이터 패드부와, 상기 데이터 패드부 가운데 양끝에 배치된 데이터 패드부를 제외한 나머지 패드부에 접속되는 제 1 데이터 드라이버 IC와, 상기 데이터 패드부 가운데 양 끝에 배치된 데이터 패드부에 접속되는 제 2 데이터 드라이버 IC와, 상기 제 1 데이터 드라이버 IC 가운데 적어도 하나에 구비되어 상기 제 2 공통 라인으로 공통 전압을 공급하는 제 1 공통 전압 입력 단자와, 상기 비표시영역에서 상기 데이터 패드부가 형성된 영역의 타측에 형성되어 상기 제 2 공통 라인을 서로 전기적으로 연결하는 메탈 패턴과, 상기 공통 전압을 생성하는 공통 전압 생성부와, 상기 공통 전압의 지연 현상을 방지하는 공통 전압 지연 방지부와, 게이트 라인에 게이트 제어 신호를 공급하는 게이트 드라이버 IC와, 게이트 드라이버 IC에 공급되는 게이트 제어 신호들을 전송하기 위한 LOG형 신호 라인군을 포함한다.
- [0114] 도12는 본 발명의 제 6 실시예에 따른 액정 표시 장치의 평면도이다.
- [0115] 도12와 같이, 제 6 실시예에 따른 액정 표시 장치는 게이트 드라이버 IC(302)와 이와 접속된 LOG형 신호 라인군(300)이 비표시 영역(14)에 형성된다. 그리고, LOG형 신호 라인군(300)은 게이트 라인(22)과 동일하게 게이트 금속층으로 구성된다. 이렇게 LOG형 신호 라인군(300)의 저항값은 라인 길이에 비례함에 따라 PCB에 떨어짐에 따라 신호 지연량이 발생하지만, 도 13에 도시된 바와 같이 제1 및 제2 데이터 드라이버 IC(60,62) 각각에 대응되도록 다수의 지연 방지 패턴(2001 내지 200n)을 형성하여 균일한 공통 전압을 공급함으로써 표시 품질을 향상시킬 수 있다. 도 1에서 설명한 바와 같이 다수의 지연 방지 패턴(2001 내지 200n)은 동일한 기능과 동일한 효과를 가짐으로써 설명은 생략하기로 한다.
- [0116] 도13a는 종래의 표시 패널에서 공통 전압의 분포를 나타낸 도면이고, 도13b는 본 발명의 제 1 실시예에 따른 액정 표시 장치에서의 공통 전압의 분포를 나타낸 도면이다.

- [0117] 도13a 및 도13b에서 알 수 있듯이, 종래보다 본 발명의 제 1 실시예에 따른 액정 표시 장치에서의 공통 전압의 분포가 균일해짐을 알 수 있다.
- [0118] 특히, 동영상을 위한 16:9의 화면비를 가진 와이드 패널(wide panel)의 경우 게이트 라인 방향으로 패널이 길어짐에 따라 게이트 라인과 평행한 제 1 공통 라인을 통해서만 공통 전압을 공급할 경우, 지연 현상에 의하여 공통 전압의 분포가 불균일해지는 현상이 심하였으나,
- [0119] 본 발명의 실시예에 따른 액정 표시 장치에서는 게이트 라인과 평행하도록 형성된 제 1 공통 라인과 함께, 데이터 라인과 평행하도록 형성된 제 2 공통 라인을 통해서도 공통 전압을 공급하여 공통 전압의 분포를 개선하는 효과가 현저하게 된다.
- [0120] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

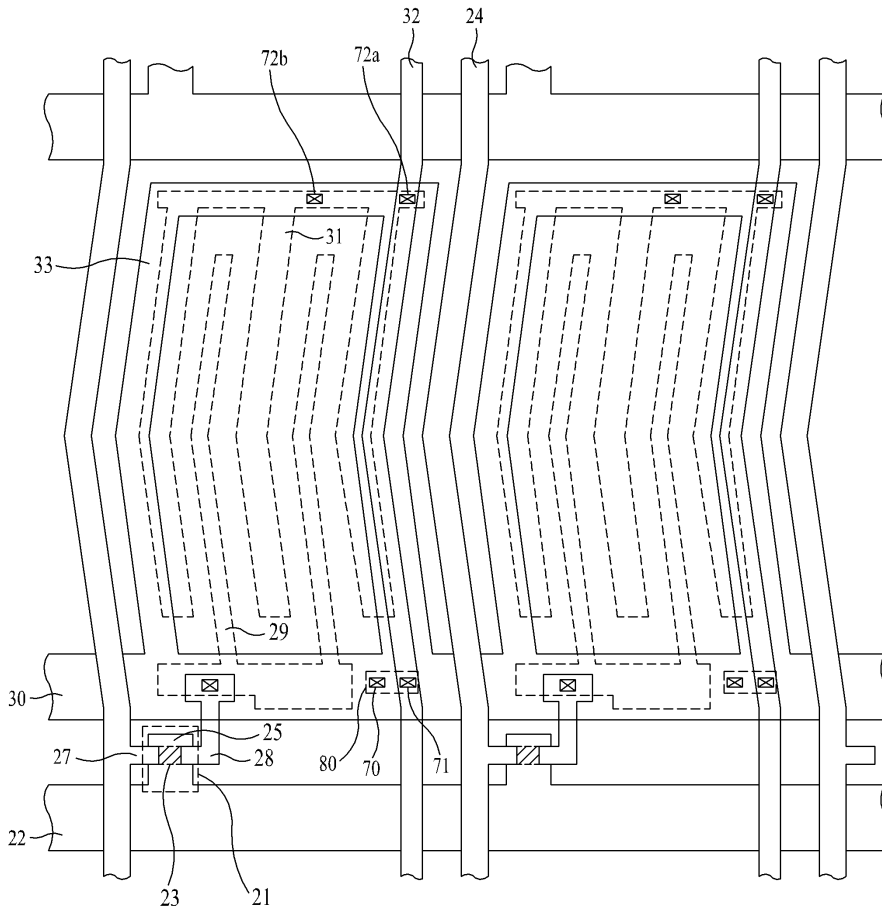
도면의 간단한 설명

- [0121] 도1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 평면도.
- [0122] 도2는 데이터 드라이버 IC의 평면도.
- [0123] 도3은 본 발명의 제 1 실시예에 따른 인 플레인 스위칭 모드 액정 표시 장치의 평면도.
- [0124] 도4는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 일례를 나타낸 평면도.
- [0125] 도5는 본 발명의 제 2 실시예에 따른 액정 표시 장치에서, 데이터 라인 및 제 2 공통 라인 연결 패턴이 중첩되는 영역의 단면도.
- [0126] 도6은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 다른 일례를 나타낸 평면도.
- [0127] 도7은 본 발명의 제 3 실시예에 따른 액정 표시 장치의 평면도.
- [0128] 도8은 본 발명의 제 4 실시예에 따른 액정 표시 장치의 일례를 나타낸 평면도.
- [0129] 도9는 본 발명의 제 4 실시예에 따른 액정 표시 장치의 다른 일례를 나타낸 평면도.
- [0130] 도10a는 본 발명의 제 5 실시예에 따른 액정 표시 장치의 일례를 나타낸 평면도.
- [0131] 도10b는 본 발명의 제 5 실시예에 따른 액정 표시 장치의 다른 일례를 나타낸 평면도.
- [0132] 도11은 본 발명의 제 5 실시예에 따른 액정 표시 장치에서, 메탈 패턴이 복층 구조를 형성된 경우를 나타낸 평면도.
- [0133] 도 12은 본 발명의 제 6 실시예에 따른 액정 표시 장치의 다른 일례를 나타낸 평면도.
- [0134] 도13a는 종래의 액정 표시 장치에서의 표시 패널 내 공통 전압의 분포도.
- [0135] 도13b는 본 발명의 제 1 실시예에 따른 액정 표시 장치에서의 표시 패널 내 공통 전압의 분포도.

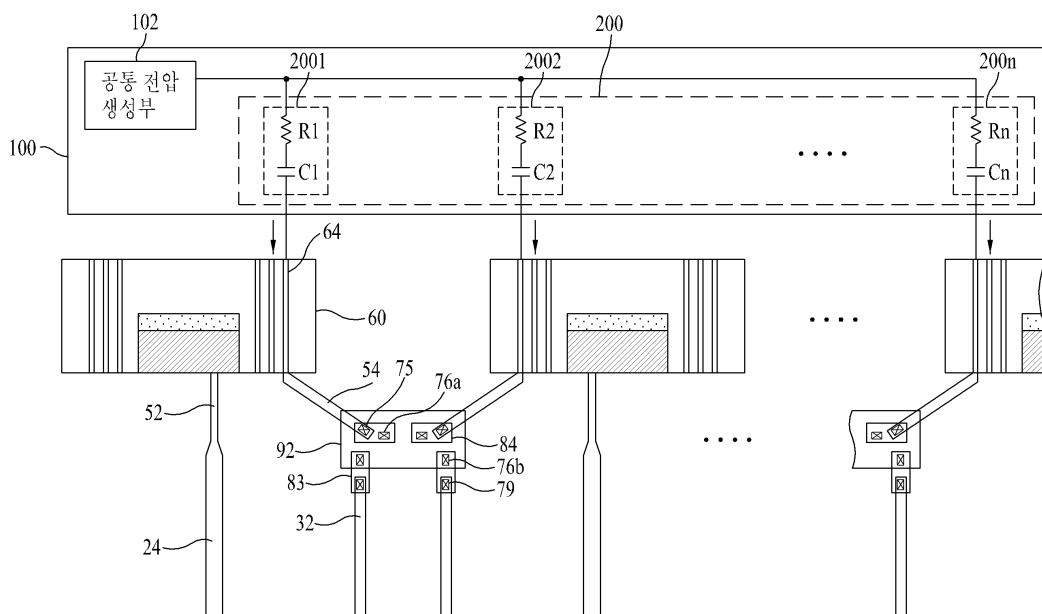
[0136] <도면 부호의 간단한 설명>

- | | |
|-----------------------|----------------|
| [0137] 10 : 표시 패널 | 12 : 표시 영역 |
| [0138] 14 : 비표시 영역 | 20 : 화소 영역 |
| [0139] 22 : 게이트 라인 | 24 : 데이터 라인 |
| [0140] 21 : 박막 트랜지스터 | 23 : 반도체층 |
| [0141] 25 : 게이트 전극 | 26 : 게이트 절연막 |
| [0142] 27 : 소스 전극 | 28 : 드레인 전극 |
| [0143] 29 : 화소 전극 | 30 : 제 1 공통 라인 |
| [0144] 32 : 제 2 공통 라인 | 31 : 공통 전극 |

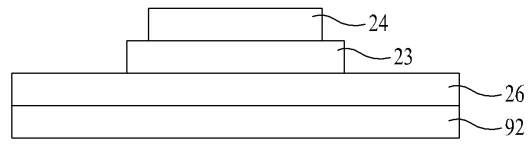
도면3



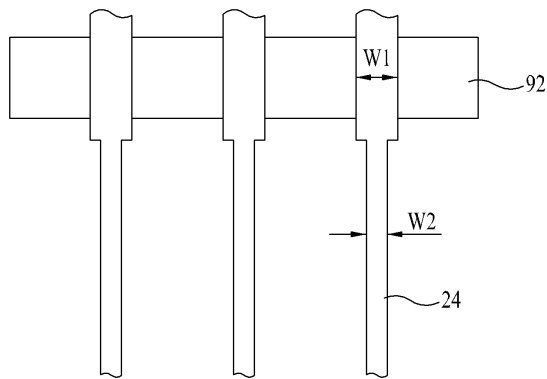
도면4



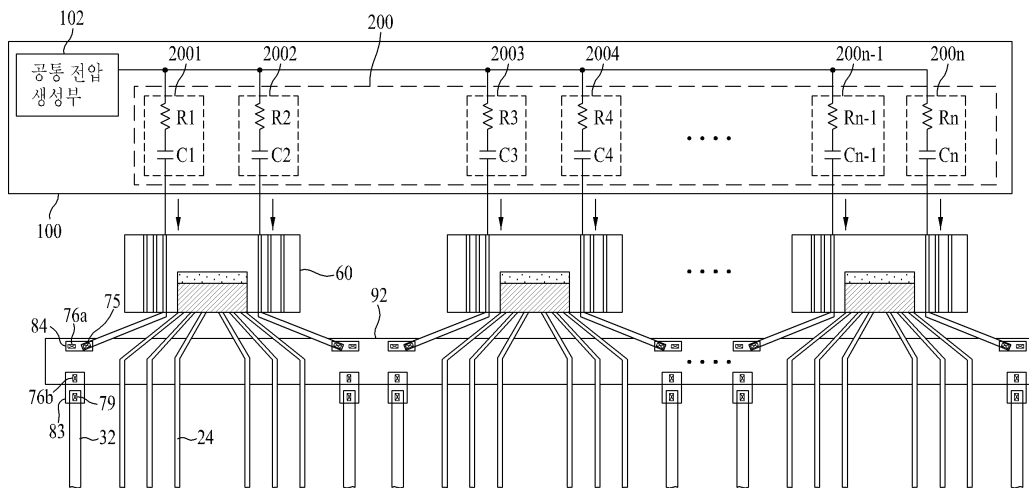
도면5



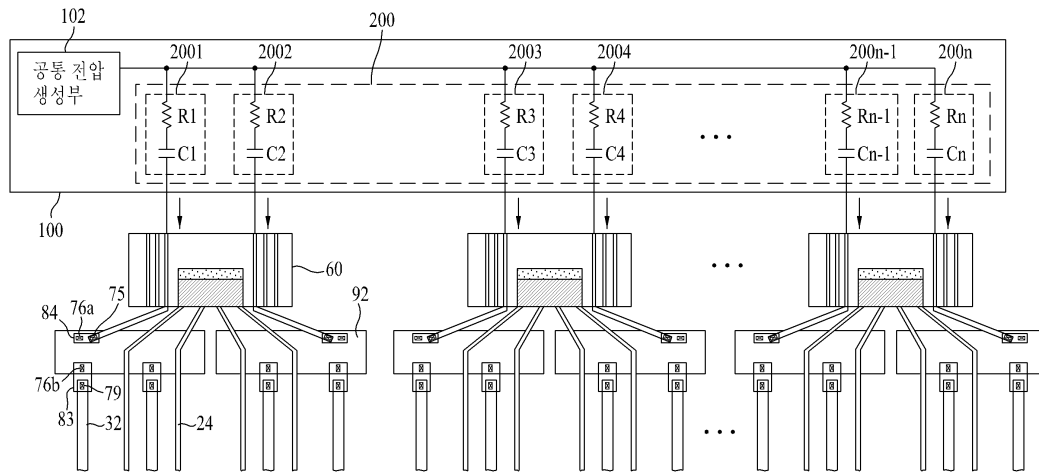
도면6



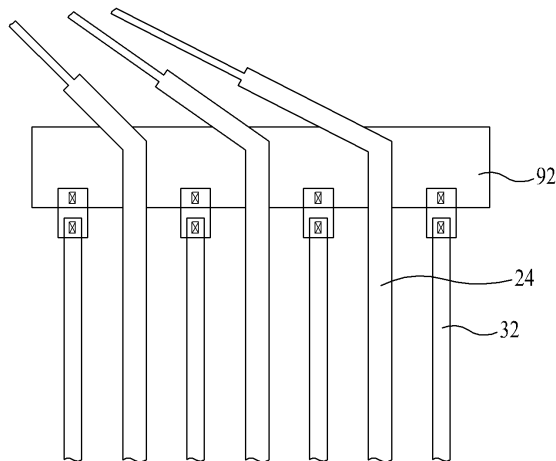
도면7



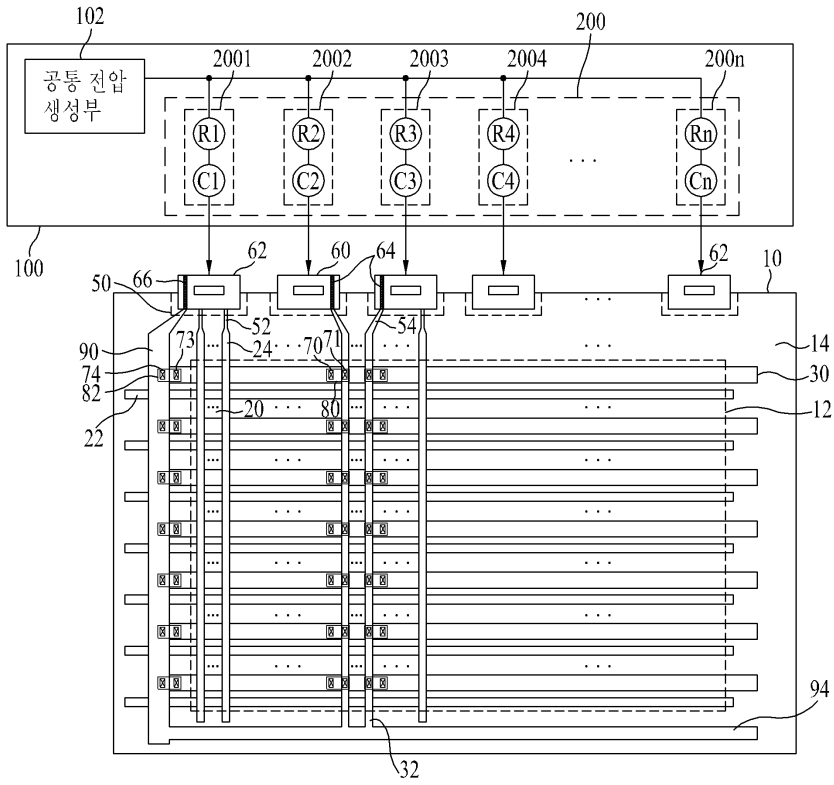
도면8



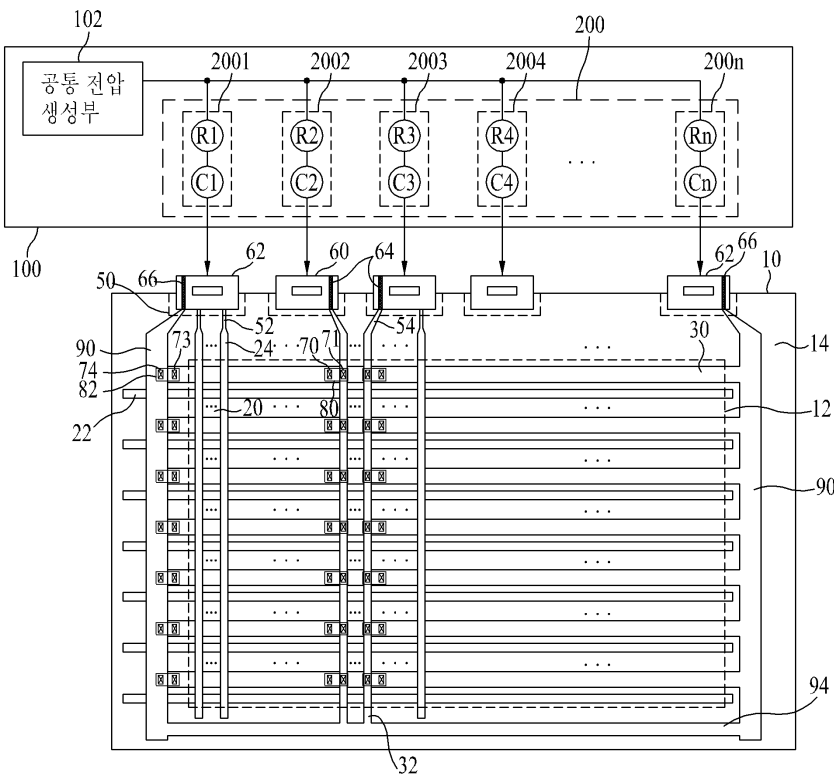
도면9



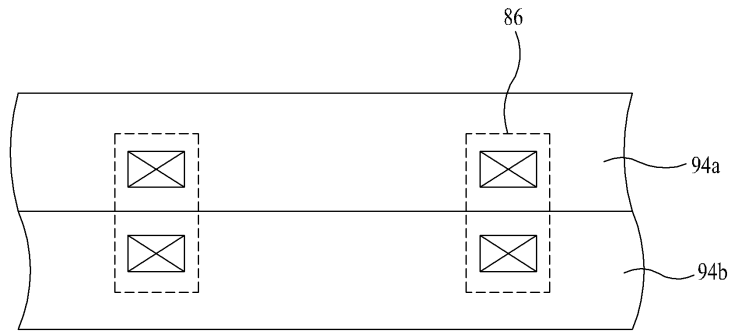
도면10a



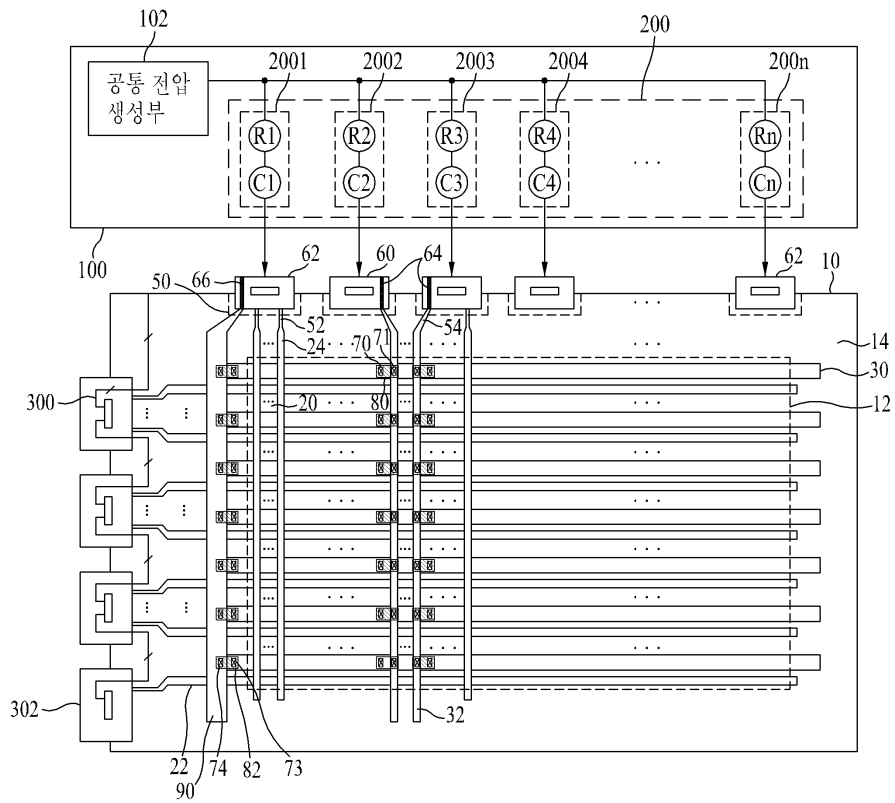
도면10b



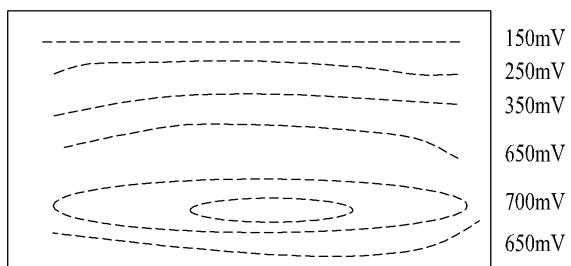
도면11



도면12

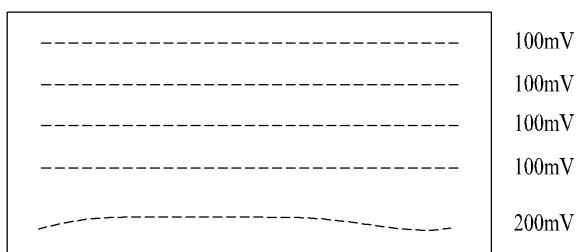


도면13a



<기준 : Vcom 변동 측정 결과>

도면13b



<개선 후 : Vcom 변동 측정 결과>

专利名称(译)	和第二个公共线连接模式 (92)		
公开(公告)号	KR101308463B1	公开(公告)日	2013-09-16
申请号	KR1020070080355	申请日	2007-08-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI 오금미 OH JAE YOUNG 오재영 SHIN DONG SU 신동수 LEE JAE KYUN 이재균		
发明人	오금미 오재영 신동수 이재균		
IPC分类号	G02F1/1345 G02F G02F1/133		
CPC分类号	G02F1/13454 G02F1/136286 G09G3/3648 G09G3/3696		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020090015759A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置，以通过使显示面板内的公共电压分布均匀而改善显示质量。一种液晶显示装置，包括：具有显示区域（12）和围绕该显示区域的非显示区域（14）的显示面板（10）；栅极线（22）和数据线（24），用于限定多个像素区域（20）；第一公共线（30）形成为与栅极线平行。第二公共线（32）形成为与第一公共线相交。由包括数据焊盘线（52）和公共PAD线（54）的焊盘线组成的多个数据焊盘；第一数据驱动器集成电路连接到除数据焊盘之外的其余焊盘；第二数据驱动器集成电路（62）连接到数据焊盘。

