



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월03일
(11) 등록번호 10-0973819
(24) 등록일자 2010년07월28일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0087592

(22) 출원일자 2003년12월04일

심사청구일자 2008년11월14일

(65) 공개번호 10-2005-0054243

(43) 공개일자 2005년06월10일

(56) 선행기술조사문헌

JP2000194327 A

KR1020020013131 A

JP09330060 A

KR100758086 B1

전체 청구항 수 : 총 14 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김철민

경기도성남시분당구서현동시범단지삼성아파트110동702호

박기찬

경기도수원시팔달구영통동황골마을주공1단지124동503호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

심사관 : 차건숙

(54) 평판 표시 장치용 아날로그 증폭기

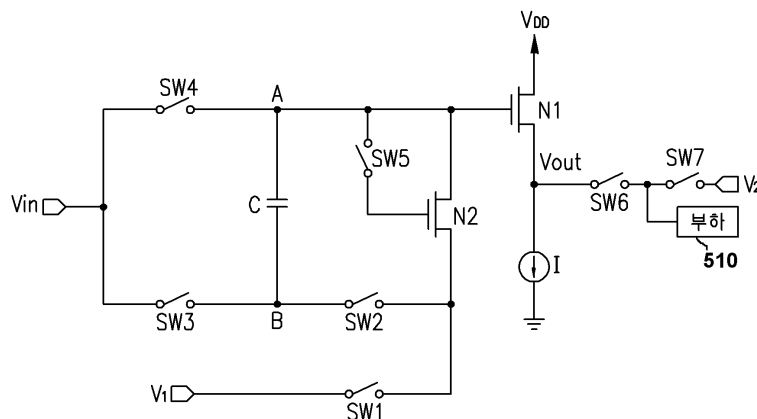
(57) 요약

본 발명은 트랜지스터의 문턱 전압 변화에 무관한 일정한 출력 전압을 제공하며 정전류원의 전류 변화에 둔감한 평판 표시 장치용 아날로그 증폭기에 관한 것이다.

문턱 전압을 갖는 제1 및 제2 트랜지스터, 그리고 상기 제1 트랜지스터의 문턱 전압을 저장하는 축전기를 포함하며, 상기 제1 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 제1 단자, 상기 축전기의 제1단에 선택적으로 연결되어 있는 제2 단자 및 상기 축전기의 제2단에 선택적으로 연결되어 있는 제3 단자를 포함하며, 상기 제2 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 제1 단자, 제1 전압에 연결되어 있는 제2 단자 및 전류원을 통하여 제2 전압에 연결되어 있는 제3 단자를 포함하고, 상기 제1 트랜지스터의 문턱 전압과 상기 제2 트랜지스터의 문턱 전압은 동일하다.

이런 방식으로 문턱 전압의 변화와 무관한 일정한 출력 전압을 얻음과 동시에 정전류원의 변화에 따른 출력 전압의 영향을 최소화할 수 있다.

대표도 - 도5



(72) 발명자

김철호

경기도의정부시호원동422우남1차아파트102동901호

박태형

경기도용인시수지읍풍덕천2동성우현대아파트신정마을807동1802호

문국철

경기도수원시팔달구영통동벽적골주공아파트904동1001호

김일곤

서울특별시영등포구신길7동삼환아파트101동1106호

특허청구의 범위

청구항 1

데이터선에 연결되어 있는 복수의 화소를 포함하는 평판 표시 장치용 아날로그 증폭기로서,

제1 및 제2 트랜지스터, 그리고

축전기

를 포함하며,

상기 제1 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 드레인 단자, 상기 축전기의 제1단에 선택적으로 연결되어 있는 게이트 단자 및 상기 축전기의 제2단에 선택적으로 연결되어 있는 소스 단자를 포함하며,

상기 제2 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 게이트 단자, 제1 전압에 연결되어 있는 드레인 단자 및 전류원을 통하여 제2 전압에 연결되어 있는 소스 단자를 포함하는

평판 표시 장치용 아날로그 증폭기.

청구항 2

제1항에서,

상기 제1 트랜지스터의 유효 문턱 전압과 상기 제2 트랜지스터의 유효 문턱 전압은 동일한 평판 표시 장치용 아날로그 증폭기.

청구항 3

제1항에서,

입력 단자, 그리고

출력 단자

를 더 포함하되,

상기 축전기의 제1단 및 제2단은 각각 상기 입력 단자에 선택적으로 연결되고,

상기 제2 트랜지스터의 소스 단자는 상기 출력 단자에 연결되는

평판 표시 장치용 아날로그 증폭기.

청구항 4

제3항에서,

상기 제1 트랜지스터의 소스 단자와 제3 전압 사이에 연결되어 있는 제1 스위칭 소자,

상기 제1 트랜지스터의 소스 단자와 상기 축전기의 제2단 사이에 연결되어 있는 제2 스위칭 소자,

상기 축전기의 제2단과 상기 입력 단자 사이에 연결되어 있는 제3 스위칭 소자,

상기 축전기의 제1단과 상기 입력 단자 사이에 연결되어 있는 제4 스위칭 소자,

상기 축전기의 제1단과 상기 제1 트랜지스터의 게이트 단자 사이에 연결되어 있는 제5 스위칭 소자,

상기 제2 트랜지스터의 소스 단자와 상기 데이터선 사이에 연결되어 있는 제6 스위칭 소자, 그리고

상기 데이터선과 제5 전압 사이에 연결되어 있는 제7 스위칭 소자

를 더 포함하는

평판 표시 장치용 아날로그 증폭기.

청구항 5

제4항에서,

제1 시점에서 상기 제1, 제2, 제4, 제5 및 제7 스위칭 소자는 턴온되며,

제2 시점에서 상기 제1 및 제7 스위칭 소자는 턴오프되고,

제3 시점에서 상기 제2, 제4 및 제5 스위칭 소자는 턴오프되고 상기 제3 및 제6 스위칭 소자는 턴온되는
평판 표시 장치용 아날로그 증폭기.

청구항 6

제3항에서,

상기 제1 트랜지스터의 소스 단자는 제3 전압에 선택적으로 연결되며,

상기 데이터선은 상기 제2 트랜지스터의 소스 단자 및 제5 전압 각각에 선택적으로 연결되는

평판 표시 장치용 아날로그 증폭기.

청구항 7

제6항에서,

상기 축전기와 상기 제1 트랜지스터는

제1 시점에서 병렬 연결되어,

상기 축전기의 제1단은 상기 입력 단자로부터 제1 입력 전압을 인가받고,

상기 축전기의 제2단은 상기 제3 전압을 인가받고,

제2 시점에서 상기 제3 전압으로부터 분리되며,

제3 시점에서 상기 축전기의 제1단은 상기 입력 단자로부터 분리되고,

상기 축전기의 제2단은 상기 입력 단자로부터 제2 입력 전압을 인가받는

평판 표시 장치용 아날로그 증폭기.

청구항 8

제7항에서,

상기 데이터선은

상기 제1 시점에서 상기 제5 전압을 인가받고,

상기 제3 시점에서 상기 출력 단자의 출력 전압을 인가받는

평판 표시 장치용 아날로그 증폭기.

청구항 9

제8항에서,

상기 제1 전압은 구동 전압이고 상기 제2 전압은 접지 전압(ground voltage)이며,

상기 제1 및 제2 트랜지스터는 NMOS 트랜지스터인

평판 표시 장치용 아날로그 증폭기.

청구항 10

제9항에서,

상기 제5 전압은 상기 출력 단자의 출력 전압 범위 중 가장 낮은 값을 갖는 평판 표시 장치용 아날로그 증폭기.

청구항 11

제8항에서,
 상기 제1 전압은 접지 전압이고 상기 제2 전압은 구동 전압이며,
 상기 제1 및 제2 트랜지스터는 PMOS 트랜지스터인
 평판 표시 장치용 아날로그 증폭기.

청구항 12

제11항에서,
 상기 제5 전압은 상기 출력 단자의 출력 전압 범위 중 가장 높은 값을 갖는 평판 표시 장치용 아날로그 증폭기.

청구항 13

제1항에서,
 상기 평판 표시 장치는 액정 표시 장치인 평판 표시 장치용 아날로그 증폭기.

청구항 14

제13항에서,
 상기 평판 표시 장치는 SOG(system on glass)인 평판 표시 장치용 아날로그 증폭기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0008] 본 발명은 평판 표시 장치용 아날로그 증폭기에 관한 것으로서, 특히 액정 표시 장치의 아날로그 증폭기 회로에 관한 것이다.
- [0009] 일반적인 액정 표시 장치는 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이러한 액정 표시 장치는 휴대가 간편한 평판 표시 장치(flat panel display, FPD) 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor, TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.
- [0010] 한편, 이러한 TFT의 재료로서 비정질, 다결정 및 단결정 규소가 사용되고 있다.
- [0011] 비정질 규소(amorphous silicon: 이하 'a-Si'이라 함) TFT-LCD는 기판 상에 마련되는 액정 표시판 조립체, 액정 표시판 조립체를 구동하기 위한 데이터 구동IC, 게이트 구동 IC 및 이들을 접속하기 위한 인쇄 회로 보드를 구비한다. 이와 같은 a-Si TFT-LCD는 낮은 전계 이동도로 인하여 액정 표시판 조립체에는 화소만 구비하고 구동 IC를 별도로 제작하여 유리 기판 상에 탑재하여 사용한다.
- [0012] 이에 반해 다결정 규소(poly silicon: 이하 'Poly-Si'이라 함) TFT-LCD는 유리 기판 상에 액정 표시판 조립체, 액정 표시판 조립체를 구동하기 위한 데이터 구동 IC 및 게이트 구동 IC를 구비한다. 이와 같은 Poly-Si TFT-LCD는 데이터 구동 IC 및 게이트 구동 IC와 같은 구동 회로를 유리 기판 상에 액정 표시판 조립체 내에 집적함으로써 외부와 연결해 주는 신호선의 수가 대폭 줄어들어 제품의 신뢰성을 향상시켜 생산비를 대폭 줄일 수 있다. 또한, 높은 전계 이동도로 인해 a-Si TFT보다 더 작은 크기의 Poly-Si TFT를 화소의 스위칭 소자로 사용함으로써 고개구율화가 용이하다는 장점이 있다. 이런 이유로 현재 Poly-Si TFT-LCD에 대한 연구가 활발히 진행되고 있다.
- [0013] Poly-Si TFT-LCD는 a-Si TFT-LCD에서 이용되는 저가격의 유리 기판 상에 MOS 트랜지스터로 이루어지는 회로를

내장할 수 있다라는 것이 가장 큰 장점이다. 현재, LTPS(low temperature polycrystalline silicon)라는 저온 다결정 규소 기술을 이용하여 유리 기판 상에 게이트 구동 IC 전부 또는 게이트 구동 IC 및 데이터 구동 IC 각각의 일부를 형성할 수 있으며, 나아가 신호 제어부를 포함하는 시스템 전체를 유리 기판상에 집적하는 SOG(system on glass)도 가능하게 되었다.

발명이 이루고자 하는 기술적 과제

- [0014] 한편, 이러한 SOG로 나아가는데 여러 가지 장애 요소가 있지만, 그 중에서도 특히 구동 회로에 사용되는 대부분의 반도체 소자가 문턱 전압을 갖는 MOS 트랜지스터라는 점이다.
- [0015] MOS 트랜지스터는 온/오프 동작을 위해 게이트 단자와 소스 단자 사이에 문턱 전압을 가지게 되는데, 이 문턱 전압은 게이트 전극과 채널 영역 사이에 형성되는 게이트 절연막의 두께, 채널의 도핑 농도 등의 함수로써 표현된다. 그런데 이러한 요소들은 공정상의 여건에 따라 균일하지 않거나 변화할 수 있다.
- [0016] 이러한 문턱 전압의 불균일성 및 변화는 회로의 동작에 커다란 영향을 미치게 되어 회로가 오동작하거나 출력의 왜곡을 가져온다.
- [0017] 따라서, 본 발명이 이루고자 하는 기술적 과제는 문턱 전압의 불균일이나 변화에 관계없이 동작할 수 있는 평판 표시 장치용 아날로그 증폭기를 제공하는 것이다.

발명의 구성 및 작용

- [0018] 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 평판 표시 장치용 아날로그 증폭기는 데이터선에 연결되어 있는 복수의 화소를 포함하며, 소정 전압을 갖는 제1 및 제2 트랜지스터, 그리고 상기 제1 트랜지스터의 소정 전압을 저장하는 축전기를 포함하며, 상기 제1 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 제1 단자, 상기 축전기의 제1단에 선택적으로 연결되어 있는 제2 단자 및 상기 축전기의 제2단에 선택적으로 연결되어 있는 제3 단자를 포함하며, 상기 제2 트랜지스터는 상기 축전기의 제1단에 연결되어 있는 제1 단자, 제1 전압에 연결되어 있는 제2 단자 및 전류원을 통하여 제2 전압에 연결되어 있는 제3 단자를 포함한다. 이 때, 상기 제1 트랜지스터의 소정 전압과 상기 제2 트랜지스터의 소정 전압은 동일한 것이 바람직하다.
- [0019] 한편, 상기 제1 트랜지스터의 제3 단자와 제3 전압 사이에 연결되어 있는 제1 스위칭 소자, 상기 제1 트랜지스터의 제3 단자와 상기 축전기의 제2단 사이에 연결되어 있는 제2 스위칭 소자, 상기 축전기의 제2단과 제4 전압 사이에 연결되어 있는 제3 스위칭 소자, 상기 축전기의 제1단과 상기 제4 전압 사이에 연결되어 있는 제4 스위칭 소자, 상기 축전기의 제1단과 상기 제1 트랜지스터의 제1 단자 사이에 연결되어 있는 제5 스위칭 소자, 상기 제2 트랜지스터의 제3 단자와 상기 데이터선 사이에 연결되어 있는 제6 스위칭 소자, 그리고 상기 데이터선과 제5 전압 사이에 연결되어 있는 제7 스위칭 소자를 더 포함할 수 있다.
- [0020] 또한, 제1 시점에서 상기 제1, 제2, 제4, 제5 및 제7 스위칭 소자는 턴온되며, 제2 시점에서 상기 제1 및 제7 스위칭 소자는 턴오프되고, 제3 시점에서 상기 제2, 제4 및 제5 스위칭 소자는 턴오프되고 상기 제3 및 제6 스위칭 소자는 턴온될 수 있다.
- [0021] 한편, 상기 제1 트랜지스터의 제3 단자는 제3 전압에 선택적으로 연결되며, 상기 축전기의 제1단 및 제2단은 제4 전압에 선택적으로 연결되고, 상기 부하는 상기 제2 트랜지스터의 제3 단자와 상기 제5 전압에 선택적으로 연결될 수 있다.
- [0022] 여기서, 상기 축전기와 상기 제1 트랜지스터는 상기 제1 시점에서 병렬 연결되어 양단에 각각 상기 제3 및 제4 전압을 인가받고, 상기 제2 시점에서 상기 제3 전압으로부터 분리되며, 상기 제3 시점에서 상기 제4 전압으로부터 분리되고 입력 전압을 인가받아 상기 제2 트랜지스터의 제3 단자의 전압을 출력할 수 있다.
- [0023] 또한, 상기 데이터선은 상기 제1 시점에서 상기 제5 전압을 인가받고, 상기 제3 시점에서 상기 제2 트랜지스터의 제3 단자의 전압을 인가받을 수 있다.
- [0024] 한편, 상기 제1 전압은 구동 전압이고 상기 제2 전압은 접지 전압(ground voltage)인 경우에는 상기 제1 및 제2 트랜지스터는 NMOS 트랜지스터이며, 이 때 상기 제5 전압은 상기 제2 트랜지스터의 제3 단자의 전압 범위 중 가장 낮은 값을 갖는 것이 바람직하다.
- [0025] 또한, 상기 제1 전압은 접지 전압이고 상기 제2 전압은 구동 전압인 경우에는 상기 제1 및 제2 트랜지스터는 PMOS 트랜지스터이며, 이 때 상기 제5 전압은 상기 제2 트랜지스터의 제3 단자의 전압 범위 중 가장 높은 값을

갖는 것이 바람직하다.

- [0026] 한편, 상기 평판 표시 장치는 액정 표시 장치인 평판 표시 장치용 아날로그 증폭기일 수 있으며, 상기 평판 표시 장치는 SOG(system on glass)일 수 있다.
- [0027] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0029] 이제 본 발명의 실시예에 따른 평판 표시 장치용 아날로그 증폭기에 대하여 도면을 참고로 하여 상세하게 설명한다.
- [0030] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다. 도 3은 본 발명의 한 실시예에 따른 SOG형 액정 표시 장치의 일례를 나타내며, 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터 구동부의 블록도이다.
- [0031] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0032] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- [0033] 표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0034] 각 화소는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 유지 축전기(C_{ST})는 필요에 따라 생략할 수 있다.
- [0035] 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_n) 및 데이터선(D_1-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있다.
- [0036] 액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.
- [0037] 유지 축전기(C_{ST})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- [0038] 한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함으로써 가능하다. 도 2에서 색 필터(230)는 상부 표시판(200)의 해당 영역에 형성되어 있지만 이와는 달리 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.
- [0039] 액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

- [0040] 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 벌의 복수 계조 전압을 생성한다. 두 벌 중 한 벌은 공통 전압(V_{com})에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.
- [0041] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.
- [0042] 데이터 구동부(500)는 도 4에 도시한 바와 같이, 시프트 레지스터(501), 제1 래치(503), 제2 래치(505), 디지털 아날로그 변환기(DAC)(507) 및 출력 버퍼(509)를 포함하며, 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가하며 통상 복수의 집적 회로로 이루어진다.
- [0043] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(400) 및 데이터 구동부(500)에 제공한다.
- [0044] 도 3에 도시한 예에서, 데이터 구동부(500), 게이트 구동부(400)는 액정 표시판 조립체(300) 내에 집적되어 있으며, 신호 제어부(600)는 칩의 형태로 기판에 조립체(300)에 장착되어 있다. 도면에서 전원 IC(700)는 전술한 게이트 온 전압(V_{on})과 게이트 오프 전압(off) 등을 생성하는 회로 요소이다. 표시 영역은 화소 및 신호선(G_1-G_n , D_1-D_m)이 배치되어 있는 영역을 뜻한다.
- [0045] 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- [0046] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 내보낸다.
- [0047] 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- [0048] 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.
- [0049] 데이터 구동부(500)의 시프트 레지스터(501)는 신호 제어부(600)로부터의 데이터 클록 신호(HCLK)와 수평 동기 시작 신호(STH)를 받아 수평 동기 시작 신호(STH)를 차례로 시프트시켜 제1 래치(503)로 출력한다.
- [0050] 제1 래치(503)는 시프트 레지스터(501)로부터의 신호에 기초하여 한 행의 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받아 제2 래치(505)로 내려보낸다.
- [0051] 제2 래치(505)는 영상 데이터(R', G', B')를 저장해 두었다가 소정의 신호에 따라 DAC(507)로 내려 보낸다. 소정의 신호로는 여러 가지가 있을 수 있는데, 도 4에는 그 예로 출력 인에이블 신호(OE)가 도시되어 있다.
- [0052] DAC(507)는 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환하며, 이렇게 변환된 데이터 전압은 아날로그 신호이다.
- [0053] 출력 버퍼(509)는 DAC(507)로부터의 데이터 전압을 증폭한다. 이러한 증폭 동작에 대하여는 나중에 상세히 설명한다.
- [0054] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다.

- [0055] 하나의 게이트선(G₁-G_n)에 게이트 온 전압(V_{on})이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴 온되어 있는 동안[이 기간을 "1H" 또는 "1 수평 주기(horizontal period)"이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기와 동일함], 데이터 구동부(500)는 각 데이터 전압을 해당 데이터선(D₁-D_m)에 공급한다. 데이터선(D₁-D_m)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 화소에 인가된다.
- [0056] 액정 분자들은 화소 전극(190)과 공통 전극(270)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.
- [0057] 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나("라인 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다("도트 반전").
- [0058] 진술한 바와 같이, 액정 표시 장치의 데이터 구동부(500)에서는 DAC(507)를 거쳐 아날로그 신호로 변환된 영상 신호를 출력 버퍼(509)를 통하여 데이터선으로 출력한다. 출력 버퍼(509)는 아날로그 증폭기로 이루어지므로, 본 발명에 따른 실시예에서는 아날로그 증폭기라 칭하며, 이하에서는 이러한 아날로그 증폭기의 구조와 동작에 대하여 도 5 내지 도 7을 참조하여 상세히 설명한다.
- [0059] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 아날로그 증폭기의 일례이며, 도 6은 도 5에 도시한 스위칭 소자의 온/오프 시기를 나타내는 타이밍도이다. 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 아날로그 증폭기의 일례이다.
- [0060] 도 5에 도시한 바와 같이, 아날로그 증폭기(570)는 복수의 스위칭 소자(SW1- SW5), 축전기(C) 및 복수의 트랜지스터(N1, N2)를 포함한다.
- [0061] 트랜지스터(N2)는 NMOS 트랜지스터로서, 그 제1 단자와 제2 단자는 스위칭 소자(SW5)로 연결되어 있으며, 제3 단자는 스위칭 소자(SW1)를 통하여 소정 전압(V₁)에 연결되어 있다.
- [0062] 트랜지스터(N1) 또한 NMOS 트랜지스터로서, 제1 단자는 트랜지스터(N2)의 제2 단자와 연결되어 있으며, 제2 단자는 일정한 구동 전압(V_{DD})에 연결되어 있고 제3 단자는 정전류원(I)을 통하여 접지에 연결되어 있다.
- [0063] 축전기(C)는 양단이 각각 스위칭 소자(SW3, SW4)를 통하여 각각 입력 전압(V_{in})과 연결되어 있으며, 또한 스위칭 소자(SW5, SW2)를 통하여 트랜지스터(N2)의 제1 단자와 제3 단자에 각각 연결되어 있다.
- [0064] 부하(510)는 스위칭 소자(SW6)를 통하여 출력 전압(V_{out})에 연결되어 있고, 또한 스위칭 소자(SW7)를 통하여 소정 전압(V₂)에 연결되어 있다.
- [0065] 한편, 정전류원(I)은 통상의 정전전류원에 비하여 전류의 크기가 감소된 것으로서 이에 대하여는 동작 설명 후에 수학적 참고로 하여 좀 더 설명한다.
- [0066] 그러면, 아날로그 증폭기(507)의 동작에 대하여 설명한다.
- [0067] 두 트랜지스터(N1, N2)의 문턱 전압은 동일한 것으로 가정한다.
- [0068] 먼저, 시간(t₁)에 스위칭 소자(SW3, SW6)를 제외한 나머지 스위칭 소자가 모두 턴온된다. 그러면 턴온된 스위칭 소자(SW1, SW2, SW4)를 통하여 전류가 흘러 축전기(C)에는 노드(A)와 노드(B)의 전압차에 해당하는 전압이 충전된다.

수학적 1

[0069]
$$V_C = V_A - V_B = V_{in(initial)} - V_1$$

[0070] 여기서, V_c 는 축전기(C) 양단의 전압이며, $V_{in(initial)}$ 은 입력 전압(V_{in})의 초기값($V_{in(initial)}$)이다. 이 때의 초기값($V_{in(initial)}$)과 전술한 소정 전압(V_1)의 차는 트랜지스터(N2)를 턴온시킬 수 있는 크기이어야 한다. 즉, 트랜지스터(N2)의 정격 문턱 전압과 오차를 더한 값(이를 "유효 문턱 전압"이라 한다)보다 큰 값이다.

[0071] 이와 같이, 2개의 전압(V_{in} , V_1)으로 전압값을 조정하면, 조정을 위한 선택의 폭을 넓힐 수 있어서 정밀한 조정이 가능해진다.

[0072] 또한, 시간(t_1)에 스위칭 소자(SW7)를 통하여 소정 전압(V_2)이 부하(510)에 충전된다. 여기서, 부하(510)는 데이터선(D1-Dm)에 해당하며 데이터선 사이에 존재하는 무수한 기생 용량에 의하여 전달된 소정 전압(V_2)이 충전된다. 이 소정 전압(V_2)은 부하(510)를 미리 충전시키는 프리차지 전압(precharge voltage)으로 볼 수 있다.

[0073] 한편, 전압(V_c)이 트랜지스터(N2)의 유효 문턱 전압 이상이 되면 트랜지스터(N2)는 턴온되고, 이어 시간(t_2)에 스위칭 소자(SW1)가 턴오프된다. 그러면 축전기(C)와 트랜지스터(N2)는 폐회로를 형성한다. 축전기(C)는 전류를 트랜지스터(N2)로 흘려보내면서 전압이 감소하다가, 트랜지스터(N2)의 유효 문턱 전압에 해당하는 전압에 이른다. 이 때, 트랜지스터(N2)는 턴오프되어 개방 상태가 되며, 축전기(C)는 트랜지스터(N2)의 유효 문턱 전압(V_{th2})을 저장한다.

수학식 2

[0074]
$$V_C = V_{th2}$$

[0075] 다음, 시간(t_3)에 스위칭 소자(SW3)만 턴온되고 나머지 스위칭 소자(SW1, SW2, SW4, SW5, SW7)는 모두 턴오프되며 입력 전압(V_{in})의 크기를 $V_{in(final)}$ 로 바꾼다. 노드(B)에 입력 전압(V_{in})이 인가되므로, 노드(A) 전압은 축전기(C)에 충전된 전압과 입력 전압($V_{in(final)}$)을 더한 값이 된다.

수학식 3

[0076]
$$V_A = V_{th2} + V_B = V_{th2} + V_{in(final)}$$

[0077] 한편, NMOS 트랜지스터는 통상 게이트, 소스 및 드레인의 세 단자로 이루어지며, 소스와 드레인 사이에는 채널 영역이 존재하고, 채널 영역과 게이트 사이에는 절연막이 개재되어 있다. 트랜지스터(N1)는 포화 영역(saturation area), 즉 액티브(active) 영역에서 동작하므로, 알려진 바와 같이, NMOS 트랜지스터는 전압 제어 전류원으로 등가적으로 대체할 수 있다. 도 5에서 트랜지스터(N1)의 제2 단자인 드레인과 제3 단자인 소스 사이에 흐르는 전류는 정전류원(I)의 전류와 동일하므로,

수학식 4

[0078]
$$I = k(V_{gs} - V_{th1})^2 / 2, \quad k = W \mu C / L$$

[0079] 이며, 여기서 W 및 L 은 각각 채널 영역의 폭과 길이이며, μ 는 전자 이동도이고, C 는 게이트 아래에 위치한 절연막의 단위 면적당 정전용량이다. V_{gs} 는 게이트 전압과 소스 전압과의 차이이고, V_{th1} 은 트랜지스터(N1)의 유효 문턱 전압이다. 이 때, 게이트 소스간 전압(V_{gs})은 $V_{gs} = V_A - V_{out}$ 이고, $V_{th1} = V_{th2}$ 이므로,

수학식 5

[0080]
$$I = k(V_A - V_{out} - V_{th1})^2 / 2 = k(V_A - V_{out} - V_{th2})^2 / 2$$

[0081] 수학식 5에 수학식 3을 대입하면,

수학식 6

[0082]

$$I = k[V_{in(final)} - V_{out}]^2/2$$

[0083]

이 된다.

수학식 7

[0084]

$$V_{out} = V_{in(final)} - (2I/k)^{1/2}$$

[0085]

따라서, $V_{in(final)} = V_d + (2I/k)^{1/2}$ 로 하면, $V_{out} = V_d$ 가 된다. 예를 들면, DAC(507)에서 영상 데이터를 아날로그 전압으로 변환할 때, 목표 데이터 전압에 오른쪽 두 번째 항에 해당하는 전압을 미리 더한 값으로 변환한다. 그러면, 출력 전압(V_{out})은 목표 데이터 전압이 된다. 이 출력 전압(V_{out})은 턴온된 스위칭 소자(SW6)를 통해 부하(510)로 전달된다. 그러면 부하(510)의 전위는 소정 전압(V_2)에서 출력 전압(V_{out})으로 바뀌게 되고 이 값은 데이터 전압으로서 스위칭 소자(Q)를 통하여 해당 화소에 전달된다.

[0086]

이어, 시간(t_4)에는 모든 스위칭 소자(SW1-SW7)가 턴오프되고 시간(t_5)에는 전술한 동작을 반복한다.

[0087]

전술한 바와 같이, 정전류원(I)의 전류의 크기는 통상에 비하여 $1/x$ 배로 감소한 것이다. 이렇게 전류의 크기를 감소시키는 이유는 수학식 7에 나타난 바와 같이, 출력 전압(V_{out})은 정전류원(I)의 크기의 1/2승에 비례하여 변동하기 때문이다. 즉, 출력 전압은 종전에 비해 $(1/x)^{1/2}$ 만큼 변동폭이 줄어들게 된다. 여기서, x는 어떠한 자연수도 가능하며, 이는 수학식 4에 나타난 바와 같이 채널 영역의 폭과 길이를 조정하여 얼마든지 구할 수 있다.

[0088]

한편, 이렇게 정전류원(I)의 전류 크기를 감소시키면 부하(510)의 충전 성능은 지장이 없으나 방전 성능이 문제 될 수 있다.

[0089]

상세하게 설명하면, 종래의 방식은 출력 전압(V_{out})에 스위칭 소자(SW6)를 통하지 않고 직접 연결되므로 전술한 시간(t_4)에 정전류원(I)을 통하여 방전을 하게 된다. 이 때, 정전류원(I)의 크기가 감소하였으므로 그 만큼 방전 시간이 길어지고 이는 다시 충전 시간 부족으로 이어져 화질의 열화를 초래한다. 따라서, 본 발명의 실시예에 따른 아날로그 증폭기(507)는 정전류원(I)의 크기를 감소시킨 결과 나타날 수 있는 방전 성능 저하를 사전에 차단하기 위하여 아예 방전 동작을 하지 않고 시간(t_1 , t_3)에 충전 동작만을 행하도록 한 것이다.

[0090]

여기서, 소정 전압(V_2)은 출력 전압(V_{out})이 낼 수 있는 가장 작은 값이 바람직하다. 즉, 이 보다 높은 값을 미리 충전한 경우, 출력 전압(V_{out})이 충전된 전압보다 작다면 전압을 낮추기 위하여 다시 방전을 해야함을 의미하기 때문이다.

[0091]

이렇게 하면, 문턱 전압(V_{th})과 무관한 일정한 출력 전압(V_{out})을 얻는 한편, 정전류원(I)의 전류 변화에도 거의 영향을 받지 않는 아날로그 증폭기를 구현할 수 있게 된다.

[0092]

한편, 전술한 스위칭 소자(SW1-SW7) 역시 MOS 트랜지스터로 구현될 수 있다.

[0093]

이와 같이, 축전기(C)에 트랜지스터(N1, N2)의 유효 문턱 전압을 저장해두면 출력 전압(V_{out})은 트랜지스터(N1, N2)의 문턱 전압과 무관하므로, 트랜지스터(N1, N2)의 제조시 공정상의 여건에 따라 문턱 전압이 균일하지 않거나 변화하더라도 일정한 출력 전압을 얻을 수 있으며, 정전류원(I)의 전류 변화에 의한 영향을 최소화할 수 있다.

[0094]

도 7은 PMOS 트랜지스터를 이용하여 본 발명의 다른 실시예에 따른 액정 표시 장치의 아날로그 증폭기를 구현한 예로서, 그 구조는 도 5에 도시한 NMOS 트랜지스터와 대칭적이므로 동작에 대하여만 간략하게 설명한다.

[0095]

여기서, 도 5에 도시한 실시예와 마찬가지로 두 트랜지스터(P1, P2)의 문턱 전압은 동일한 것으로 가정한다.

[0096]

시간(t_1)에 스위칭 소자(SW3, SW7)를 제외한 나머지 스위칭 소자가 모두 턴온되고, 축전기(C) 양단의 전압(V_c)

은 입력 전압($V_{in(initial)}$)과 소정 전압(V_1)의 차이이다.

[0097] 시간(t_2)에 스위칭 소자(SW1, SW7)가 턴오프되고, 축전기(C)와 트랜지스터 (P2)는 폐회로를 형성하며, 축전기 (C)에 충전된 전압은 트랜지스터(P2)의 문턱 전압에 이를 때까지 감소한다.

[0098] 시간(t_3)에 스위칭 소자(SW3, SW6)는 턴오프되고 스위칭 소자(SW2, SW4, SW5)는 턴오프된다. 그러면 노드(B)에는 입력 전압($V_{in(final)}$)이 인가되어 노드(A) 전압은 이전 충전 전압과 노드(B) 전압의 합이 된다. 노드(A) 전압은 제1 단자인 게이트 단자의 전압이므로, 트랜지스터(P1)는 턴오프된다.

[0099] 축전기(C) 양단의 전압(V_c)이 트랜지스터(P2)의 문턱 전압 이상이 되면 트랜지스터(P2)는 턴오프되고, 이어 시간 (t_2)에 스위칭 소자(SW1)가 턴오프된다. 그러면 축전기(C)와 트랜지스터(P2)는 폐회로를 형성한다. 축전기 (C)는 전류를 트랜지스터(P2)로 흘려보내면서 전압이 감소하다가, 트랜지스터(P2)의 유효 문턱 전압에 해당하는 전압에 이른다. 이 때, 트랜지스터(P2)는 턴오프되어 개방 상태가 되며, 축전기(C)는 트랜지스터(P2)의 유효 문턱 전압(V_{th2})을 저장한다.

[0100] 다음, 시간(t_3)에 스위칭 소자(SW3, SW6)가 턴오프되고 나머지 스위칭 소자는 모두 턴오프되며 입력 전압(V_{in})의 크기를 $V_{in(final)}$ 로 바꾼다. 노드(B)에 입력 전압(V_{in})이 인가되므로, 노드(A) 전압은 축전기(C)에 충전된 전압과 입력 전압($V_{in(final)}$)을 더한 값이 된다.

[0101] 한편, 트랜지스터(P1)는 액티브 영역에서 동작하므로, PMOS 트랜지스터는 전압 제어 전류원으로 등가적으로 대체할 수 있다. 이 때, 트랜지스터(P1)의 제2 단자인 드레인 단자와 제3 단자인 소스 단자 사이에 흐르는 전류는 정전류원(I)의 전류와 동일하므로, 도 5에 도시한 실시예와 같이, 출력 전압(V_{out})에 관하여 정리하면, $V_{out} = V_{in(final)} - (2I/k)^{1/2}$ 이 된다. 따라서, $V_{in(final)} = V_d + (2I/k)^{1/2}$ 로 하면, $V_{out} = V_d$ 가 된다. 즉, 출력 전압 (V_{out})은 목표 데이터 전압이 된다.

[0102] 한편, 도 5에 도시한 실시예와 같이, 정전류원(I)의 전류 크기 역시 $1/x$ 배이다. 이 경우, PMOS 트랜지스터이므로 도 5의 NMOS 트랜지스터와 달리 충전 능력이 문제된다.

[0103] 따라서, 소정 전압(V_2)은 출력 전압(V_{out})이 낼 수 있는 가장 높은 범위의 전압을 부하(710)에 미리 충전시킨다. 이는 NMOS 트랜지스터와 반대가 되는 이유로서 이 보다 낮은 전압을 충전시킨 경우, 출력 전압(V_{out})이 충전 전압보다 높은 경우에는 다시 충전을 해야하기 때문이다. 이렇게 하면, 충전 능력이 떨어져 화질의 열화될 수 있는 여지를 미리 차단할 수 있다.

발명의 효과

[0104] 전술한 바와 같이, 트랜지스터의 문턱 전압이 불균일하거나 변화하더라도 입력되는 전압을 일정한 전압으로 출력할 수 있다. 또한, 정전류원의 변화로 인해 출력 전압에 미치는 영향을 최소화할 수 있다.

[0105] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

[0106] 예를 들면, 문턱 전압 변화에 둔감한 아날로그 증폭기가 필요한 장치, 예를 들면, 유기 전계 발광 표시 장치 (OLED)와 같은 평판 표시 장치에도 적용할 수 있다.

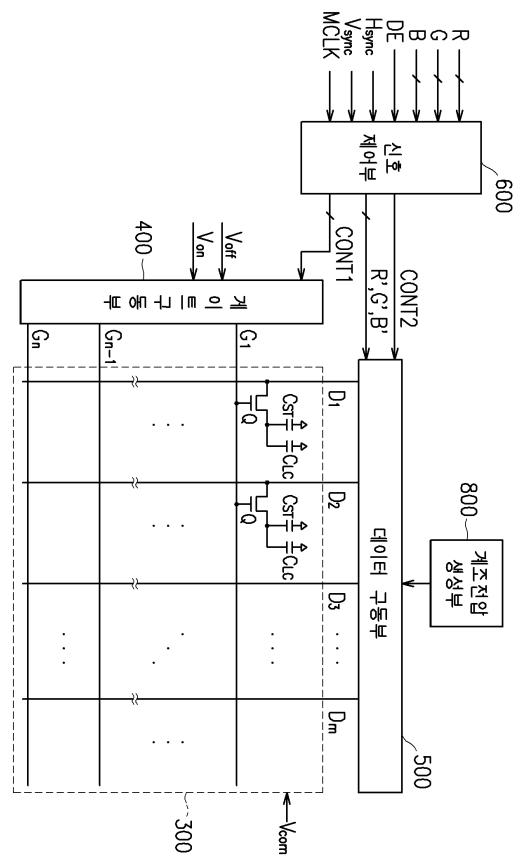
[0107] 즉, OLED의 구조는 화소에 유기 EL 소자를 배치하여 인가된 데이터 전압에 비례하는 전류를 흘려 유기 EL 소자를 발광시키는 것을 제외하고는 액정 표시 장치와 거의 동일하다. OLED는 액정 표시 장치의 데이터 구동부에 해당하는 컬럼 드라이버(column driver)를 구비하여 디지털 신호를 아날로그 신호로 변환한 다음 증폭하여 화소에 인가한다. 이 때에도 역시 문턱 전압의 변화에 무관한 아날로그 증폭기가 필요로 하게 된다.

도면의 간단한 설명

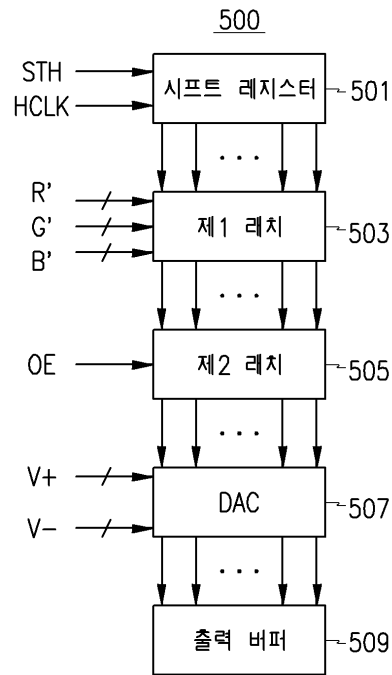
- [0001] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- [0002] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0003] 도 3은 본 발명의 한 실시예에 따른 SOG형 액정 표시 장치의 일례를 나타낸다.
- [0004] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터 구동부의 블록도이다.
- [0005] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 아날로그 증폭기 회로의 일례이다.
- [0006] 도 6은 도 3에 도시한 스위칭 소자의 온/오프 시기를 나타내는 타이밍도이다.
- [0007] 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 아날로그 증폭기 회로의 일례이다.

도면

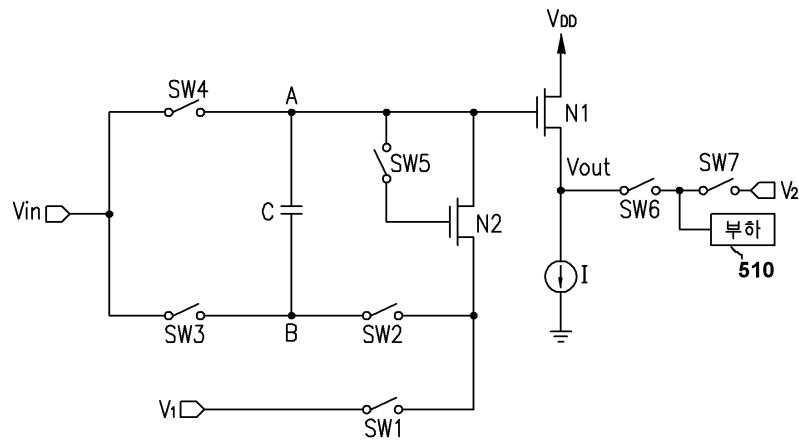
도면1



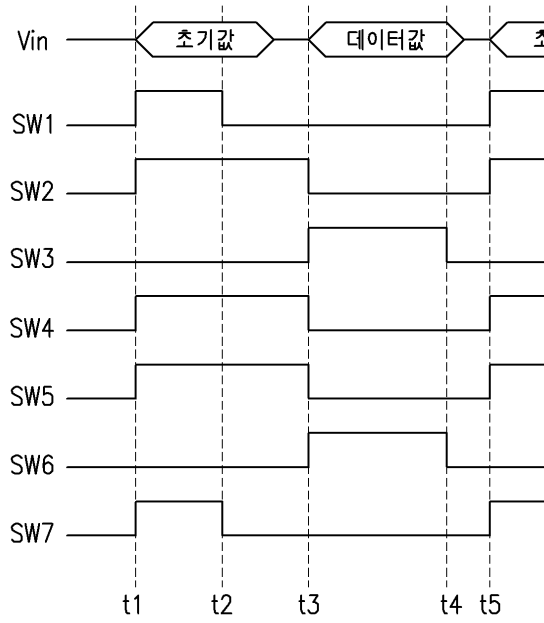
도면4



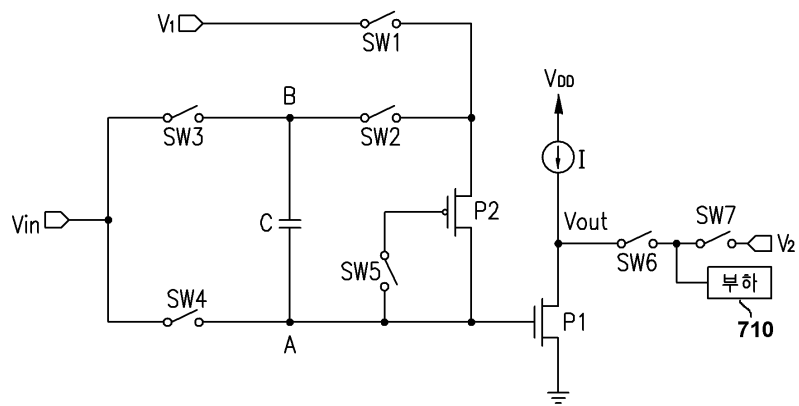
도면5



도면6



도면7



专利名称(译)	用于平板显示器的模拟放大器		
公开(公告)号	KR100973819B1	公开(公告)日	2010-08-03
申请号	KR1020030087592	申请日	2003-12-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM CHEOLMIN 김철민 PARK KEECHAN 박기찬 KIM CHULHO 김철호 PARK TAEHYEONG 박태형 MOON KOOKCHUL 문국철 KIM ILGON 김일곤		
发明人	김철민 박기찬 김철호 박태형 문국철 김일곤		
IPC分类号	G02F1/133		
其他公开文献	KR1020050054243A		
外部链接	Espacenet		

摘要(译)

本发明提供一个恒定的输出电压独立于晶体管的阈值电压的偏移，并且在用于恒流源不敏感的平板显示装置的电流的变化的模拟放大器。具有阈值电压，并且包括用于存储所述第一晶体管的阈值电压的电容器的第一和第二晶体管，所述第一晶体管包括第一端子，连接到电容器的第一端子处的电容器权利要求被选择性地连接到所述第一级和第二终端，并且被选择性地连接到所述电容器的第二端子的第三端子，所述第二晶体管具有耦合到所述电容器的第一端子的第一端子，根据权利要求根据权利要求通过电流源端子的第二阈值电压和耦合到所述第二电压的第三端子，并且所述第一晶体管的阈值电压和第二晶体管连接到所述第一电压中是相同的。以这种方式，在同一时间获得独立的阈值电压的一个恒定的输出电压可以根据恒定电流源的变化最小化的输出电压的影响。

