



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월24일
 (11) 등록번호 10-0865257
 (24) 등록일자 2008년10월20일

(51) Int. Cl.

G02F 1/136 (2006.01)

- (21) 출원번호 10-2002-0056065
- (22) 출원일자 2002년09월16일
심사청구일자 2007년08월22일
- (65) 공개번호 10-2004-0024661
- (43) 공개일자 2004년03월22일
- (56) 선행기술조사문헌
JP08236775 A*
JP12029068 A*
KR1019990056743 A*
JP08146446 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
- (72) 발명자
김철세
대구광역시달서구용산동보람타운202동303호
- (74) 대리인
특허법인네이트

전체 청구항 수 : 총 2 항

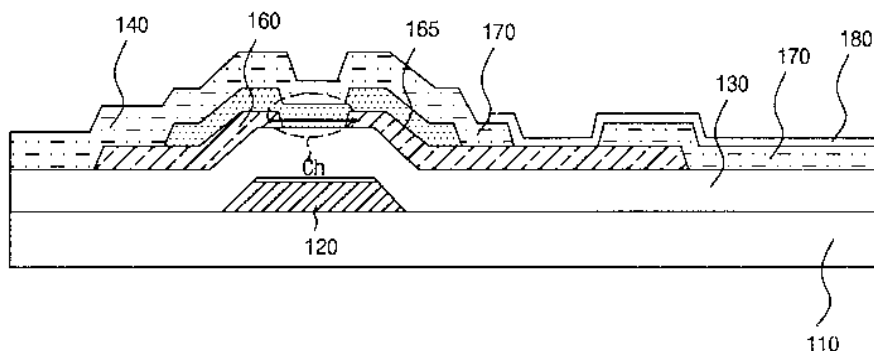
심사관 : 임동재

(54) 액정표시장치용 박막트랜지스터의 제조방법

(57) 요약

본 발명은 박막 트랜지스터의 제조 방법에 관한 것으로, 투명 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 순수 비정질 실리콘(a-Si)과 쇼트키 접촉을 이루는 특성을 갖는 크롬 또는 몰리브덴의 금속막을 증착하고 패터닝하여 소스 전극 및 드레인 전극을 형성하는 단계와; 상기 게이트 절연막이 형성된 기판의 전면에 금속막을 형성한 후 패터닝하여 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극의 서로 마주하는 양끝단과 접촉하며 상기 소스 및 드레인 전극의 이격영역을 덮도록 상기 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층을 형성하는 단계와; 상기 액티브층과 이의 외부로 노출된 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호막을 형성하는 단계를 포함한다.

대표도 - 도3e



특허청구의 범위

청구항 1

투명 기판 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기판에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 순수 비정질 실리콘(a-Si)과 쇼트키 접촉을 이루는 특성을 갖는 크롬 또는 몰리브덴의 금속막을 증착하고 패터닝하여 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 게이트 절연막이 형성된 기판의 전면에 금속막을 형성한 후 패터닝하여 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극의 서로 마주하는 양끝단과 접촉하며 상기 소스 및 드레인 전극의 이격영역을 덮도록 상기 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층을 형성하는 단계와;

상기 액티브층과 이의 외부로 노출된 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호막을 형성하는 단계

를 포함하는 박막 트랜지스터의 제조 방법.

청구항 2

투명 기판 상에 형성된 게이트 전극과;

상기 게이트 전극 위로 상기 기판 전면에 형성된 게이트 절연막과;

상기 게이트 절연막 위에 순수 비정질 실리콘(a-Si)과 쇼트키 접촉을 이루는 특성을 갖는 크롬 또는 몰리브덴으로 이루어지며 상기 게이트 전극에 대응하여 그 상부에서 서로 이격하는 소스 전극 및 드레인 전극과;

상기 소스 및 드레인 전극의 서로 마주하는 양끝단과 접촉하며 상기 소스 및 드레인 전극의 이격영역에 상기 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층과;

상기 액티브층과 이의 외부로 노출된 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호막

을 포함하는 박막트랜지스터.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 박막 트랜지스터 및 그의 제조방법에 관한 것으로서, 특히 저 저항 고 이동도를 갖는 비정질 실리콘 박막 트랜지스터 및 이것의 제조방법에 관한 것이다.
- <14> 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었는데, 이 중 액정 표시 장치(liquid crystal display)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.
- <15> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가능하고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <16> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 빛의 편광상태를 변화시켜 화상정보를 표현할 수 있다.
- <17> 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 전계생성 전극이 형성되어 있는 면이 서로 마주 대하도록 배치하고, 두 기판 사이에 액정을 주입한 다음, 전계 형성 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <18> 액정 표시 장치의 하부 기판에는 스위칭 소자인 박막 트랜지스터가 형성되어 있는데, 일반적으로 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(amorphous silicon ; a-Si)이 주류를 이루고 있다. 이는 비정질 실리콘이 저온에서 저가의 유리 기판과 같은 대형 기판 상에 형성하는 것이 가능하기 때문이다.
- <19> 이하, 도면을 참조하여 종래의 박막 트랜지스터와 그 제조방법에 대해 설명한다.
- <20> 도 1a 내지 도 1e는 종래기술에 따른 박막 트랜지스터의 제조 공정도이다.
- <21> 도 1a를 참조하면, 기판(10)상에 스퍼터링(sputtering) 등의 방법으로 알루미늄(Al), 알루미늄 합금(AlNd)을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하여 금속막을 형성한다. 금속막을 사진식각 공정으로 패터닝하여 게이트 전극(20)을 형성한다. 이때 금속막의 두께는 2000Å 내지 2500Å정도가 된다.
- <22> 도 1b를 참조하면, 상기 게이트 전극(20)이 형성된 기판(10) 상에 게이트 전극(20)을 덮도록 게이트 절연막(30)을 전면으로 형성한다. 이때 상기 게이트 절연막(30)은 질화 실리콘(SiNx)과 같은 절연 물질로 이루어지며 두께는 약 2000Å이 된다.
- <23> 다음으로, 상기 게이트 절연막(30) 상부에 비정질 실리콘(a-Si)을 화학기상증착(Cheical Vapor Deposition: 이하 CVD라 칭함)법을 이용하여 증착한다. 이때 상기 비정질 실리콘(a-Si)층의 두께는 2000Å 정도를 이루며, 상기 비정질 실리콘(a-Si)층(40) 상부로 불순물을 도핑하여 불순물이 첨가된 비정질 실리콘(n+a-Si)층(50)을 형성한다. 이때 상기 불순물이 첨가된 비정질 실리콘(n+a-Si)층(50)의 두께는 300Å 정도가 되며, 상기 불순물이 첨가된 실리콘(n+a-Si)층(50)은 금속과 접합이 이루어지면 옴믹 접촉 특성을 지니게 된다. 상기 비정질 실리콘층(40)과 불순물이 첨가된 실리콘(n+a-Si)층(50)을 게이트 전극(20)과 대응하는 부분에만 남도록 이방성 식각을 이용한 사진식각 공정을 통하여 게이트 절연막(30)이 노출되도록 패터닝한다.
- <24> 도 1c를 참조하면, 게이트 절연막(30) 상에 불순물이 첨가된 실리콘(n+a-Si)층(50)을 덮도록 스퍼터링 방법으로 기판(10)의 전면으로 크롬(Cr)이나 몰리브덴(Mo) 또는 알루미늄(Al) 중 선택된 하나를 두께 1500Å으로 증착하여 금속막을 형성한다. 이때 상기 불순물이 첨가된 실리콘(n+a-Si)층(50)은 금속막과 직접 접촉하여 옴믹 접촉 특성을 가지게 되므로 이를 옴믹 접촉층(50)이라 칭한다.
- <25> 그리고, 상기 금속막 상에 포토레지스트를 도포하고 노광 및 현상하여 게이트 전극의 양측과 대응하는 부분에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 물질은 노광된 부분이 현상되는 포지티브형(positive type)과, 노광된 부분이 남는 네가티브형(negative type)으로 나눌 수 있으며, 통상적으로 어레이 공정에서는 포지티브형 포토레지스트 물질이 이용된다. 상기 포토레지스트 패턴을 마스크로 사용하여 금속 박막을 옴믹 접촉층(50)이 노출되도록 식각하고, 상기 노출된 옴믹 접촉층(50)을 상기 옴믹 접촉층 하부에 위치한 비정질 실리콘층(40)이 노출되도록 식각한다. 이때, 상기 비정질 실리콘층(40)은 액티브층이라 하고, 금속막이 식각되지 않고 남는 부분은 소스 전극(60) 및 드레인 전극(65)이 되며, 이 두 전극 사이로 노출된 비정질 실리콘 영역은 채널(Ch)이 된다.
- <26> 도 1d를 참조하면, 게이트 절연막(30) 상에 소스 전극(60) 및 드레인 전극(65)을 덮도록 질화실리콘(SiNx)과 같은 무기절연물질을 전면 증착하여 보호막(70)을 형성한다. 이때 상기 보호막(70)은 2000Å의 두께로 형성된다.

상기 보호막(70)을 사진식각 공정을 통하여 패터닝하여 드레인 전극(65)을 노출시키는 콘택홀(77)을 형성한다.

- <27> 도 1e를 참조하면, 상기 보호막(70) 상부에 투명한 도전성 금속 그룹 중 예를들면 인듐주석산화물(Indium Tin Oxide:이하 ITO라 칭함)을 증착하고 패터닝하여 2000Å 두께의 화소전극(80)을 형성한다.
- <28> 도 1e에 소스 전극(60)에서 드레인 전극(65)으로의 전자의 흐름 즉 커런트 패스(current path, a-b-c-d)를 화살표로써 표시하였다. 게이트 전압이 인가되면 금속인 소스 전극에서 형성된 전자들이 상기 소스 전극(60) 하부에 형성된 오믹 콘택층(50)을 통과하여 순수 비정질 실리콘으로 형성된 액티브층(40)과 상기 액티브층(40)에 형성된 채널(Ch)을 지나게 된다. 이후 채널(Ch)을 통과한 전자들은 오믹 콘택층(50)을 터널링하여 드레인 전극(65)으로 이동하게 된다.
- <29> 박막 트랜지스터로써 작용을 하기 위해서는 금속과 반도체(a-Si 등)와의 접촉에 있어서 접촉부는 최소의 저항을 가지며 신호를 정류시키는 경향이 전혀 없는 오믹 특성을 반드시 이루어져야 한다. 이때 오믹 접촉을 형성하기 위한 실제적인 방법은 접촉영역에서 반도체(a-Si 등)에 고농도 도핑을 행함으로써 이루어진다. 오믹이란 선형 전류-전압 특성을 말하며, 접촉부는 최소의 저항을 가지며 신호를 정류시키는 경향이 전혀 없는 오믹이어야 한다.
- <30> 도 2a 및 2b는 도 1e에 표시된 커런트 패스(current path, a-b-c-d)로 본 게이트 전압(Vg) 오프(off), 온(on) 시 에너지 밴드 다이어그램이다. 소스 전극(60)과 드레인 전극(65)을 이루는 금속과 불순물이 첨가된 비정질 실리콘(n+a-Si)과의 접촉은 접촉면에 쇼트키 장벽(Schottky Barrier)라 칭하는 포텐셜 장벽이 형성되나 전자(electron)는 이 포텐셜 장벽을 터널링하여 통과한다. 금속과 오믹 접촉층과의 접촉저항을 줄이기 위해서는 상기 포텐셜 장벽 폭을 좁게하여야 하고, 이를 위해서는 비정질 실리콘에 첨가되는 불순물의 도핑 농도를 높여야 하지만, 도핑농도가 증가할수록 에너지 밴드내의 땀글링 결합 밀도(Dangling bond Density)도 동시에 증가하게 됨으로 일정 수준이상의 도핑은 접촉저항을 줄이는데 효과가 없게 된다.
- <31> 도 2b를 참조하면, 커런트 패스(current path)의 a-b구간과 c-d구간에 있어서 불순물이 첨가된 비정질 실리콘(n+a-Si)과 채널(Ch) 사이에 순수(intrinsic) 비정질 실리콘(a-Si)이 존재하여 게이트 전압 인가시 불순물이 섞인 비정질 실리콘(n+a-Si)층과 채널(Ch) 사이에 포텐셜 장벽(A)을 형성함으로써 전자의 흐름을 방해하여 전기 전도도를 떨어뜨린다.

발명이 이루고자 하는 기술적 과제

- <32> 본 발명은 전술한 문제를 해결하기 위한 목적으로 안출된 것으로, 박막 트랜지스터의 적층구조에서 불순물이 섞인 비정질 실리콘(n+a-Si)층을 없애고, 적층구조를 변화시켜 커런트 패스(current path)상의 포텐셜 장벽을 제거함으로써 양호한 접촉저항을 갖고, 채널에서 전자의 고이동도를 갖는 박막 트랜지스터를 제공하는데 있다.

발명의 구성 및 작용

- <33> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터의 제조방법은 투명 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 순수 비정질 실리콘(a-Si)과 쇼트키 접촉을 이루는 특성을 갖는 크롬 또는 몰리브덴의 금속막을 증착하고 패터닝하여 소스 전극 및 드레인 전극을 형성하는 단계와; 상기 게이트 절연막이 형성된 기판의 전면에 금속막을 형성한 후 패터닝하여 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극의 서로 마주하는 양끝단과 접촉하며 상기 소스 및 드레인 전극의 이격영역을 덮도록 상기 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층을 형성하는 단계와; 상기 액티브층과 이의 외부로 노출된 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호막을 형성하는 단계를 포함한다.
- <34> 또한, 본 발명에 따른 박막 트랜지스터는, 투명 기판 상에 형성된 게이트 전극과; 상기 게이트 전극 위로 상기 기판 전면에 형성된 게이트 절연막과; 상기 게이트 절연막 위에 순수 비정질 실리콘(a-Si)과 쇼트키 접촉을 이루는 특성을 갖는 크롬 또는 몰리브덴으로 이루어지며 상기 게이트 전극에 대응하여 그 상부에서 서로 이격하는 소스 전극 및 드레인 전극과; 상기 소스 및 드레인 전극의 서로 마주하는 양끝단과 접촉하며 상기 소스 및 드레인 전극의 이격영역에 상기 순수 비정질 실리콘(a-Si)으로 이루어진 액티브층과; 상기 액티브층과 이의 외부로 노출된 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 가지며 형성된 보호막

을 포함한다.

- <35> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- <36> 제 1 실시예
- <37> 도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 제조 공정 단면도이다. 종래기술과 동일 유사한 부품에 대하여는 기존 번호에 100을 더하여 부여하였다.
- <38> 도 3a를 참조하면, 투명한 기판(110)상에 성막법중에 하나인 스퍼터링(sputtering)을 이용하여 알루미늄 합금인 AlNd와 몰리브덴(Mo)를 순차적으로 증착한다. 증착된 알루미늄 합금인 AlNd의 두께는 1500Å이며, 몰리브덴(Mo)의 두께는 500Å이다. 상기 2중 금속막은 마스크를 이용한 사진식각 공정으로 게이트 전극(120)을 형성한다. 사진식각 공정은 특정한 화학약품 예를들면, 포토 레지스트가 빛을 받으면 화학 반응을 일으켜서 성질이 변화하는 원리를 이용하여 언도자 하는 패턴의 마스크를 사용하여 빛을 선택적으로 포토 레지스트에 조사함으로써 마스크의 패턴과 동일한 패턴을 형성시키는 것이다. 크게 기판의 표면처리, 포토 레지스트 코팅, 소프트 베이크, 얼라인(Align) 및 노광, 현상 및 하드 베이크의 5단계의 공정으로 진행된다. 상기 사진식각 공정을 마치면 드라이 에칭(Dry Etching) 또는 웨트 에칭(Wet Etching)을 진행함으로써 원하는 패턴의 박막을 형성하게 된다.
- <39> 도 3b를 참조하면, 상기한 사진식각 공정을 진행하여 게이트 전극(120)이 형성된 기판 상에 게이트 전극(120)을 덮도록 질화 실리콘(SiNx)을 PECVD법을 이용하여 게이트 절연막(130)을 전면에서 형성한다. 이때 상기 게이트 절연막(130)의 두께는 2000Å로 형성한다.
- <40> CVD는 화학물질을 기화시켜 화학 반응에 의해 증착막을 형성하는 것이며, PECVD는 여러 가지 CVD 방법 중 낮은 온도에서 플라즈마를 이용하여 화학증착을 하는 것이다. 주로 질화실리콘(SiNx), 산화실리콘(SiO₂)과 비정질 실리콘(a-Si)의 증착을 하는데 사용된다.
- <41> 다음으로 스퍼터링을 이용하여 상기 게이트 절연막(130) 위에 크롬(Cr) 또는 몰리브덴(Mo)을 전면 증착하여 두께 1500Å의 금속막을 형성한다. 상기 금속막을 패터닝하여 서로 소정 간격 이격된 소스 전극과 드레인 전극을 형성한다. 이때 상기 소스 전극(160) 및 드레인 전극(165)을 형성하는 금속은 순수 비정질 실리콘인 액티브층과 쇼트키 접촉을 이루는 크롬(Cr) 또는 몰리브덴(Mo)으로 형성되어야 한다. 그러므로 순수 비정질 실리콘(a-Si)과 접촉시 오믹(Ohmic) 접촉을 형성하는 알루미늄(Al)은 사용할 수 없다.
- <42> 도 3c를 참조하면, 상기 게이트 전극 상부의 이격된 소스 및 드레인 전극 상에 액티브층(140)을 형성한다. 이때 상기 액티브층(140)중에서 소스 전극(160)과 드레인 전극(165) 사이로 노출된 게이트 절연막(130)과 접촉하는 부분은 액티브 채널로 사용된다.
- <43> 도 3d를 참조하면, 상기 액티브층(140)이 형성된 기판의 전면에서 질화 실리콘(SiNx)으로 보호층(170)을 형성한다. 이때 상기 보호층(170)의 두께는 3000Å 내지 4000Å이 된다. 상기 보호층(170)을 사진식각 공정을 이용하여 드레인 전극(165)이 노출되도록 콘택홀(177)을 형성한다.
- <44> 이후 도 3e를 참조하면, 보호층(170) 상부에 투명한 도전성 금속 예를들면, 인듐주석산화물(Indium Tin Oxide: 이하 ITO라 칭함)을 증착하고 패터닝하여 화소전극(180)을 형성한다. 상기 화소전극(180)은 노출된 드레인 전극(165)과 접촉한다.
- <45> 금속과 불순물이 첨가된 비정질 실리콘(n+a-Si)과의 접촉은 쇼트키(Schottky) 타입의 포텐셜 장벽이 형성되나, 도핑에 의해 포텐셜 장벽 폭이 줄어 전자가 터널링에 의해 쉽게 금속과의 비정질 실리콘(a-Si) 사이를 오갈 수 있어 오믹 접촉과 같은 효과를 갖는다. 크롬(Cr), 몰리브덴(Mo), 팔라듐(Pd), 백금(Pt), Au(금) 등의 금속과 비정질 실리콘(a-Si)과의 접촉은 쇼트키 접촉을 이루나 게이트 전압 인가시 포텐셜 장벽의 폭이 좁아지게 되므로 터널링을 통하여 오믹 접촉과 동일한 효과를 얻을수 있다. 비정질 실리콘(a-Si) 알루미늄(Al)과 마그네슘(Mg)과의 접촉은 오믹접촉을 이루나, 알루미늄(Al)은 화소전극을 이루는 ITO와 접촉시 박막 트랜지스터의 특성에 악영향을 주는 문제가 발생하고, 마그네슘(Mg)은 수용성으로 액정표시장치에 사용이 불가하다.
- <46> 도 4a 및 도 4b는 본 발명의 실시예에 의한 박막 트랜지스터에 게이트 전압(Vg)을 오프(Off), 온(On)시의 도 3e의 커런트 패스(current path, a-b-c-d)에서의 에너지 밴드를 나타낸 도면이다. 전술한 바와 같은 박막 트랜지스터 구조에서 게이트 전압(Vg)을 인가하지 않았을 경우(도 4a) 금속 즉 크롬(Cr) 또는 몰리브덴(Mo)과 비정질 실리콘(a-Si)과의 접합은 쇼트키(Schottky) 다이오드와 같은 형태로 누설 전류를 줄이는 효과가 있다. 종래의 구

조에서는 도 2a에서와 같이 게이트 전압을 가하지 않았을 경우도 포텐셜 장벽의 폭이 좁으므로 터널링 현상이 일어나 누설 전류가 흐르게 된다.

- <47> 게이트 전압(Vg)을 인가하였을 경우(도 4b) 전자는 커런트 패스(current path, a-b-c-d)를 따라 이동하게 된다. 전자가 채널(Ch)쪽으로 축적되어 더 정확히는 채널(Ch)과 금속 접촉 주위로 집중되어 페르미(Fermi) 준위는 전도대와 가까워지고, 금속과의 접촉부에 형성된 포텐셜 장벽 폭은 작아지게 된다. 이때 소스 전극에서의 전자는 터널링을 통하여 이동이 가능하므로 불순물이 섞인 비정질 실리콘(n+a-Si)과 금속과의 접촉과 동일한 특성을 갖게 된다.
- <48> 불순물이 섞이지 않은 순수 비정질 실리콘(a-Si)의 땀글링(Dangling) 결합 밀도는 최대 $10^{15}/\text{cm}^2$ 이고, 불순물이 섞인 비정질 실리콘(n+a-Si)의 땀글링(Dangling) 결합 밀도는 최대 $10^{17}/\text{cm}^2$ 이므로 본 발명의 실시예에서 전도대와 페르미 준위간의 에너지 갭(gap)인 E_c-E_f 를 작게 할 수 있어 종래의 박막 트랜지스터 구조보다 양호한 접촉 저항을 얻을 수 있다.
- <49> 또한, 비정질 실리콘(a-Si) 박막 트랜지스터에 있어서 불순물이 섞인 비정질 실리콘(n+a-Si)과 금속 사이의 접촉 저항과 불순물이 섞인 비정질 실리콘(n+a-Si)과 채널 사이의 순수 비정질 실리콘(a-Si)의 저항과의 합으로 이루어지는 직렬저항(R_s)은 본 발명의 실시예에 의해 불순물이 섞인 비정질 실리콘(n+a-Si)과 채널 사이에 순수 비정질 실리콘(a-Si)이 존재하지 않으므로 줄어들게 되어 채널에서의 전자 수송이 포텐셜 장벽의 방해없이 이루어져 종래의 구조보다 고이동도를 가지는 박막 트랜지스터를 형성할 수 있다.

<50> 제 2 실시예

<51> 도 5는 본 발명의 제 2 실시예에 의한 박막 트랜지스터 적층 단면도이다.

<52> 투명한 기판(210)상에 스퍼터링(sputtering)을 이용하여 알루미늄 합금(AlNd)과 몰리브덴(Mo)을 순차적으로 증착하여 2중 금속막을 형성한다. 알루미늄 합금(AlNd)의 두께는 1500Å이며, 몰리브덴(Mo)의 두께는 500Å이다. 상기 2중 금속막을 마스크를 이용하여 패터를 노광하여 현상하는 사진식각공정 진행 후 원하는 패터의 게이트 전극(220)을 형성한다.

<53> 상기 게이트 전극(220)이 형성된 기판 상에 게이트 전극(220)을 덮도록 질화 실리콘(SiN_x)을 PECVD법을 이용하여 게이트 절연막(230)을 전면에서 형성한다. 이때 상기 게이트 절연막(230)의 두께는 2000Å로 형성한다.

<54> 다음으로 상기 게이트 절연막(230) 위에 비정질 실리콘(a-Si)으로 PECVD법을 이용하여 증착한다. 게이트 전극(220) 위의 게이트 절연막(230)과 대응되는 부분의 비정질 실리콘(a-Si)층만 남기고 나머지 부분은 식각하여 액티브층(240)을 형성한다.

<55> 상기 액티브층(240)이 형성된 기판의 전면에서 스퍼터링을 이용하여 크롬(Cr) 또는 몰리브덴(Mo)을 전면 증착하여 두께 1500Å의 금속막을 형성한다. 상기 금속막을 패터닝하여 상기 액티브층(240) 상에서 소정간격 이격되어, 액티브층에 각각 걸쳐 구성되는 소스 전극(260)과 드레인 전극(265)을 형성한다.

<56> 다음으로, 상기 소스 전극(260) 및 드레인 전극(265)과 노출된 액티브층(240)과 게이트 절연막(230)을 완전히 덮도록 전면에서 두께 3000Å 내지 4000Å이 되도록 질화 실리콘(SiN_x)으로 보호막을 PECVD법을 이용하여 형성한다.

<57> 상기 보호막(270)에 사진식각 공정을 이용하여 드레인 전극(265)이 노출되도록 콘택홀(277)을 형성한다. 이후 보호막(270) 상부에 인듐주석산화물(Indium Tin Oxide: 이하 ITO라 칭함) 등의 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여 화소전극(280)을 형성한다. 상기 화소전극(280)은 노출된 드레인 전극(265)과 접촉한다.

<58> 전술한 바와 같은 박막 트랜지스터 구조에 있어서 불순물이 섞인 비정질 실리콘(n+a-Si)층이 없이 금속과 비정질 실리콘(a-Si)층이 직접 접촉하여 쇼트키(Schottky) 접촉을 이루지만, 게이트 전압(Vg) 인가시 채널(Ch) 및 금속 접촉부 주위로 전자가 집중되어 불순물이 섞인 비정질 실리콘(n+a-Si)과 금속과의 접촉과 동일한 옴릭(Ohmic) 특성을 얻게 된다.

<59> 박막 트랜지스터의 적층구조가 비정질 실리콘의 액티브층(240) 형성 후 상기 액티브층(240) 위로 소스 전극(260) 및 드레인 전극(265)이 형성된다. 이는 종래와 동일한 적층순서이나, 액티브층 상에 불순물이 첨가된 비

정질(n+a-Si)층이 없는 구조를 이루고 있으므로 종래 적층구조와는 차별이 된다.

- <60> 상기와 같은 구조로 박막 트랜지스터를 제작한다면 제작 진행에 있어 채널 형성부의 소스 및 드레인 전극 형성을 위한 금속 스퍼터링에 의하여 발생되는 결함 형성을 방지하는 장점을 지닌다.
- <61> 실시예 3
- <62> 도 5는 본 발명의 제 3 실시예에 의한 박막 트랜지스터 적층 단면도이다.
- <63> 기판(310)상에 게이트 전극(320)과 게이트 절연막(330)의 형성은 전술한 실시예 1 및 실시예 2와 동일한 방법과 순서로 형성된다.
- <64> 상기 형성된 게이트 절연막(330) 위로 PECVD를 이용하여 순차적으로 비정질 실리콘(a-Si)은 두께가 2000Å로 질화 실리콘(SiNx)은 두께가 1500Å 내지 2000Å이 되도록 전면 증착한다. 상기 두 재료가 실리콘 계열이므로 사진식각 공정에 의해 게이트 전극(320) 위의 게이트 절연막(330) 부분만 남도록 패터닝 한 후 동시 식각을 진행하여 액티브층(340)과 제1 보호막(375)을 형성한다.
- <65> 제 1 보호막(375)을 액티브층(340) 위에 형성함으로써 백(Back) 채널의 오염을 방지하고, 소스 전극(360) 및 드레인 전극(365)을 형성하는 금속막의 증착시 플라즈마 충격을 방지한다.
- <66> 크롬(Cr) 또는 몰리브덴(Mo)의 금속을 스퍼터링에 의해 상기 제 1 보호막(375)과 게이트 절연막(330) 위로 전면 증착한 후 액티브층(340) 위의 제 1 보호막(375)의 중간부가 노출되도록 패터닝하여 상기 제 1 보호막(375)을 위로 소스 전극(360) 및 드레인 전극(365)을 형성한다.
- <67> 이후 공정은 제 1 실시예와 제 2 실시예의 공정과 동일하게 진행한다. 상기 소스 전극(360) 및 드레인 전극(365)과 제 1 보호막(375)과 노출된 게이트 절연막(330)을 위로 제 2 보호막(370)을 질화 실리콘(SiNx)으로써 두께 3000Å로 형성한다. 이후 드레인 전극(365)이 노출되도록 상기 제 2 보호막(370)을 패터닝하여 식각하여 콘택홀(377)을 형성한 후 ITO로써 상기 콘택홀(377)을 통하여 드레인 전극(365)과 접촉하는 화소전극(380)을 형성한다.
- <68> 전술한 제 3 실시예에 따른 박막 트랜지스터는 게이트 전압(Vg) 인가시 제 1 실시예의 도 3b의 에너지 밴드를 가지며, 동일한 이유로 저저항 및 고이동도 특성을 지니게 된다.
- <69> 또한 액티브층(340) 위로 제 1 보호막(375)을 형성하여 백(Back) 채널 오염 및 플라즈마 충격을 방지하는 장점을 갖는다.

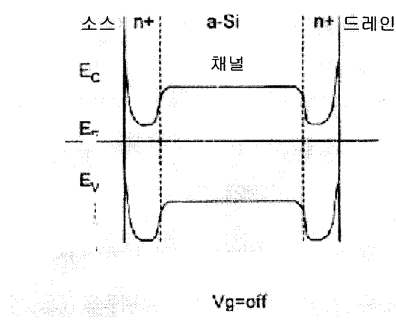
발명의 효과

- <70> 본 발명에 따른 박막 트랜지스터에 있어서 소스 전극 및 드레인 전극과 비정질 실리콘층과의 직렬저항을 최소화되고, 채널에서의 전자의 이동도를 증가시키는 구조를 형성함으로써 차징(charging)특성이 향상된 고품질의 박막 트랜지스터를 제작할 수 있게 되었으며, 이로 인하여 고해상도 박막 트랜지스터 액정소자를 제조하는데 이용될 수 있다.
- <71> 또한, 불순물이 섞인 비정질 실리콘의 오믹 접촉층을 없앴으로써 공정수가 줄어 PECVD 및 식각 장비의 시간당 처리능력을 높일 수 있게 되었으며, 종래 박막 트랜지스터 대비 순수 비정질 실리콘(a-Si)층의 두께를 낮춤으로써 CVD 장비의 시간당 처리능력을 증대시킨다.
- <72> CVD 장비와 식각 장비의 시간당 처리능력을 증대시킴으로써 조기 투자시 상기 CVD장비 및 식각 장비 투자비를 절감할 수 있다.

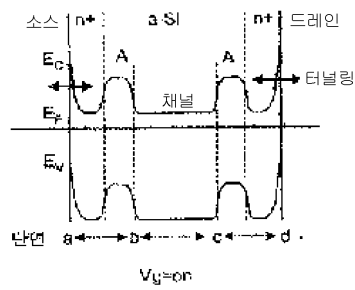
도면의 간단한 설명

- <1> 도 1a 내지 도 1e는 종래의 박막 트랜지스터 제작 공정 단면도.
- <2> 도 2a 및 도 2b는 도 1e의 커런트 패스(a-b-c-d)로 본 게이트 전압 오프(Off), 온(On) 에 따른 에너지 밴드 다이어그램.

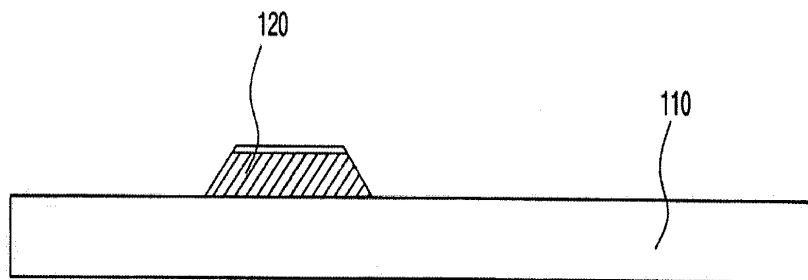
도면2a



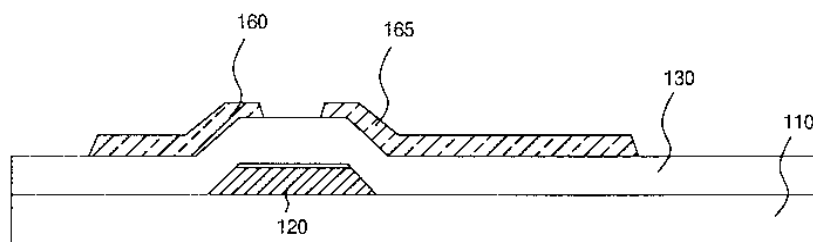
도면2b



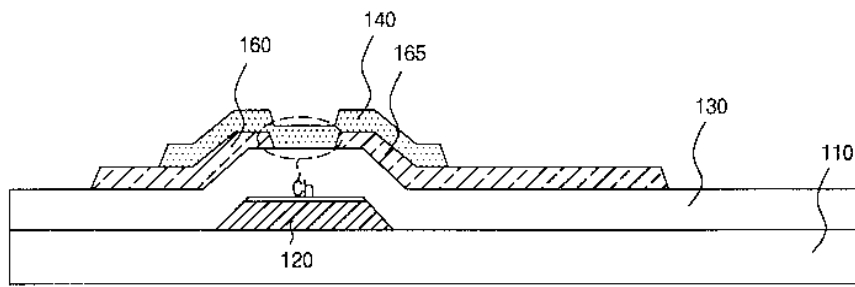
도면3a



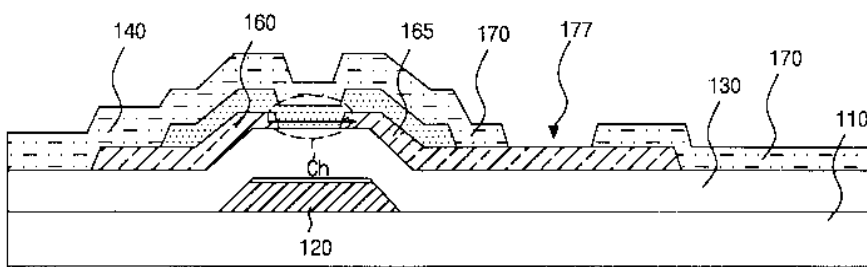
도면3b



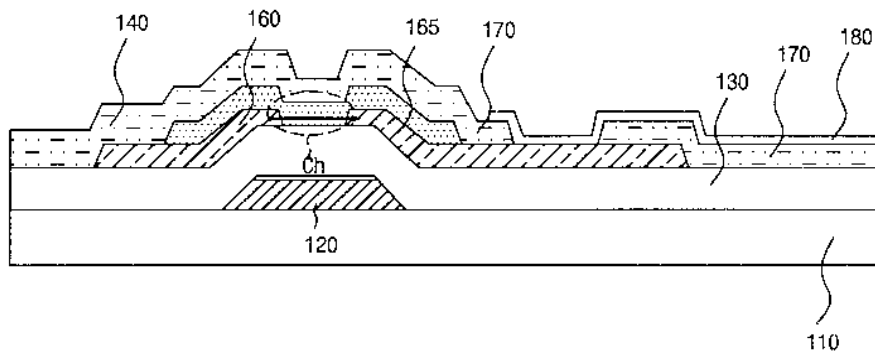
도면3c



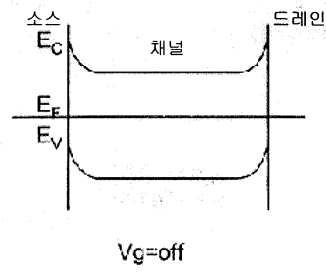
도면3d



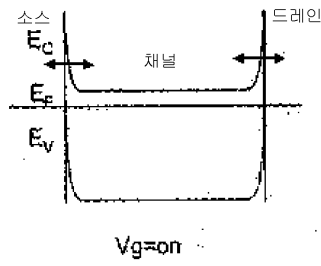
도면3e



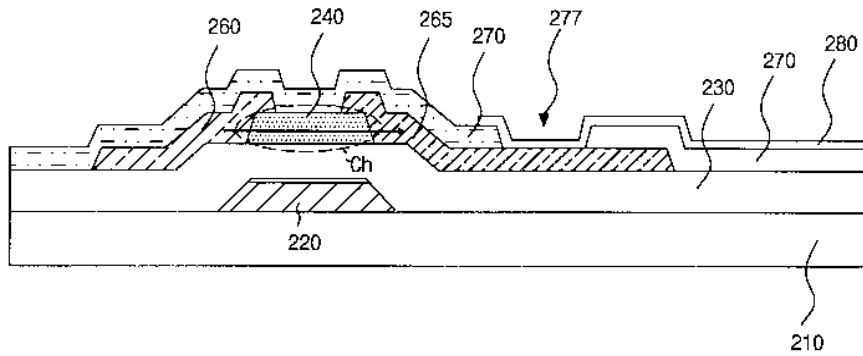
도면4a



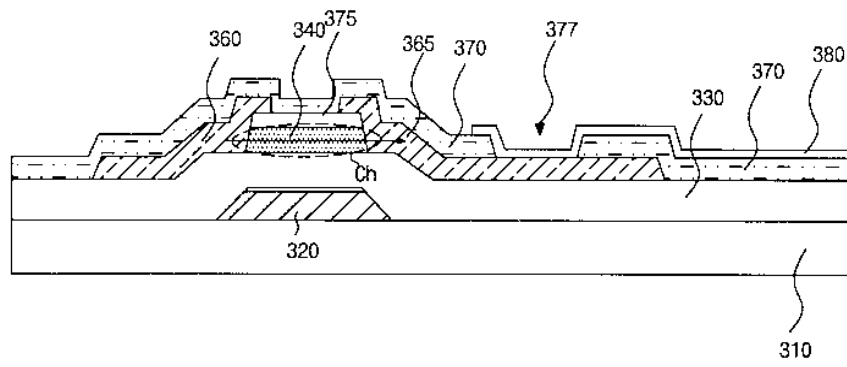
도면4b



도면5



도면6



专利名称(译)	制造用于液晶显示装置的薄膜晶体管的方法		
公开(公告)号	KR100865257B1	公开(公告)日	2008-10-24
申请号	KR1020020056065	申请日	2002-09-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOLSE		
发明人	KIM,CHEOLSE		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/136277 G02F1/136286 G02F1/1368 G02F2001/13625 H01L29/786		
其他公开文献	KR1020040024661A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种制造薄膜晶体管的方法，包括：在透明基板上形成栅电极；在形成有栅电极的基板上形成栅极绝缘膜；通过在栅极绝缘膜上沉积并图案化具有与纯非晶硅（a-Si）进行肖特基接触的特性的铬或钼金属膜来形成源电极和漏电极；在具有栅极绝缘膜的基板的整个表面上形成金属膜，并对金属膜进行图案化，以形成彼此隔开的源极和漏极；形成由纯非晶硅（a-Si）制成的有源层，以覆盖源极和漏极的间隔区域，使其与源极和漏极的两个相对端接触；并且形成具有有源层和漏极接触孔的保护层，所述漏极接触孔在暴露于有源层外部的源极和漏极上方暴露漏极。

