

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/133

(45) 공고일자 2003년11월07일  
(11) 등록번호 10-0405026  
(24) 등록일자 2003년10월29일

(21) 출원번호 10-2000-0079984  
(22) 출원일자 2000년12월22일

(65) 공개번호 특2002-0050809  
(43) 공개일자 2002년06월28일

(73) 특허권자 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 어정택  
경상북도구미시진평동642-3번지엘지필립스엘시디회로설계팀

(74) 대리인 김영호

심사관 : 고종욱

### (54) 액정표시장치

#### 요약

본 발명은 전원 오프시 잔상을 제거할 수 있는 액정표시장치에 관한 것이다.  
본 발명은 서로 다른 전위를 갖는 게이트 구동전압들을 게이트라인에 공급하는 게이트 드라이브 집적회로와, 액정표시장치의 전원오프이 오프되어 전원공급단에 그라운드신호가 공급되는 경우 게이트라인 상의 전압이 방전되게 하는 방전회로를 구비하는 것을 특징으로 한다.  
본 발명에 의하면, 방전회로는 인쇄회로기판에 형성하여 패널의 구조를 단순화하고, 게이트라인을 방전경로로 이용하여 액정표시장치의 전원이 오프될 경우 빠른 시간에 액정패널에 축적된 전하를 방전시킬 수 있다.

#### 대표도

도 3

#### 명세서

#### 도면의 간단한 설명

도 1은 종래 기술에 따른 방전회로를 포함하는 액정표시패널을 나타내는 등가회로도.  
도 2는 본 발명에 따른 방전회로를 구비한 액정표시장치를 나타내는 블록도.  
도 3은 본 발명에 따른 방전회로와 게이트 드라이브 집적회로를 상세히 나타내는 회로도.  
도 4는 도 2에 도시된 액정표시패널의 단위 화소부를 나타내는 등가 회로도.  
도 5는 도 3에 도시된 방전회로를 나타내는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

10,20 : 액정표시패널 12,16 : 방전회로  
14 : 게이트 드라이브 집적회로 18 : 인쇄회로기판  
22 : 데이터 드라이브 집적회로

#### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 전원 오프시 잔상을 제거하기 위한 액정표시장치에 관한 것이다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터(Thin Film Transistor: 이하 "TFT"라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터(Personal Computer)와 노트북 컴퓨터(Note Book Computer)는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용하고 있다. 통상의 액티브 매트릭스 액정표시장치는 액정에 인가되는 전계에 의해 액정의 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액티브 매트릭스 액정표시장치에는 잔상을 제거하기 위한 방전회로가 설치된다. 도 1을 참조하면, 종래 액정표시장치는 게이트라인(GL)들과 데이터 라인(DL)들이 교차하는 위치에 배열되어진 다수의 TFT들과, 이들 TFT 각각의 소스와 공통전압원 사이에 접속되어진 다수의 액정셀(Clc)들과 이들 액정셀 각각에 병렬 접속된 다수의 스토리지캐패시터(Cst)들과, 게이트 라인(GL)들에 접속되어진 방전회로(12)로 구성된다. 방전회로(12)는 로우논리의 게이트신호가 게이트라인(GL)으로부터 공급되는 기간에 턴-온되는 PMOS트랜지스터(M1)와, PMOS트랜지스터(M1)에 연결된 다이오드(D1)와 캐패시터(C1)를 구비한다. 여기서, 다이오드(D1)와 캐패시터(C1)는 전원이 꺼져 있음을 감지한다. 전원이 꺼져 있을 때, 액정셀(Clc)과 스토리지캐패시터(Cst)는 방전경로로 형성되고 PMOS트랜지스터(M1)는 턴온된다. 액정표시장치는 액정셀(Clc)과 스토리지캐패시터(Cst)가 방전될 때 선명해지고, 전원이 꺼져 있을 때 잔상이 제거된다. 그러나, 종래 기술에 따른 방전회로의 경우에는 방전회로가 액정표시패널상에 형성되므로 접지라인과 전원공급( $V_{DD}$ )라인이 모두 패널상에 위치하게 된다. 그 결과로 인해, 라인수가 많아지고 별도의 캐패시터와 다이오드도 설치되므로 액정표시패널의 구조가 복잡해지고 그 제조방법이 어려운 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 전원 오프시 잔상을 제거하기 위한 액정표시장치를 제공하는 데 있다.

### 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명의 따른 액정표시장치는 서로 다른 전위를 갖는 게이트 구동전압들을 게이트라인에 공급하는 게이트 드라이브 집적회로와, 액정표시장치의 전원오프시 오프되어 전원공급단에 그라운드신호가 공급되는 경우 게이트라인 상의 전압이 방전되게 하는 방전회로를 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2는 본 발명에 따른 방전회로를 포함하는 액정표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명에 따른 액정표시패널(20)은 게이트라인(GL), 데이터라인(DL) 사이에 접속된 TFT와, TFT의 드레인단자와 접속된 화소전극과 공통전극( $V_{com}$ ) 사이에 접속된 액정셀(Clc)과, 화소전극과 이전단 게이트라인( $N-1$ )에 접속된 스토리지 캐패시터(Cst)로 구성된다. TFT의 게이트단자는 게이트라인(GL)과 연결되고, TFT의 소스단자는 데이터라인(DL)과 연결되고, TFT의 드레인단자는 화소전극과 연결된다. TFT는 게이트라인(GL)으로부터의 게이트하이전압에 의해 턴온되어 데이터라인(DL)으로부터의 데이터전압과 공통전압과의 차전압이 액정셀(Clc)에 충전되게 한다. 액정셀(Clc)은 게이트라인(GL)에 공급되는 게이트 하이 전압( $V_{gh}$ )에 의해 TFT가 턴-온되는 기간동안 데이터라인(DL)으로부터 공급되는 데이터전압과 공통전압( $V_{com}$ )의 차전압에 해당하는 화소전압( $V_{lc}$ )을 충전하게 된다. 스토리지 캐패시터(Cst)는 게이트 로우 전압( $V_{gl}$ )에 의해 TFT가 턴-오프되는 기간동안 충전된 화소전압( $V_{lc}$ )을 유지하게 된다. 액정표시패널(20)은 도 4에 도시된 바와 같이 TFT의 게이트단자와 소스단자, 게이트단자와 드레인단자 사이에 중첩부분이 존재하여 각각 기생 캐패시터( $C_{gs}$ ,  $C_{gd}$ )를 갖게 됨과 아울러 소스단자와 드레인단자 사이에 존재하는 기생저항등( $C_{ds}$ )이 포함된다. 기생저항( $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ )은 TFT가 턴-오프되는 동안의 등가저항으로서 일정하게 고정되어 있는 것은 아니다.

액정표시패널(20)의 데이터라인(DL)을 구동하기 위한 데이터 드라이브 IC(22)는 데이터인쇄회로기판(Printed Circuit Board; 이하 "PCB"라 함)(도시하지 않음) 상에 형성되며, 액정표시패널(20)의 게이트라인(GL)을 구동하기 위한 게이트 드라이브 IC(14)와, 게이트 드라이브 IC(14)와 접속된 방전회로(16)는 게이트 PCB(18) 상에 형성된다. 게이트 드라이브 IC(14)와 데이터 드라이브 IC(22)는 다수개의 PMOS 또는 NMOS 트랜지스터로 구성되고, 테이프 캐리어 패키지(tape carrier package; 이하 "TCP"라 함)(도시하지 않음) 상에 TCP의 본딩(bonding)공정으로 액정패널(20)과 접속된다.

게이트 드라이브 IC(14)는 게이트라인(GL)에 순차적으로 온/오프신호만 걸어주기 때문에 비교적 간단한 구조이다. 게이트 펄스가 하이레벨을 유지하는 동안 그 게이트펄스가 공급된 게이트라인(GL)의 모든 TFT들이 동작되어 TFT의 채널이 열리므로 이를 통해서 신호전압들이 화소에 충전된다.

데이터 드라이브 IC(22)는 게이트펄스가 TFT에 인가되면 데이터라인(DL)을 통해 실제로 화소에 신호전압을 인가하는 역할을 한다.

방전회로(16)는 게이트 드라이브 집적회로(14)의 입력단에 연결되어 있어 게이트 라인(GL)을 방전 경로(path)로 이용한다.

도 3은 도 2에 도시된 방전회로와 게이트 드라이브 IC를 상세히 나타내는 회로이며, 도 5는 도 3에 도시된 방전회로의 구성만을 나타내는 회로도이다. 도 3에 도시된 게이트 드라이브 IC(14)는 게이트 하이 전압( $V_{gh}$ )이 공급되는 제1 입력단(24)과 및 게이트 라인(GL)사이에 접속되어진 NMOS 트랜지스터(M1)와, 게이트라인(GL) 및 게이트 로우 전압( $V_{gl}$ )이 공급되는 제2 입력단(30) 사이에 접속되어진 PMOS 트랜지스터(M2)를 구비한다. 이들 NMOS 트랜지스터(M1) 및 PMOS 트랜지스터(M2)의 게이트전극들은 모두 제어신호 입력라인(26)에 접속되게 되며, NMOS 트랜지스터(M1), PMOS 트랜지스터(M2)의 출력신호는 게이트라인(GL)에 공급된다.

도 3 및 도 5에서 방전회로(16)는 전원이 인가되지 않을 경우 액정표시패널(20)에 축적된 전하를 빠른 시간에 방전하기 위하여 액정표시패널(20)의 내부구조중에서 액정셀(Clc)과 스토리지 캐패시터(Cst)에 충전된 전압이 신속하게 방전되게 한다. 이를 위해, 게이트라인(GL)을 방전경로로 이용한다.

도 5에 도시된 방전회로(16)는 제1 및 제2 입력단(24,30) 사이에 접속되어진 NPN형 트랜지스터(Q2)와, 제1 입력단(24)과 제1 노드(A)사이에 접속되어진 캐패시터(C1)와, 제1 및 제2 노드(A,B) 사이에 접속되어진 저항(R1)과, 제2 노드(B)와 전원전압( $V_{dd}$ )이 공급되는 전원공급단(28)사이에 접속되어진 저항(R2)과, 전원공급단(28)과 NPN형 트랜지스터(Q2)사이에 접속되어진 PNP형 트랜지스터(Q1)를 구비한다.

전원 온시 전원공급단(28)을 통해 공급되는 전원전압( $V_{dd}$ )은 약  $+7V \sim +10V$  정도로 설정되며, 제1 입력단(24)을 통해 공급되는 게이트하이전압( $V_{gh}$ )은 TFT의 턴-온 전압으로 약  $+18V \sim +25V$  정도로 설정되며, 제2 입력단(30)을 통해 공급되는 게이트로우전압( $V_{gl}$ )은 TFT의 턴-오프전압 또는 스토리지 전압, 즉 방전이 필요한 부분으로 약  $-5V \sim -8V$  정도로 설정된다. 전원이 온 되어 전원공급단(28)에 전원전압이 공급되는 경우 PNP형 트랜지스터(Q1)의 베이스와 이미터전압( $V_B = V_E$ )이 동일하게 되어 PNP형 트랜지스터(Q1)가 턴-오프됨에 따라 NPN형 트랜지스터(Q2)도 오프되어 게이트하이전압( $V_{gh}$ )과 게이트로우전압( $V_{gl}$ )이 선택적으로 게이트라인(GL)에 공급된다. 이 때, PNP형 트랜지스터(Q1)의 베이스전압은 이미터전압( $V_{dd}$ )과 동일하므로 게이트하이전압( $V_{gh}$ )이 공급되는 제1 입력단(24)으로부터 게이트 하이 전압( $V_{gh}$ )이 공급되는 캐패시터(C1)양단에는 게이트하이전압( $V_{gh}$ )이 공급되는 제1 입력단(24)을 기준으로  $-(V_{gh} - V_{dd})$  전압이 유지된다.

전원이 오프되어 전원공급단(28)에 그라운드전위가 공급되는 경우 캐패시터(C1)에 충전된 전압은  $-(V_{gh} - V_{dd})$  전압에서 0V로 전위이동이 생기게 된다. 이 때, 캐패시터(C1)와 저항(R1)사이, 제1 노드(A)의 전압은 캐패시터(C1) 양단 전압 변화의 반대방향으로 이동한다. 즉, 제1 노드(A)의 전압은 전원 온시 공급된 전원전압( $V_{dd}$ ) 레벨에서 음전압(-) 레벨로 이동한다.

제1 노드(A)의 전압이 떨어지게 되면 제2 노드(B)의 전압은 저항(R1,R2)으로 분배된 전압이 PNP형 트랜지스터(Q1)의 베이스에 인가된다. 이에 따라, PNP형 트랜지스터(Q1)는 턴온됨에 따라 NPN형 트랜지스터(Q2)가 턴온되어 게이트 하이 전압( $V_{gh}$ )이 공급되는 제1 입력단(24)과 게이트 로우 전압( $V_{gl}$ )이 공급되는 제2 입력단(30)이 단락(short)된다. 즉, NPN형 트랜지스터(Q2)가 턴온될 경우 게이트 로우 전압( $V_{gl}$ )은 약  $-5V \sim -8V$  정도를 빠른 속도로 방전하면서 게이트라인(GL)을 통해 액정셀(Clc) 및 스토리지캐패시터(Cst)에 충전된 전압이 빠른 속도로 방전된다.

한편, 본 발명에 따른 액정표시장치의 방전회로(16)는 인쇄회로기판(18)에 형성되므로 액정표시패널(20) 상에 있는 게이트라인(GL)을 공통으로 사용하여 라인수를 줄일 수 있고, 게이트라인(GL)을 방전경로로 사용하므로 전원이 인가되지 않은 경우 빠른 시간에 액정표시패널에 축적된 전하를 방전시킬 수 있다.

## 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치는 인쇄 회로 기판(PCB)에 형성되므로 별도의 라인이 필요없게 되어 액정표시패널의 구조가 단순해진다. 또한, 게이트라인이 방전경로로 이용되어 액정표시패널의 축적된 전하가 빠른 시간에 방전될 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## (57) 청구의 범위

### 청구항 1.

게이트라인과 데이터라인사이에 액정셀이 마련됨과 아울러 상기 게이트라인으로부터의 신호에 응답하여 상기 액정셀을 구동하기 위한 스위칭소자를 구비하는 액정표시장치에 있어서,  
서로 다른 전위를 갖는 게이트 구동전압들을 상기 게이트라인에 공급하는 게이트 드라이브 집적회로와,  
상기 액정표시장치의 전원이 오프되어 전원공급단에 그라운드신호가 공급되는 경우 상기 게이트라인 상의 전압이 방전되게 하는 방전회로를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2.

제 1 항에 있어서,

상기 게이트 구동전압들은 정극성의 게이트 하이 전압과 부극성의 게이트 로우 전압인 것을 특징으로 하는 액정표시장치.

### 청구항 3.

제 2 항에 있어서,

상기 방전회로는

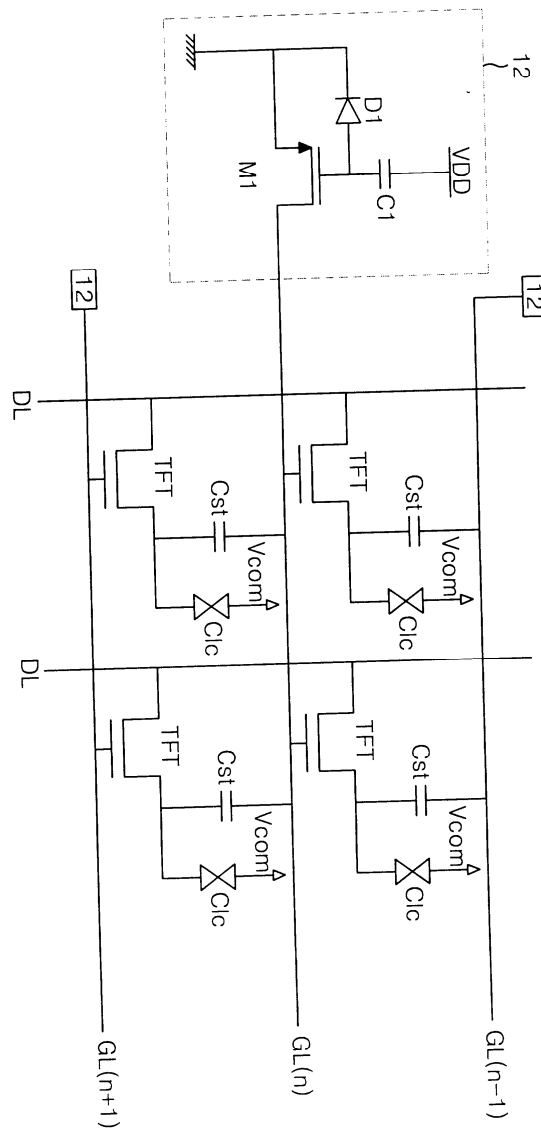
상기 전원이 공급되는 동안에 전압을 충전하고 상기 전원이 턴-오프될 때 충전된 전압을 방전하는 캐패시터와,

상기 캐패시터로부터 방전되는 전압에 응답하여 스위칭제어신호를 생성하는 제1 스위칭소자와,

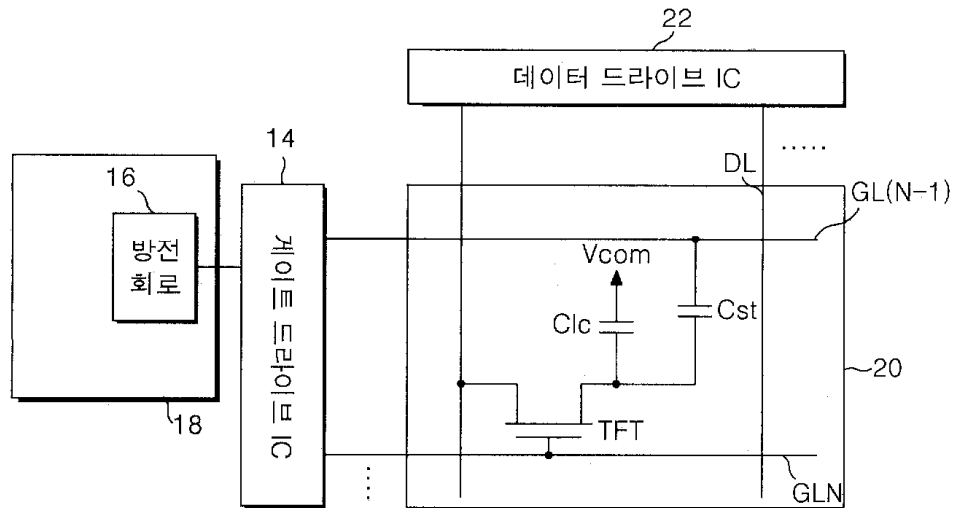
상기 스위칭제어신호에 응답하여 상기 게이트하이전압이 공급되는 제1 게이트전압공급단과 상기 게이트로우전압이 공급되는 제2 게이트전압공급단을 접속시키는 제2 스위칭소자를 구비하는 것을 특징으로 하는 액정표시장치.

도면

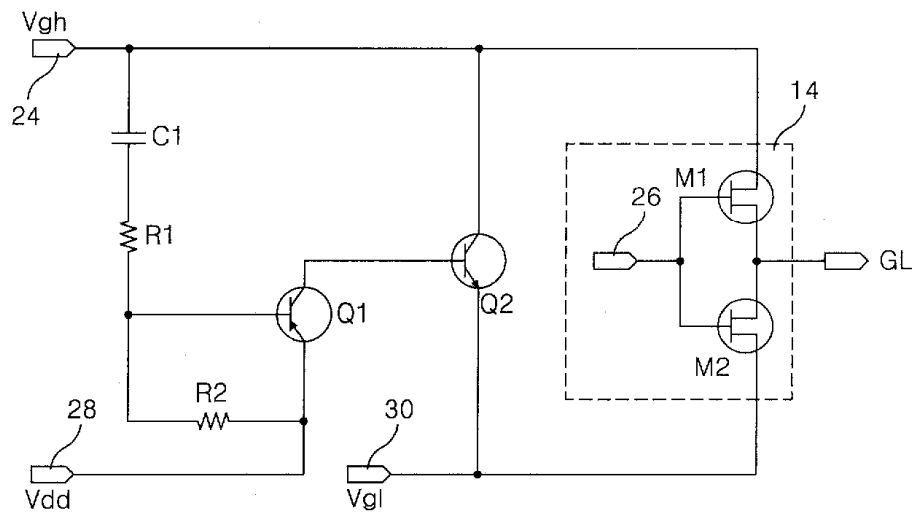
도면1



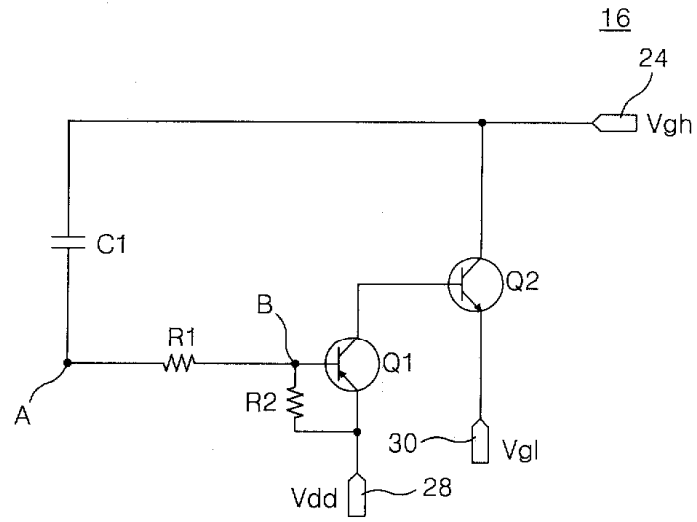
도면2



도면3



도면5



|                |                                                     |         |            |
|----------------|-----------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                               |         |            |
| 公开(公告)号        | <a href="#">KR100405026B1</a>                       | 公开(公告)日 | 2003-11-07 |
| 申请号            | KR1020000079984                                     | 申请日     | 2000-12-22 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                            |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                           |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                           |         |            |
| [标]发明人         | EU JUNG TAECK                                       |         |            |
| 发明人            | EU,JUNG TAECK                                       |         |            |
| IPC分类号         | G09G3/36 G02F1/133                                  |         |            |
| CPC分类号         | G09G3/3648 G09G2330/027 G09G2320/0257 G09G2310/0245 |         |            |
| 代理人(译)         | KIM , YOUNG HO                                      |         |            |
| 其他公开文献         | KR1020020050809A                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                           |         |            |

#### 摘要(译)

液晶显示器技术领域本发明涉及一种能够在断电时消除残留图像的液晶显示器。 等离子显示面板技术领域本发明涉及一种等离子显示面板，包括：栅极驱动集成电路，用于向栅极线提供具有不同电位的栅极驱动电压；以及放电电路，用于在电源关闭时对栅极线上的电压进行放电，提供电路。 根据本发明，放电电路形成在印刷电路板上以简化面板的结构，并且当通过使用栅极线作为放电路径关闭液晶显示器的电源时，累积在液晶面板中的电荷被放电可以。 3

