



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0050445  
(43) 공개일자 2009년05월20일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0116872

(22) 출원일자 2007년11월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박찬일

경북 칠곡군 석적면 중리 216-9 동해하이츠 301호

(74) 대리인

박장원

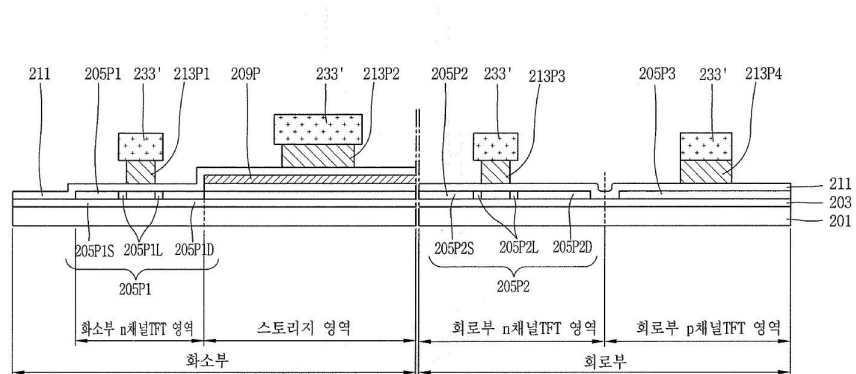
전체 청구항 수 : 총 5 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명은 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시킨 액정표시장치의 제조방법에 관해 개시한다. 개시된 본 발명의 방법은 회로부 n채널 TFT영역 및 회로부 p채널 TFT영역으로 구분되는 회로부를 가진 절연기판을 제공하는 단계와, 기판의 회로부 n채널 TFT영역 및 회로부 p채널 TFT영역에 각각 제 1활성층 및 제 2활성층을 형성하는 단계와, 제 1 및 제 2활성층을 가진 기판 위에 게이트 절연막, 금속막 및 제 1감광막패턴을 차례로 형성하되, 상기 제 1감광막패턴은 상기 회로부 n채널 TFT영역에서는 게이트전극이 형성될 부위를 덮고 상기 회로부 p채널 TFT영역에서는 전면을 서로 다른 두께로 덮되, 게이트전극이 형성될 부위가 상대적으로 두껍게 형성되는 단계와, 제 1감광막 패턴을 마스크로 상기 금속막을 패터닝하여 상기 회로부 n채널 TFT영역에 제 1게이트전극을 형성하는 단계와, 상기 제 1감광막 패턴을 에칭하여 상기 회로부 p채널 TFT영역의 게이트전극이 형성될 부위 주변을 노출하는 단계와, 상기 에칭된 제 1감광막 패턴을 마스크로 상기 기판 전면에 n타입 이온주입을 실시하여 상기 제 1게이트전극 양측 하부의 제 1활성층에 회로부 제 1소오스영역 및 회로부 제 1드레인영역을 형성하는 단계와, 상기 에칭된 제 1감광막 패턴을 마스크로 상기 잔류된 금속막을 패터닝하여 상기 회로부 p채널 TFT영역에 제 2게이트전극을 형성하는 단계와, 상기 에칭된 제 1감광막 패턴을 마스크로 상기 기판 전면에 p타입 이온주입을 실시하여 상기 제 2게이트전극 양측 하부의 제 2활성층에 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 형성하는 단계를 포함한다.

대표도



## 특허청구의 범위

### 청구항 1

회로부 n채널 TFT영역 및 회로부 p채널 TFT영역으로 구분되는 회로부를 가진 절연 기판을 제공하는 단계와,

상기 기판의 회로부 n채널 TFT영역 및 회로부 p채널 TFT영역에 각각 제 1활성층 및 제 2활성층을 형성하는 단계와,

상기 제 1및 제 2활성층을 가진 기판 위에 게이트 절연막, 금속막 및 제 1감광막패턴을 차례로 형성하되, 상기 제 1감광막패턴은 상기 회로부 n채널 TFT영역에서는 게이트전극이 형성될 부위를 덮고 상기 회로부 p채널 TFT영역에서는 전면을 서로 다른 두께로 덮되, 게이트전극이 형성될 부위가 상대적으로 두껍게 형성되는 단계와,

상기 제 1감광막 패턴을 마스크로 상기 금속막을 패터닝하여 상기 회로부 n채널 TFT영역에 제 1게이트전극을 형성하는 단계와,

상기 제 1감광막 패턴을 에싱하여 상기 회로부 p채널 TFT영역의 게이트전극이 형성될 부위 주변을 노출하는 단계와,

상기 에싱된 제 1감광막 패턴을 마스크로 상기 기판 전면에 n타입 이온주입을 실시하여 상기 제 1게이트전극 양측 하부의 제 1활성층에 회로부 제 1소오스영역 및 회로부 제 1드레인영역을 형성하는 단계와,

상기 에싱된 제 1감광막 패턴을 마스크로 상기 잔류된 금속막을 패터닝하여 상기 회로부 p채널 TFT영역에 제 2게이트전극을 형성하는 단계와,

상기 에싱된 제 1감광막 패턴을 마스크로 상기 기판 전면에 p타입 이온주입을 실시하여 상기 제 2게이트전극 양측 하부의 제 2활성층에 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 형성하는 단계를 포함한 액정표시장치의 제조방법.

### 청구항 2

제1항에 있어서, 상기 n타입 이온은 상기 p타입 이온보다 고농도로 주입되는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 3

제 2항에 있어서, 상기 n타입 이온주입을 실시하는 단계에서, 상기 n타입 이온 농도는  $5E15 \text{ ion/cm}^2 \sim 5E16 \text{ ion/cm}^2$  범위인 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 4

제 2항에 있어서, 상기 n타입 이온주입을 실시하는 단계에서, 상기 p타입 이온 농도는  $5E14 \text{ ion/cm}^2 \sim 5E15 \text{ ion/cm}^2$  범위인 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 5

제 1항에 있어서, 상기 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 형성한 다음,

상기 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 가진 기판 위에 보호막을 형성하는 단계와,

상기 보호막을 패터닝하여 회로부 제 1,2소오스영역 및 회로부 제 1,2드레인영역을 각각 노출하는 제 1, 제 2, 제 3 및 제 4콘택홀들을 형성하는 단계와,

상기 제 1, 제 2, 제 3 및 제 4콘택홀들을 덮는 각각의 회로부 제 1, 제 2소오스전극 및 회로부 제 1, 제 2드레인전극을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

## 명세서

### 발명의 상세한 설명

**기술분야**

<1> 본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 개구율을 확보하여 휘도를 향상시킨 액정표시장치의 제조방법에 관한 것이다.

**배경기술**

<2> 최근의 정보화 사회에서 디스플레이는 시각정보 전달매체로서 그 중요성이 더 한층 강조되고 있으며, 향후 주요한 위치를 점하기 위해서는 저소비전력화, 박형화, 경량화, 고화질화 등의 요건을 충족시켜야 한다. 현재 평판 디스플레이(Flat Panel Display; FPD)의 주력 제품인 액정표시장치(Liquid Crystal Display; LCD)는 디스플레이의 이러한 조건들을 만족시킬 수 있는 성능뿐만 아니라 양산성까지 갖추었기 때문에, 이를 이용한 각종 신제품 창출이 급속도로 이루어지고 있으며 기존의 브라운관(Cathode Ray Tube; CRT)을 점진적으로 대체할 수 있는 핵심부품 산업으로서 자리 잡았다.

<3> 일반적으로, 액정표시장치는 매트릭스(matrix) 형태로 배열된 액정셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 상기 액정셀들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시장치이다.

<4> 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

<5> 상기 비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3 “ 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50” 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다. 특히, 상기 비정질 실리콘 박막 트랜지스터는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문에 활발히 이용되고 있다.

<6> 그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도( $\sim 1\text{cm}^2/\text{Vsec}$ )로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는 데는 한계가 있다. 이에 따라 전계효과 이동도(field effect mobility)가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘(Polycrystalline Silicon; poly-Si) 박막 트랜지스터를 이용하여 유리기판 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.

<7> 다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기판에 직접 제작할 수 있다는 장점이 있다.

<8> 이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.

<9> 또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압( $\sim 25\text{V}$ )을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.

<10> 이하, 도 1을 참조하여 액정표시장치의 구조에 대해서 자세히 살펴본다.

<11> 도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 평면도로서, 어레이 기판에 구동회로부를 집적시킨 구동회로 일체형 액정표시장치를 나타내고 있다.

<12> 도면에 도시된 바와 같이, 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(미도시)으로 이루어져 있다.

<13> 상기 어레이 기판(10)은 단위 화소들이 매트릭스 형태로 배열된 화상표시 영역인 화소부(35)와 상기 화소부(35)의 외곽에 위치한 데이터 구동회로부(31)와 게이트 구동회로부(32)로 구성된 구동회로부(30)로 이루어져 있다. 이때, 도면에는 도시하지 않았지만, 상기 어레이 기판(10)의 화소부(35)는 상기 기판(10) 위에 중첩으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인과 데이터라인, 상기 게이트라인과 데이터라인의 교차영역에 형성된 스위칭소자인 박막 트랜지스터 및 상기 화소영역에 형성된 화소전극으로 구성된다.

<14> 상기 박막 트랜지스터는 화소전극에 신호전압을 인가하고 차단하는 스위칭소자로 전계에 의하여 전류의 흐름을 조절하는 일종의 전계 효과 트랜지스터(Field Effect Transistor; FET)이다.

- <15> 상기 어레이 기관(10)의 구동회로부(30)는 상기 컬러필터 기관(5)에 비해 돌출된 어레이 기관(10)의 화소부(35) 외곽에 위치하는데, 상기 돌출된 어레이 기관(10)의 일측 장(長)변에 데이터 구동회로부(31)가 위치하며, 상기 돌출된 어레이 기관(10)의 일측 단(短)변에 게이트 구동회로부(32)가 위치하게 된다.
- <16> 이때, 상기 데이터 구동회로부(31)와 게이트 구동회로부(32)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(Complementary Metal Oxide Semiconductor) 구조의 박막 트랜지스터를 사용하게 된다.
- <17> 참고로, 상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 MOS 구조로 된 집적회로의 일종으로 n 채널 박막 트랜지스터와 p 채널박막 트랜지스터를 모두 필요로 하며 속도와 밀도의 특성은 NMOS와 PMOS의 중간 형태를 나타낸다.
- <18> 상기 게이트 구동회로부(32)와 데이터 구동회로부(31)는 각각 게이트라인과 데이터라인을 통해 화소전극에 주사 신호 및 데이터신호를 공급하기 위한 장치로써, 외부신호 입력단(미도시)과 연결되어 있어 상기 외부신호 입력단을 통하여 들어온 외부신호를 조절하여 상기 화소전극에 출력하는 역할을 한다.
- <19> 또한, 상기 컬러필터 기관(5)의 화소부(35)에는 컬러를 구현하는 컬러필터(미도시)와 상기 어레이 기관(10)에 형성된 화소전극의 대향전극인 공통전극(미도시)이 형성되어 있다.
- <20> 이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 스페이서(spacer)(미도시)에 의해 일정하게 이격되도록 셀갭(cell gap)이 마련되고, 화소부(35)의 외곽에 형성된 실 패턴(seal pattern)(미도시)에 의해 합착되어 단위 액정표시패널을 이루게 된다. 이때, 상기 두 기관(5, 10)의 합착은 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키를 통해 이루어진다.
- <21> 상기와 같이 구성되는 구동회로 일체형 액정표시장치는 다결정 실리콘 박막 트랜지스터를 이용하므로 소자 특성이 탁월하여 화상 품질이 우수하며, 고정세화가 가능하고 전력의 소비가 적다는 장점을 가지고 있다.
- <22> 그러나, 상기 구동회로 일체형 액정표시장치는 동일 기관 위에 n 채널 박막 트랜지스터와 p 채널 박막 트랜지스터를 함께 형성하여야 하기 때문에 단일 타입의 채널만을 형성하는 비정질 실리콘 박막 트랜지스터 액정표시장치에 비해 제조공정이 보다 복잡하다는 단점이 있으며, 이하에서 이러한 공정에 대해 자세하게 설명하기로 한다.
- <23> 도 2는 종래 기술에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도로서, 특히 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.
- <24> 도 2에 도시된 바와 같이, 어레이 기관인 절연기관(101)에는 중형으로 화소영역을 정의하는 게이트라인(150)과 데이터라인(140)이 형성되어 있다. 상기 게이트라인(150)과 데이터라인(140)의 교차영역에는 스위칭 소자인 TFT(Thin Film Transistor)가 형성되어 있다.
- <25> 상기 TFT는 게이트라인(150)에 연결된 화소부 게이트전극(113P2), 데이터라인(140)에 연결된 화소부 소오스전극(123S1) 및 화소부 드레인전극(123D1)으로 구성되어 있다. 또한, 상기 TFT는 상기 화소부 게이트전극(113P2)에 공급되는 게이트전압에 의해 화소부 소오스전극(123S1) 및 화소부 드레인전극(123D1) 간에 전도채널을 형성하는 제 1활성층(105P1)을 포함한다. 상기 제 1활성층(105P1)은 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)으로 구분된다. 상기 제 1활성층(105P1)은 일부가 화소영역 쪽으로 연장되며, 상기 화소영역 쪽으로 연장된 상기 제 1활성층(105P1) 상부에는 스토리지전극(109P)이 형성되어 있다. 상기 제 1활성층(105P1)과 상기 스토리지전극(109P) 사이에 절연막(미도시)이 개재된다.
- <26> 상기 화소영역 내에는 상기 게이트라인(150)과 실질적으로 동일한 방향으로 공통라인(113P3)이 형성되어 있다. 상기 공통라인(113P3)은 게이트절연막(미도시)을 사이에 두고 상기 스토리지전극(109P)와 중첩하여 스토리지 커패시터를 구성한다.
- <27> 상기 공통라인(113P3)을 가진 기관을 덮도록 보호막(미도시)이 배치된다. 상기 보호막 및 게이트절연막에는 상기 제 1활성층(105P1)의 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)을 각각 노출하는 제 1콘택홀(121H1) 및 제 2콘택홀(121H2)이 형성된다. 상기 화소부 소오스전극(123S1) 및 화소부 드레인전극(123D1)은 상기 제 1콘택홀(121H1) 및 제 2콘택홀(121H2)을 통해 각각 상기 제 1활성층(105P1)의 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)과 전기적으로 연결된다.
- <28> 상기 화소부 드레인전극(123D1) 위에는 일부위가 화소영역 쪽으로 연장되는 상기 화소부 드레인전극패턴(125P2)이 배치되어 있다. 상기 화소부 드레인전극패턴(125P2)은 화소전극에 해당될 수 있다. 또한, 상기 화소부 소오스전극(123S1) 위에는 화소부 소오스전극패턴(125P1)이 형성된다.

- <29> 도 3a 내지 도 3g는 도 2에 도시된 어레이 기관의 I-I'선에 따른 제조공정을 순차적으로 나타내는 단면도이다. 이하에서는 상술한 구성을 가진 종래 기술에 따른 역정표시장치의 어레이 기관 제조방법에 대해 설명하기로 한다.
- <30> 도 3a에 도시된 바와 같이, 절연 기관(101)을 제공한다. 상기 절연기관(101)에는 n채널(또는 p채널) TFT영역과 스토리지영역으로 구분되는 화소부 및 n채널 TFT영역과 p채널 TFT영역으로 구분되는 회로부가 각각 정의되어 있다. 즉, 상기 화소부는 n채널 TFT 또는 p채널 TFT가 모두 형성 가능하며, 상기 회로부는 n채널 TFT와 p채널 TFT가 모두 형성되어 CMOS 형태를 이룬다. 상기 절연 기관(101)은 어레이기관일 수 있다. 상기 절연기관(101)은 유리 등의 투명한 기관일 수 있다. 상기 절연기관(101) 상에 버퍼층(103), 다결정실리콘막(105), 절연막(107), 스토리지전극막(109)을 차례로 형성한다. 상기 절연막(107)은 게이트 절연막일 수 있다. 상기 절연막(107)은 실리콘 산화막(SiO<sub>2</sub>)일 수 있다. 상기 절연막(107)은 생략될 수도 있다. 상기 스토리지전극막(109)은 n+실리콘층 또는 금속막일 수 있다.
- <31> 이어, 도 3b에 도시된 바와 같이, 슬릿 또는 하프톤 마스크(미도시)를 이용하여 상기 스토리지전극막을 가진 기관 상에 제 1감광막패턴(130)을 형성한다. 상기 제 1감광막패턴(130)은 회로부의 n채널 TFT영역과 p채널 TFT영역, 및 화소부의 n채널 TFT영역이 상기 화소부의 스토리지영역보다 상대적으로 얇게 형성된다. 그 다음, 상기 제 1감광막패턴(130)을 이용하여 상기 스토리지전극막, 절연막 및 다결정실리콘막을 선택적으로 1차 식각하여 상기 화소부를 덮는 화소패턴(110P1), 및 회로부의 n채널 TFT영역과 p채널 TFT영역을 각각 덮는 제 1 및 제 2회로패턴들(110P2)(110P3)을 형성한다.
- <32> 이 후, 도 3c에 도시된 바와 같이, 상기 제 1감광막패턴을 에싱(ashing)한다. 상기 에싱 후 잔류된 제 1감광막패턴(130P)은 상대적으로 두께가 얇은 회로부의 n채널 TFT영역과 p채널 TFT영역, 및 상기 화소부의 TFT영역이 모두 제거되며, 화소부의 스토리지영역에만 선택적으로 잔류된다. 이어, 상기 잔류된 제 1감광막패턴(130P)에 의해 노출된 상기 화소패턴(110P1) 및 제 1, 제 2회로패턴들(110P2)(110P3)로부터 스토리지전극막 및 절연막을 선택적으로 제거한다. 그 결과, 상기 화소부의 스토리지영역에는 잔류된 스토리지전극막으로 이루어진 스토리지전극(109P)이 형성된다. 이때, 상기 화소부의 n채널 TFT영역, 상기 회로부의 n채널 TFT영역, 및 상기 회로부의 p채널 TFT영역에는 다결정실리콘막으로 된 각각의 제 1, 제2 및 제 3활성층(105P1)(105P2)(105P3)이 형성된다.
- <33> 계속하여, 도 3d에 도시된 바와 같이, 상기 잔류된 제 1감광막패턴을 제거한다. 상기 제1,제2 및 제 3활성층(105P1)(105P2)(105P3)을 가진 기관 상에 게이트절연막(111), 제 1금속막(113) 및 제 2감광막패턴(133)을 차례로 형성한다. 한편, 도 5a에서 처럼, 상기 절연막(107)이 다결정실리콘막(105)과 스토리지전극막(109) 사이에 개재될 경우, 상기 절연막(107)은 제 1게이트절연막에 해당되고, 상기 게이트절연막(111)은 제 2게이트절연막에 해당될 수 있다. 이와 같이, 게이트절연막이 상기 제 1게이트절연막과 제 2게이트절연막의 2중 구조를 이룰 경우, 상기 2중 구조를 가진 게이트절연막의 총 두께는 상기 제 1게이트 절연막 및 상기 제 2게이트 절연막을 합한 값에 해당된다. 따라서, 본 발명에 따른 상기 2중 구조를 가진 게이트절연막은 상기 제 1게이트 절연막 및 상기 제 2게이트 절연막 두께를 적절하게 조절함으로써 기존과 동일한 두께로 형성한다.
- <34> 한편, 상기 제 2감광막패턴(133)은 상기 화소부 전체, 상기 회로부의 n채널 TFT영역 전체, 및 p채널 TFT영역의 p채널 게이트전극이 형성될 부위를 선택적으로 덮도록 패터닝된다. 즉, 상기 제 2감광막패턴(133)은 상기 회로부 p채널 TFT영역에서 소오스/드레인영역이 형성될 부위만을 선택적으로 노출하도록 패터닝된다.
- <35> 이어, 상기 제 2감광막패턴(133)을 이용하여 상기 제 1금속막을 식각하여 상기 회로부의 p채널 TFT영역에 회로부 제 1게이트전극(113P1)을 형성한다. 이때, 화소부 전체 및 회로부 n채널 TFT영역은 상기 제 2감광막패턴(133)에 의해 마스크된 상태이므로, 상기 제 1금속막이 패터닝되지 않고 그대로 잔류된다. 다음, 상기 제 2감광막패턴(133)을 이용하여 상기 회로부 제 1게이트전극(113P1)을 가진 기관에 p+도핑을 실시한다. 그 결과, 상기 제 3활성층(105P3)에는 회로부 제 1소오스/드레인영역(105P3S)(105P3D)이 형성된다.
- <36> 그 다음, 도 3e에 도시된 바와 같이, 상기 제 2감광막패턴을 제거한다. 상기 회로부 제 1게이트전극(113P1)을 가진 기관 전면에 제 3감광막패턴(135)을 형성한다. 상기 제 3감광막패턴(135)은 상기 화소부에 각각의 화소부 게이트전극 및 공통라인이 형성될 부위, 상기 회로부의 n채널 TFT영역에 회로부 제 2게이트전극이 형성될 부위, 그리고 상기 p채널 TFT영역 전체를 덮도록 패터닝된다.
- <37> 도 5f에 도시된 바와 같이, 상기 제 3감광막패턴을 이용하여 상기 잔류된 제 1금속막을 식각하여 상기 화소부에 화소부 게이트전극(113P2) 및 공통라인(113P3)을 형성하고, 이와 동시에 상기 회로부의 n형 TFT영역에 회로부 제 2게이트전극(113P4)을 형성한다. 상기 잔류된 제 1금속막 식각 공정은 습식 식각으로 진행될 수 있다. 그 결

과, 상기 화소부 게이트전극(113P2), 공통라인(113P3) 및 회로부 제 2게이트전극(113P4)은 측면으로 과도 식각 될 수 있다. 이어, 상기 제 3감광막패턴을 가진 기관에 n+이온 도핑을 실시한다. 그 결과, 상기 화소부의 n채널 TFT영역에 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)이 형성되고, 상기 회로부의 n채널 TFT영역에 회로부 제2소오스영역(105P2S) 및 회로부 제 2드레인영역(105P2D)이 형성된다. 즉, 상기 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)은 상기 화소부 게이트전극(113P2) 양측 하부의 제 1활성층(105P1)에 형성된다. 또한, 상기 회로부 제 2소오스영역(105P2S) 및 회로부 제 2드레인영역(105P2D)은 상기 회로부 제 2게이트전극(113P4) 양측 하부의 제 2활성층(105P2)에 형성된다.

<38> 이후, 상기 제 3감광막패턴을 제거한다. 그 다음, 화소부 게이트전극(113P2) 및 회로부 제 2게이트전극(113P4)를 마스크로 하여 기관 전면에 엘디디 도핑(n-)을 실시한다. 그 결과, 상기 화소부의 n채널 TFT영역에는 제 1엘디디영역(105P1L)이 형성되고, 상기 회로부의 n채널 TFT영역에는 제 2엘디디영역(105P2L)이 형성된다. 상기 제 1, 제 2엘디디영역(105P1L)(105P2L)은 습식 시디 바이어스만큼 형성되며, 별도의 마스크가 없는 상태에서 기관 전체에 도핑처리하여 얻을 수 있다. 상기 제 3감광막패턴을 제거한다.

<39> 이어, 도 3g에 도시된 바와 같이, 상기 제 1, 제 2엘디디영역(105P1L)(105P2L)을 가진 기관 상에 보호막(121)을 형성한다. 그 다음, 별도의 마스크(미도시)를 이용하여 상기 보호막 및 게이트절연막을 식각하여 제1, 제2, 제3, 제4, 제5 및 제 6콘택홀(121H1)(121H2)(121H3)(121H4)(121H5)(121H6)을 형성한다. 상기 제 1콘택홀(121H1)과 제 2콘택홀(121H2)은 상기 화소부 소오스영역(105P1S) 및 화소부 드레인영역(105P1D)을 노출한다. 여기서, 상기 제 2콘택홀(121H2)은 상기 화소부 드레인영역(105P1D) 뿐만 아니라 상기 스토리지전극(109P)의 일부위도 함께 노출하도록 패터닝된다. 상기 제 3콘택홀(121H3) 및 제 4콘택홀(121H4)은 상기 회로부 제 2소오스영역(105P2S) 및 회로부 제 2드레인영역(105P2D)을 노출한다. 상기 제 5콘택홀(121H5) 및 제 6콘택홀(121H6)은 상기 회로부 제 1소오스영역(105P3S) 및 회로부 제 1드레인영역(105P3D)을 노출한다.

<40> 이 후, 상기 콘택홀들을 가진 기관 상에 제 2금속막을 형성한다. 상기 제 2금속막을 패터닝하여 화소부 n채널 TFT영역에 상기 제 1콘택홀(121H1) 및 제 2콘택홀(121H2)을 덮는 화소부 소오스전극(123S1) 및 화소부 드레인전극(123D1)을 형성한다. 상기 화소부 소오스전극(123S1) 및 화소부 드레인전극(123D1)이 형성되는 동안, 상기 회로부의 n채널 TFT영역에도 제 3콘택홀(121H3) 및 제 4콘택홀(121H4)을 덮는 회로부 제 2소오스전극(123S3) 및 회로부 제 2드레인전극(123D3)이 형성된다. 또한, 상기 회로부 p채널 TFT영역에도 상기 제 5콘택홀(121H5) 및 제 6콘택홀(121H6)을 덮는 회로부 제 1소오스전극(123S2) 및 회로부 제 1드레인전극(123D2)이 형성된다.

<41> 이어, 상기 소오스전극들(123S1)(123S2)(123S3) 및 드레인전극들(123D1)(123D2)(123D3)을 가진 기관 상에 투명도전막을 형성한다. 상기 투명도전막을 패터닝하여 상기 화소부 소오스전극(123S1)을 덮는 화소부 소오스전극패턴(125P1) 및 화소부 드레인전극(123D1)을 덮는 화소부 드레인전극패턴(125P2)을 형성한다. 여기서, 상기 화소부 드레인전극패턴(125P2)은, 도 4에 도시된 바와 같이, 상기 화소부 드레인전극(123D1)을 덮되, 화소영역 쪽으로 연장되도록 패터닝된다. 상기 화소부 드레인전극패턴(125P2)은 화소전극일 수 있다. 이와 동시에, 상기 회로부의 p채널 TFT영역 및 n채널 TFT영역에도 회로부 제 1, 제2소오스전극(123S2)(123S3)을 덮는 회로부 제 1, 제 2소오스전극패턴(125P5)(125P3)이 형성되고, 상기 회로부 제 1, 제2드레인전극(123D2)(123D3)을 덮는 회로부 제 1, 제 2드레인전극패턴(125P6)이 형성된다.

<42> 상술한 바와 같이, 종래기술에서는 회절 노광을 통해 활성층 및 스토리지전극을 형성하고(제 1마스크공정), 회로부 p채널 TFT영역에 회로부 제 2게이트전극 형성(제 2마스크 공정), 화소부에 화소부 게이트전극 및 공통라인 형성(제 3마스크 공정), 보호막에 콘택홀 형성공정(제 4마스크 공정), 소오스전극 및 드레인전극 형성(제 5마스크 공정), 및 소오스전극패턴 및 드레인전극패턴 형성(제 6마스크 공정)을 진행한다.

<43> 이와 같이 상기 종래 기술에 따른 어레이 기관의 제조에는 총 6번의 마스크 공정이 진행된다. 그러나, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크 수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있다.

<44> 따라서, 상술한 6마스크 공정을 보다 단축시킬 수 있는 제조 공정에 대한 연구가 필요한 실정이다.

## 발명의 내용

### 해결 하고자하는 과제

<45> 상기 문제점을 해결하기 위해, 본 발명의 과제는 마스크 수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 개구율을 확보하여 휘도를 향상시킬 수 있는 액정표시장치의 제조방법을 제공하려는 것이다.

**과제 해결수단**

- <46> 상기 목적을 달성하고자, 본 발명에 따른 액정표시장치의 제조방법은 회로부 n채널 TFT영역 및 회로부 p채널 TFT영역으로 구분되는 회로부를 가진 절연 기판을 제공하는 단계와, 기판의 회로부 n채널 TFT영역 및 회로부 p채널 TFT영역에 각각 제 1활성층 및 제 2활성층을 형성하는 단계와, 제 1및 제 2활성층을 가진 기판 위에 게이트 절연막, 금속막 및 제 1감광막패턴을 차례로 형성하되, 상기 제 1감광막패턴은 상기 회로부 n채널 TFT영역에서는 게이트전극이 형성될 부위를 덮고 상기 회로부 p채널 TFT영역에서는 전면을 서로 다른 두께로 덮되, 게이트전극이 형성될 부위가 상대적으로 두껍게 형성되는 단계와, 제 1감광막 패턴을 마스크로 상기 금속막을 패터닝하여 상기 회로부 n채널 TFT영역에 제 1게이트전극을 형성하는 단계와, 상기 제 1감광막 패턴을 에싱하여 상기 회로부 p채널 TFT영역의 게이트전극이 형성될 부위 주변을 노출하는 단계와, 상기 에싱된 제 1감광막 패턴을 마스크로 상기 기판 전면에 n타입 이온주입을 실시하여 상기 제 1게이트전극 양측 하부의 제 1활성층에 회로부 제 1소오스영역 및 회로부 제 1드레인영역을 형성하는 단계와, 상기 에싱된 제 1감광막 패턴을 마스크로 상기 잔류된 금속막을 패터닝하여 상기 회로부 p채널 TFT영역에 제 2게이트전극을 형성하는 단계와, 상기 에싱된 제 1감광막 패턴을 마스크로 상기 기판 전면에 p타입 이온주입을 실시하여 상기 제 2게이트전극 양측 하부의 제 2활성층에 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 형성하는 단계를 포함한다.
- <47> 상기 n타입 이온은 상기 p타입 이온보다 고농도로 주입되며, 상기 n타입 이온 농도는  $5E15 \text{ ion/cm}^2 \sim 5E16 \text{ ion/cm}^2$  범위이고, 상기 p타입 이온 농도는  $5E14 \text{ ion/cm}^2 \sim 5E15 \text{ ion/cm}^2$  범위인 것이 바람직하다.
- <48> 상기 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 형성한 다음, 상기 회로부 제 2소오스영역 및 회로부 제 2드레인영역을 가진 기판 위에 보호막을 형성하는 단계와, 상기 보호막을 패터닝하여 회로부 제 1,2소오스영역 및 회로부 제 1,2드레인영역을 각각 노출하는 제 1, 제 2, 제 3 및 제 4콘택홀들을 형성하는 단계와, 상기 제 1, 제 2, 제 3 및 제 4콘택홀들을 덮는 각각의 회로부 제 1, 제 2소오스전극 및 회로부 제 1, 제 2드레인전극을 형성하는 단계를 더 포함한다.

**효 과**

- <49> 본 발명에 따르면, 회절노광 공정에 의해 하나의 마스크를 이용하여 회로부 n, p채널 TFT영역에 각각 회로부 제 1 2게이트전극 형성 및 상기 회로부 제 1 2게이트전극 양측 하부에 소오스영역 및 드레인영역을 형성한다.
- <50> 따라서, 박막 트랜지스터 제조에 사용되는 마스크 수를 줄여 제조공정 및 비용을 절감시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <51> 도 4는 본 발명에 따른 액정표시장치의 어레이기판 일부를 개략적으로 나타낸 평면도로서, 이하에서는 본 발명에 따른 액정표시장치의 어레이기판에 대해 설명하면 다음과 같다.
- <52> 도 4에 도시된 바와 같이, 절연기판(201)에는 종횡으로 화소영역을 정의하는 게이트라인(250)과 데이터라인(240)이 형성되어 있다. 상기 절연 기판(201)은 어레이기판에 해당된다. 상기 게이트라인(250)과 데이터라인(240)의 교차영역에는 스위칭 소자인 TFT(Thin Film Transistor)가 형성되어 있다. 상기 화소영역 내에는 상기 TFT에 연결되어 컬러필터 기판(미도시)의 공통전극(미도시)과 함께 액정(미도시)을 구동시키는 화소전극인 화소부 드레인전극패턴(225P2)이 형성되어 있다.
- <53> 상기 TFT는 게이트라인(250)에 연결된 화소부 게이트전극(213P2), 데이터라인(240)에 연결된 화소부 소오스전극(223S1) 및 화소부 드레인전극(223D1)으로 구성되어 있다. 또한, 상기 TFT는 상기 화소부 게이트전극(213P2)에 공급되는 게이트전압에 의해 화소부 소오스전극(223S1) 및 화소부 드레인전극(223D1) 간에 전도채널을 형성하는 제 1활성층(205P1)을 포함한다. 상기 제 1활성층(205P1)은 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)으로 구분된다. 상기 제 1활성층(205P1)은 일부가 화소영역 쪽으로 연장되며, 상기 화소영역 쪽으로 연장된 상기 제 1활성층(205P1) 상부에는 스토리지전극(209P)이 형성되어 있다. 상기 스토리지전극(209P)은 nt실리콘층 또는 금속막으로 패터닝될 수 있다. 상기 제 1활성층(205P1)과 상기 스토리지전극(209P) 사이에 절연막(미도시)이 개재될 수 있다.
- <54> 상기 화소영역 내에는 상기 게이트라인(250)과 실질적으로 동일한 방향으로 공통라인(213P3)이 형성되어 있다. 상기 공통라인(213P3)은 게이트절연막(미도시)을 사이에 두고 상기 스토리지전극(209P)와 중첩하여 스토리지 커패시터를 구성한다. 상기 공통라인(213P3)은 상기 화소부 게이트전극(213P2)과 동일 막으로 패터닝될 수 있다. 상기 활성층(205P1)과 상기 스토리지전극(209P) 사이에 절연막이 개재된 경우, 상기 절연막은 제 1게이트절연막

에 해당될 수 있고, 상기 게이트절연막은 제 2게이트절연막에 해당될 수 있다.

- <55> 상기 공통라인(213P3)을 가진 기판을 덮도록 보호막(미도시)이 배치된다. 상기 보호막 및 게이트절연막에는 상기 제 1활성층(205P1)의 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)을 각각 노출하는 제 1콘택홀(221H1) 및 제 2콘택홀(221H2)이 형성된다. 상기 화소부 소오스전극(223S1) 및 화소부 드레인전극(223D1)은 상기 제 1콘택홀(221H1) 및 제 2콘택홀(221H2)을 통해 각각 상기 제 1활성층(205P1)의 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)과 전기적으로 연결된다.
- <56> 상기 화소부 드레인전극패턴(225P2)은 상기 화소부 드레인전극(223D1)을 덮으며, 일부위가 화소영역 쪽으로 연장되도록 배치된다. 상기 화소부 드레인전극패턴(225P2)은 화소전극에 해당될 수 있다. 또한, 상기 화소부 소오스전극(223S1) 상에는 화소부 소오스전극패턴(225P1)이 형성된다. 상기 화소부 드레인전극패턴(225P2) 및 상기 화소부 소오스전극패턴(225P1)은 동일 막으로 패터닝될 수 있다.
- <57> 도 5a 내지 도 5g는 도 4에 도시된 어레이 기판의 III-III'선에 따른 제조공정을 순차적으로 나타낸 공정별 단면도로서, 이하에서는 도 5a 내지 도 5g를 참고로 하여 본 발명에 따른 액정표시장치의 어레이 기판 제조방법에 대해 설명하기로 한다.
- <58> 도 5a에 도시된 바와 같이, 절연 기판(201)을 제공한다. 상기 절연기판(201)에는 n채널(또는 p채널) TFT영역과 스토리지영역으로 구분되는 화소부 및 n채널 TFT영역과 p채널 TFT영역으로 구분되는 회로부가 각각 정의되어 있다. 즉, 상기 화소부는 n채널 TFT 또는 p채널 TFT가 모두 형성 가능하며, 상기 회로부는 n채널 TFT와 p채널 TFT가 모두 형성되어 CMOS 형태를 이룬다. 상기 절연 기판(201)은 어레이기판일 수 있다. 상기 절연기판(201)은 유리 등의 투명한 기판일 수 있다. 상기 절연기판(201) 상에 버퍼층(203), 다결정실리콘막(205), 절연막(207), 스토리지전극막(209)을 차례로 형성한다. 상기 절연막(207)은 게이트 절연막일 수 있다. 상기 절연막(207)은 실리콘 산화막(SiO<sub>2</sub>)일 수 있다. 상기 절연막(207)은 생략될 수도 있다. 상기 스토리지전극막(209)은 n+실리콘층 또는 금속막일 수 있다.
- <59> 이어, 도 5b에 도시된 바와 같이, 슬릿 또는 하프톤 마스크(미도시)를 이용하여 상기 스토리지전극막을 가진 기판 상에 제 1감광막패턴(230)을 형성한다. 상기 제 1감광막패턴(230)은 회로부의 n채널 TFT영역과 p채널 TFT영역, 및 화소부의 n채널 TFT영역이 상기 화소부의 스토리지영역보다 상대적으로 얇게 형성된다. 상기 제 1감광막패턴(230)을 이용하여 상기 스토리지전극막, 절연막 및 다결정실리콘막을 선택적으로 1차 식각하여 상기 화소부를 덮는 화소패턴(210P1), 및 회로부의 n채널 TFT영역과 p채널 TFT영역을 각각 덮는 제 1 및 제 2회로패턴들(210P2)(210P3)을 형성한다. 상기 스토리지전극막, 절연막 및 다결정실리콘막은 동시에 식각될 수 있다. 상기 식각 공정은 건식으로 진행되거나 또는 습식과 건식을 혼용하여 진행될 수 있다.
- <60> 그 다음, 도 5c에 도시된 바와 같이, 상기 제 1감광막패턴을 에칭한다. 상기 에칭 후 잔류된 제 1감광막패턴(230P)은 상대적으로 두께가 얇은 회로부의 n채널 TFT영역과 p채널 TFT영역, 및 상기 화소부의 TFT영역이 모두 제거되며, 화소부의 스토리지영역에만 선택적으로 잔류된다. 이어, 상기 잔류된 제 1감광막패턴(230P)에 의해 노출된 상기 화소패턴(210P1) 및 제 1, 제 2회로패턴들(210P2)(210P3)로부터 스토리지전극막 및 절연막을 선택적으로 제거한다. 그 결과, 상기 화소부의 스토리지영역에는 잔류된 스토리지전극막으로 이루어진 스토리지전극(209P)이 형성된다. 이때, 상기 화소부의 n채널 TFT영역, 상기 회로부의 n채널 TFT영역, 및 상기 회로부의 p채널 TFT영역에는 다결정실리콘막으로 된 각각의 제 1, 제2 및 제 3활성층(205P1)(205P2)(205P3)이 형성된다.
- <61> 이 후, 도 5d에 도시된 바와 같이, 상기 잔류된 제 1감광막패턴을 제거한다. 상기 제1,제2 및 제 3활성층(205P1)(205P2)(205P3)을 가진 기판 상에 게이트절연막(211), 제 1금속막(213) 및 제 2감광막패턴(233)을 차례로 형성한다. 한편, 도 5a에서 처럼, 상기 절연막(207)이 다결정실리콘막(205)과 스토리지전극막(209) 사이에 개재될 경우, 상기 절연막(207)은 제 1게이트절연막에 해당되고, 상기 게이트절연막(211)은 제 2게이트절연막에 해당될 수 있다. 이와 같이, 게이트절연막이 상기 제 1게이트절연막과 제 2게이트절연막의 2중 구조를 이룰 경우, 상기 2중 구조를 가진 게이트절연막의 총 두께는 상기 제 1게이트 절연막 및 상기 제 2게이트 절연막을 합한 값에 해당된다. 따라서, 본 발명에 따른 상기 2중 구조를 가진 게이트절연막은 상기 제 1게이트 절연막 및 상기 제 2게이트 절연막 두께를 적절하게 조절함으로써 기존과 동일한 두께로 형성한다.
- <62> 한편, 상기 제 2감광막패턴(233)은 상기 화소부의 게이트전극이 형성될 부위, 상기 회로부의 n채널 TFT영역의 n채널 게이트전극이 형성될 부위, 및 p채널 TFT영역 전체를 덮도록 패터닝된다. 이때, 상기 제 2감광막패턴(233)은 상기 p채널 TFT영역 전체를 덮되, 서로 다른 두께를 가지며, 구체적으로 상기 p채널 TFT영역의 p채널 게이트전극이 형성될 부위가 다른 부위에 비해 상대적으로 두껍게 패터닝된다. 즉, 상기 제 2감광막패턴(233)은

상기 회로부 n채널 TFT영역에서 소오스/드레인영역이 형성될 부위만을 선택적으로 노출하도록 패터닝된다.

- <63> 이어, 도 5e에 도시된 바와 같이, 상기 제 2감광막패턴을 이용하여 상기 제 1금속막을 식각하여 상기 화소부에 화소부 게이트전극(213P1) 및 공통라인(213P2)을 형성하고, 이와 동시에 상기 회로부의 n형 TFT영역에 회로부 제 1게이트전극(213P3)을 형성한다. 상기 제 1금속막 식각 공정은 습식 식각으로 진행될 수 있다. 그 결과, 상기 화소부 게이트전극(213P1), 공통라인(213P3) 및 회로부 제 1게이트전극(213P4)은 측면으로 과도 식각될 수 있다.
- <64> 계속하여, 상기 제 2감광막패턴을 에싱하여 상기 회로부 p채널 TFT영역 상의 제 1금속막을 노출시킨다. 그 다음, 상기 에싱된 제 2감광막 패턴(233)을 마스크로 하여 기판에 n<sup>+</sup>이온을 고농도로 도핑을 실시한다. 여기서, 상기 도핑되는 n<sup>+</sup>이온 농도는 5E15 ion/cm<sup>2</sup> ~ 5E16 ion/cm<sup>2</sup> 범위인 것이 바람직하다. 이때, 가속전압은 20~60KV에 해당된다.
- <65> 그 결과, 상기 화소부의 n채널 TFT영역에 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)이 형성되고, 상기 회로부의 n채널 TFT영역에 회로부 제2소오스영역(205P2S) 및 회로부 제 2드레인영역(205P2D)이 형성된다. 즉, 상기 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)은 상기 화소부 게이트전극(213P2) 양측 하부의 제 1활성층(205P1)에 형성된다. 또한, 상기 회로부 제 2소오스영역(205P2S) 및 회로부 제 2드레인영역(205P2D)은 상기 회로부 제 2게이트전극(213P4) 양측 하부의 제 2활성층(205P2)에 형성된다.
- <66> 한편, 상기 n<sup>+</sup>이온 고농도 도핑 공정 시에, 상기 n<sup>+</sup>이온은 제 1게이트전극 (213P3)측면 하부까지도 도핑됨에 따라, 상기 화소부의 n채널 TFT영역에는 제 1엘디디영역(205P1L)이 형성되고, 상기 회로부의 n채널 TFT영역에는 제 2엘디디영역(205P2L)이 형성된다.
- <67> 이어, 도 5f에 도시된 바와 같이, 상기 에싱된 제 2감광막패턴(233)을 마스크로 상기 회로부 p채널 TFT영역에 잔류된 제 1금속막을 식각하여 회로부 제 2게이트전극(213P4)을 형성한다.
- <68> 그 다음, 도 5g에 도시된 바와 같이, 상기 에싱된 제 2감광막패턴(233)을 마스크로 기판 전면에서 p<sup>+</sup>이온 도핑을 실시한다. 여기서, 상기 p<sup>+</sup>타입 이온은 상기 n<sup>+</sup>타입 이온보다도 저농도로 도핑되어야 하며, 바람직하게는 p<sup>+</sup>타입 이온 농도는 5E14 ion/cm<sup>2</sup> ~ 5E15 ion/cm<sup>2</sup> 범위로 도핑된다. 이때, 가속전압은 20~60KV에 해당된다.
- <69> 그 결과, 상기 회로부의 p채널 TFT영역에 회로부 제 2소오스영역(205P3S) 및 회로부 제 2드레인영역(205P3D)이 형성된다.
- <70> 이 후, 상기 에싱된 제 2감광막패턴을 제거한다. 이후, 상기 회로부 제 2소오스/드레인영역(205P3S)(205P3D)을 가진 기판 상에 보호막(221)을 형성한다. 상기 보호막(221)은 차례로 적층된 실리콘산화막(SiO<sub>2</sub>) 및 실리콘질화막(SiNx)을 이용할 수 있다. 이때, 상기 보호막(221)은, (1) 상기 실리콘 산화막을 증착하고 활성화와 열처리한 다음, 상기 실리콘 질화막을 증착하고 수소화 열처리를 실시하거나, 또는 (2) 상기 실리콘산화막(SiO<sub>2</sub>) 및 실리콘질화막(SiNx)을 차례로 형성하고 나서 이들 막을 열처리하여 형성한다. 여기서, (2)방법으로 보호막(221)을 형성할 경우, 1회의 열처리를 통해 상기 실리콘산화막(SiO<sub>2</sub>)의 활성화 및 실리콘질화막(SiNx)의 수소화를 동시에 진행할 수 있다. 한편, 상기 보호막(221)으로 단일의 실리콘질화막(SiNx)을 이용할 수 있다.
- <71> 이어, 별도의 마스크(미도시)를 이용하여 상기 보호막 및 게이트절연막을 식각하여 제1, 제2, 제3, 제4, 제5 및 제 6콘택홀(221H1)(221H2)(221H3)(221H4)(221H5)(221H6)을 형성한다. 상기 제 1콘택홀(221H1)과 제 2콘택홀(221H2)은 상기 화소부 소오스영역(205P1S) 및 화소부 드레인영역(205P1D)을 노출한다. 여기서, 상기 제 2콘택홀(221H2)은 상기 화소부 드레인영역(205P1D) 뿐만 아니라 상기 스토리지전극(209P)의 일부위도 함께 노출하도록 패터닝된다. 상기 제 3콘택홀(221H3) 및 제 4콘택홀(221H4)은 상기 회로부 제 2소오스영역(205P2S) 및 회로부 제 2드레인영역(205P2D)을 노출한다. 상기 제 5콘택홀(221H5) 및 제 6콘택홀(221H6)은 상기 회로부 제 1소오스영역(205P3S) 및 회로부 제 1드레인영역(205P3D)을 노출한다.
- <72> 그 다음, 상기 콘택홀들을 가진 기판 상에 제 2금속막을 형성한다. 상기 제 2금속막을 패터닝하여 화소부 n채널 TFT영역에 상기 제 1콘택홀(221H1) 및 제 2콘택홀(221H2)을 덮는 화소부 소오스전극(223S1) 및 화소부 드레인전극(223D1)을 형성한다. 상기 화소부 소오스전극(223S1) 및 화소부 드레인전극(223D1)이 형성되는 동안, 상기 회로부의 n채널 TFT영역에도 제 3콘택홀(221H3) 및 제 4콘택홀(221H4)을 덮는 회로부 제 2소오스전극(223S3) 및 회로부 제 2드레인전극(223D3)이 형성된다. 또한, 상기 회로부 p채널 TFT영역에도 상기 제 5콘택홀(221H5) 및 제 6콘택홀(221H6)을 덮는 회로부 제 1소오스전극(223S2) 및 회로부 제 1드레인전극(223D2)가 형성된다.
- <73> 이어, 상기 소오스전극들(223S1)(223S2)(223S3) 및 드레인전극들(223D1)(223D2)(223D3)을 가진 기판 상에 투명

도전막을 형성한다. 상기 투명도전막을 패터닝하여 상기 화소부 소오스전극(223S1)을 덮는 화소부 소오스전극패턴(225P1) 및 화소부 드레인전극(223D1)을 덮는 화소부 드레인전극패턴(225P2)을 형성한다. 여기서, 상기 화소부 드레인전극패턴(225P2)은, 도 4에 도시된 바와 같이, 상기 화소부 드레인전극(223D1)을 덮되, 화소영역 쪽으로 연장되도록 패터닝된다. 상기 화소부 드레인전극패턴(225P2)은 화소전극일 수 있다. 이와 동시에, 상기 회로부의 p채널 TFT영역 및 n채널 TFT영역에도 회로부 제 1, 제2소오스전극(223S2)(223S3)을 덮는 회로부 제 1, 제 2소오스전극패턴(225P5)(225P3)이 형성되고, 상기 회로부 제 1, 제2드레인전극(223D2)(223D3)을 덮는 회로부 제 1, 제 2드레인전극패턴(225P6)(225P4)이 형성된다.

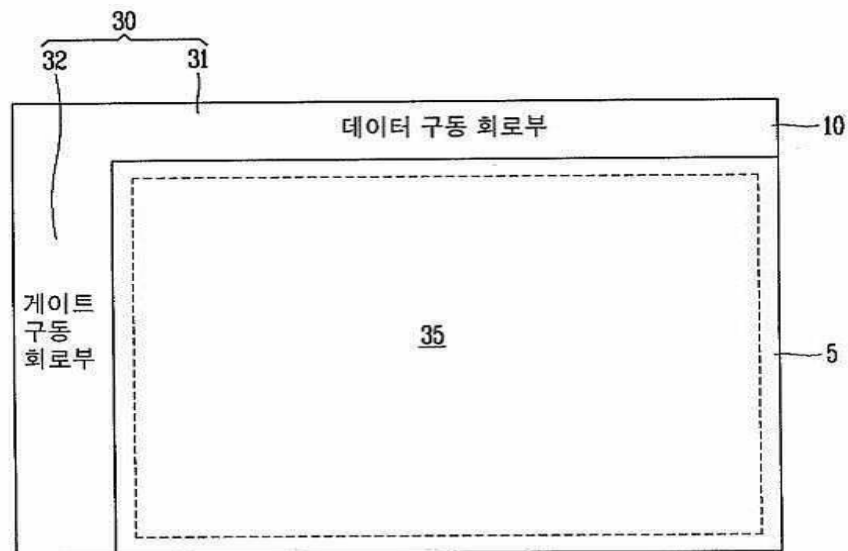
<74> 상술한 바와 같이, 본 발명에서는 회절 노광을 통해 활성층 및 스토리지전극을 형성하고(제 1마스크공정), 화소부에 화소부 게이트전극, 공통라인 형성 및 회로부 n, p채널 TFT영역에 각각 회로부 제 1 게이트전극 형성(제 2마스크 공정), 보호막에 콘택홀 형성공정(제 3마스크 공정), 소오스전극 및 드레인전극 형성(제 4마스크 공정), 및 소오스전극패턴 및 드레인전극패턴 형성(제 5마스크 공정)을 진행한다. 따라서, 이와같은 공정을 거치고개구율 5마스크 CMOS 구조를 구현할 수 있다.

**도면의 간단한 설명**

- <75> 도 1은 일반적인 구동회로 일체형 액정표시장치의 구조를 개략적으로 나타내는 평면도.
- <76> 도 2는 종래 기술에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.
- <77> 도 3a 내지 도 3g는 도 2에 도시된 어레이 기관의 I-I'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- <78> 도 4는 본 발명에 따른 액정표시장치의 어레이기관 일부를 개략적으로 나타낸 평면도
- <79> 도 5a 내지 도 5g는 도 4에 도시된 어레이 기관의 III-III'선에 따른 제조공정을 순차적으로 나타낸 공정별 단면도.

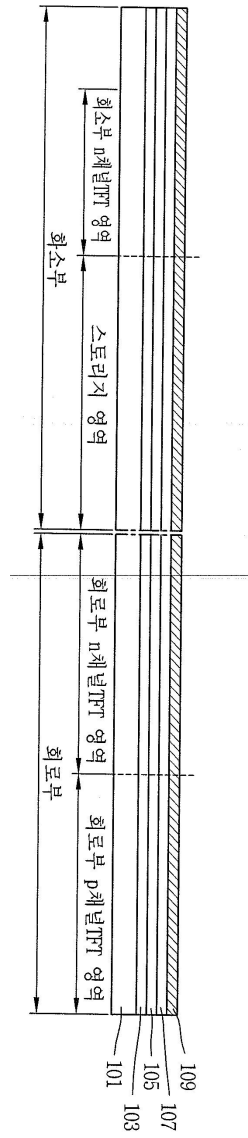
**도면**

**도면1**



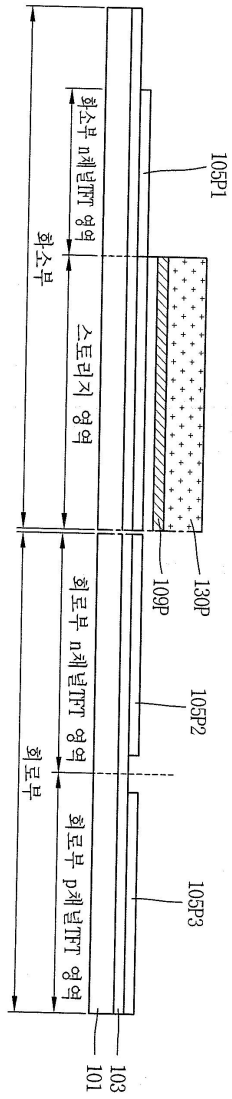


도면3a

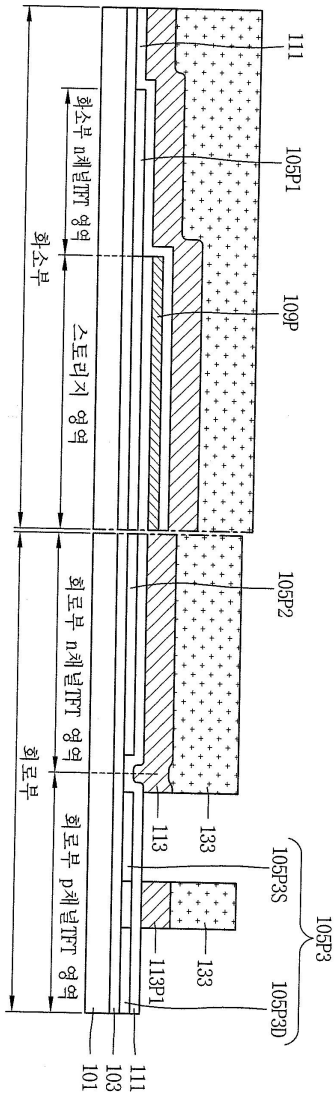




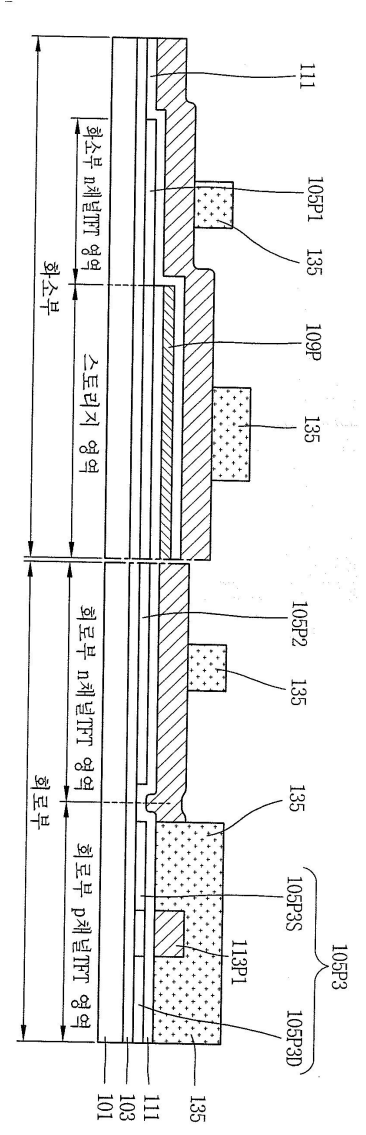
도면3c



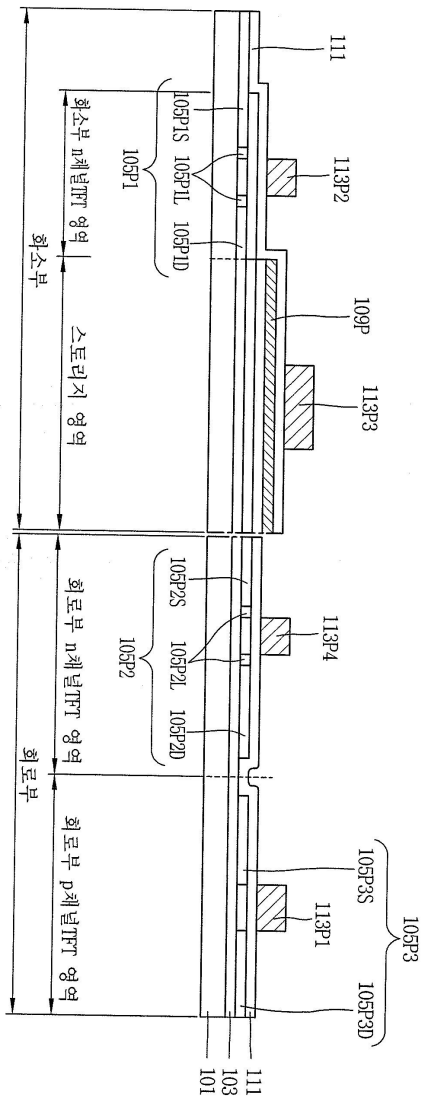
도면3d



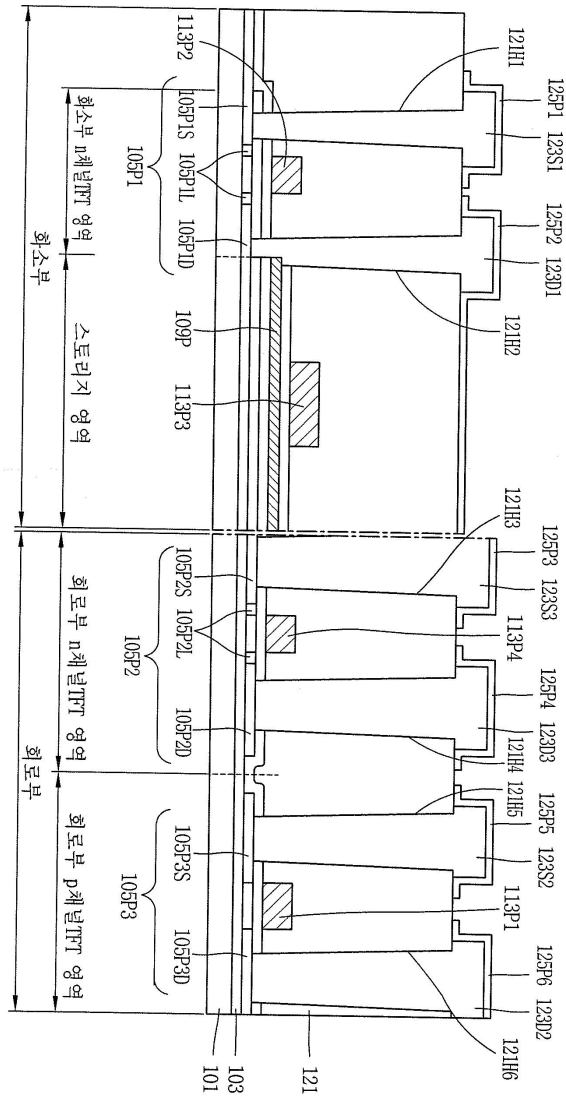
도면3e



도면3f

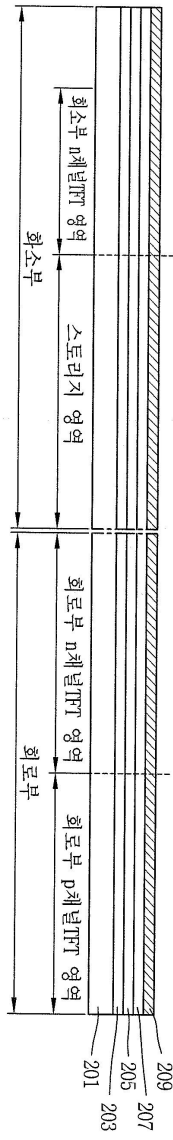


도면3g

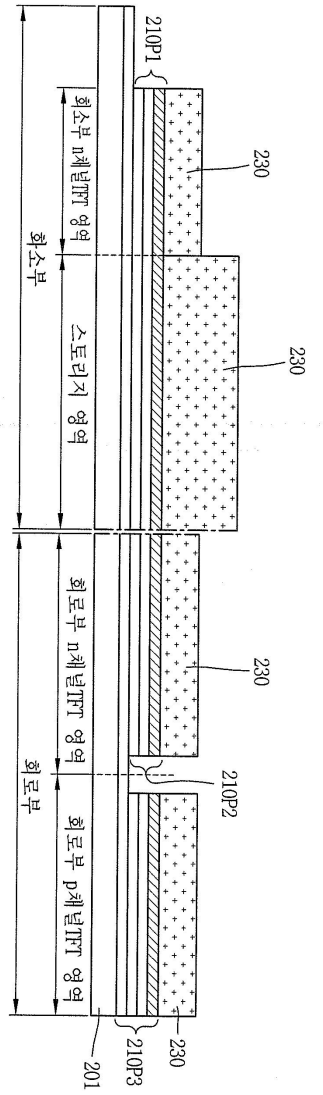




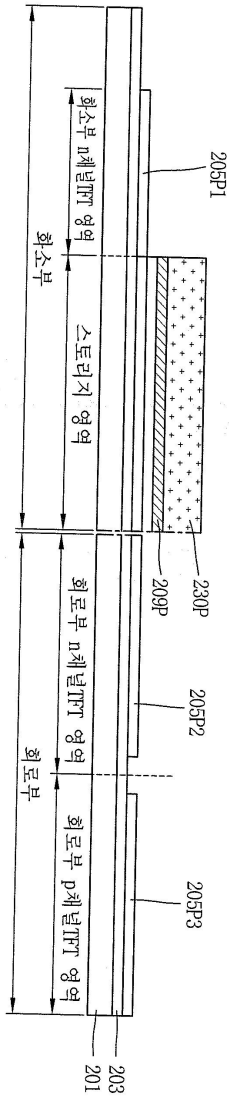
도면5a



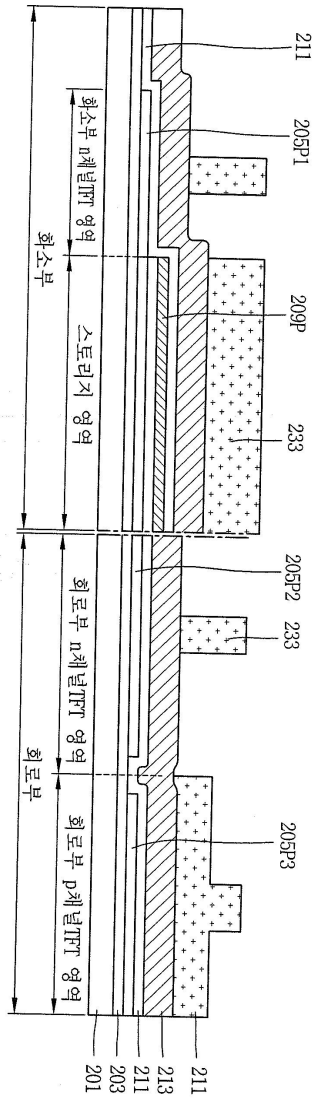
도면5b



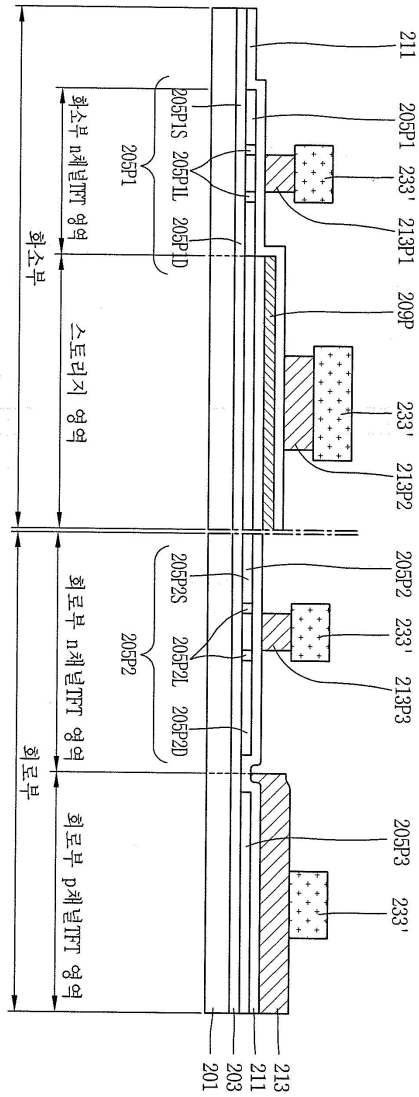
도면5c



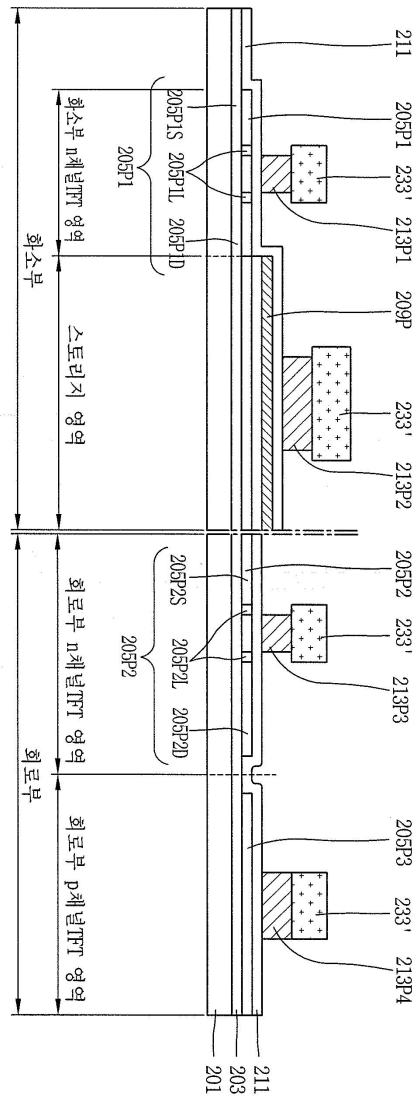
도면5d



도면5e



도면5f





专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR1020090050445A</a>	公开(公告)日	2009-05-20
申请号	KR1020070116872	申请日	2007-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK CHAN IL		
发明人	PARK, CHAN IL		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L27/1288 H01L21/823814 H01L27/092		
代理人(译)	PARK, JANG WON		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明公开了一种制造液晶显示装置的方法，其中减少了掩模的数量以简化制造工艺并提高产量。公开的本发明的方法分别在电路n沟道TFT区域的第一有源层和所述电路(P)，其包括以下步骤：提供具有电路部分的绝缘基板由一个沟道TFT的区域，电路n沟道TFT区域和所述基板的电路p沟道TFT区域被分离，并且在第二步骤中，第一和第二，但栅极绝缘膜，金属膜和具有第二活性层的基板上的第一光致抗蚀剂图案，进而，所述第一感光膜图案是形成在第二有源层作为栅电极的电路n沟道TFT区域在栅极绝缘膜上形成栅电极；在栅极绝缘膜上形成栅电极；在栅极绝缘膜上形成栅电极；在沟道TFT区域中形成第一栅电极；以及蚀刻第一光刻胶图案以形成栅电极和周围暴露的区域中形成，在第一光致抗蚀剂图案作为掩模的灰化来进行n型离子注入到衬底前电路部到第一栅电极的第一有源层两侧的下侧的第一源极区和一个电路部通过使用灰化的第一光致抗蚀剂图案作为掩模图案化剩余的金属膜，在电路部分的p沟道TFT区域中形成第二栅电极；经受p型离子注入到衬底表面中的掩模的图形，和形成在所述第二电路中的第二电路源极区和漏极区两侧的第二栅电极下部的第二有源层。

