



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0002429
(43) 공개일자 2009년01월09일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0064222

(22) 출원일자 2007년06월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정규영

서울 송파구 송파동 43-15호 301호

(74) 대리인

윤재석, 권영규, 한지희

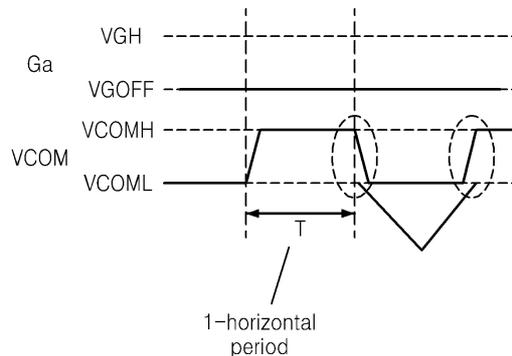
전체 청구항 수 : 총 10 항

(54) 전력 소모를 줄이기 위한 게이트 드라이버 및 그를 구비하는 디스플레이 장치

(57) 요약

전력 소모를 줄이기 위한 게이트 드라이버, 및 그를 구비하는 디스플레이 장치가 개시된다. 상기 게이트 드라이버는 순차적으로 수신되는 게이트 라인 선택 데이터(G_index)를 디코딩하여 다수의 게이트 라인 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호를 순차적으로 출력하는 라인 디코더 블락; 상기 라인 디코더 블락으로부터 출력되는 상기 게이트 라인 선택 신호를 소정의 전압 레벨로 변환하여 게이트 라인 구동 신호로써 출력하는 제1 레벨 쉬프터 블락; 및 상기 게이트 라인 구동 신호를 대응되는 게이트 라인을 통하여 액정 패널로 버퍼링하는 다수의 출력 버퍼들을 포함하는 출력 버퍼 블락을 구비하고, 상기 다수의 출력 버퍼들 각각은 상기 게이트 라인 구동 신호와 제1 제어 신호 또는 제2 제어 신호에 기초하여 대응되는 게이트 라인으로 제1 전압 또는 제2 전압 중 어느 하나를 출력한다.

대표도 - 도3



특허청구의 범위

청구항 1

순차적으로 수신되는 게이트 라인 선택 데이터(G_index)를 디코딩하여 다수의 게이트 라인 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호를 순차적으로 출력하는 라인 디코더 블록;

상기 라인 디코더 블록으로부터 출력되는 상기 게이트 라인 선택 신호를 소정의 전압 레벨로 변환하여 게이트 라인 구동 신호로써 출력하는 제1 레벨 쉬프터 블록; 및

상기 게이트 라인 구동 신호를 대응되는 게이트 라인을 통하여 액정 패널로 버퍼링하는 다수의 출력 버퍼들을 포함하는 출력 버퍼 블록을 구비하고,

상기 다수의 출력 버퍼들 각각은,

상기 게이트 라인 구동 신호와 제1 제어 신호 또는 제2 제어 신호에 기초하여 대응되는 게이트 라인으로 제1 전압 또는 제2 전압 중 어느 하나를 출력하거나, 상기 게이트 라인을 하이 임피던스 상태로 만드는 게이트 드라이버.

청구항 2

제1항에 있어서,

상기 다수의 출력 버퍼들 각각은,

상기 게이트 라인 구동 신호의 제1 레벨에 기초하여 턴온되는 P-모스 트랜지스터;

상기 게이트 라인 구동 신호의 제2 레벨에 기초하여 턴온되는 제1 N-모스 트랜지스터; 및

상기 제1 제어 신호 또는 제2 제어 신호에 기초하여 턴온되는 제2 N-모스 트랜지스터를 구비하는 게이트 드라이버.

청구항 3

제2항에 있어서,

상기 제2 N-모스 트랜지스터는,

상기 액정 패널에 인가되는 공통 전압이 상기 제1 레벨에서 제2 레벨로 토글하는 구간에서는 오프 상태가 됨으로써 디스에이블된 게이트 라인들을 하이 임피던스 상태로 만드는 게이트 드라이버.

청구항 4

제1항에 있어서,

상기 게이트 드라이버는,

상기 제1 제어 신호, 및 상기 제2 제어 신호를 출력하기 위한 제2 레벨 쉬프터 블록을 더 구비하는 게이트 드라이버.

청구항 5

제1항에 있어서,

상기 제1 제어 신호는,

홀수번째 출력 버퍼를 제어하기 위한 제어 신호이고,

상기 제2 제어 신호는,

짝수번째 출력 버퍼를 제어하기 위한 제어 신호인 게이트 드라이버.

청구항 6

복수의 게이트 라인들과 다수의 데이터 라인들이 교차하는 영역에 형성된 복수의 화소들을 구비하는 액정 패널;

상기 복수의 게이트 라인으로 스캔 신호를 출력하기 위한 게이트 드라이버;
 상기 복수의 데이터 라인으로 데이터 신호를 출력하기 위한 데이터 드라이버; 및
 상기 스캔 신호와 상기 데이터 신호의 타이밍을 조절하여 출력하기 위한 타이밍 컨트롤러를 구비하며,
 상기 게이트 드라이버는,
 순차적으로 수신되는 게이트 라인 선택 데이터(G_index)를 디코딩하여 다수의 게이트 라인 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호를 순차적으로 출력하는 라인 디코더 블록;
 상기 라인 디코더 블록으로부터 출력되는 상기 게이트 라인 선택 신호를 소정의 전압 레벨로 변환하여 게이트 라인 구동 신호로써 출력하는 제1 레벨 쉬프터 블록; 및
 상기 게이트 라인 구동 신호를 대응되는 게이트 라인을 통하여 액정 패널로 버퍼링하는 다수의 출력 버퍼들을 포함하는 출력 버퍼 블록을 구비하고,
 상기 다수의 출력 버퍼들 각각은,
 상기 게이트 라인 구동 신호와 제1 제어 신호 또는 제2 제어 신호에 기초하여 대응되는 게이트 라인으로 제1 전압 또는 제2 전압 중 어느 하나를 출력하는 디스플레이 장치.

청구항 7

제6항에 있어서,
 상기 다수의 출력 버퍼들 각각은,
 상기 게이트 라인 구동 신호의 제1 레벨에 기초하여 턴온되는 P-모스 트랜지스터;
 상기 게이트 라인 구동 신호의 제2 레벨에 기초하여 턴온되는 제1 N-모스 트랜지스터; 및
 상기 제1 제어 신호 또는 제2 제어 신호에 기초하여 턴온되는 제2 N-모스 트랜지스터를 구비하는 디스플레이 장치.

청구항 8

제7항에 있어서,
 상기 제2 N-모스 트랜지스터는,
 상기 액정 패널에 인가되는 공통 전압이 상기 제1 레벨에서 제2 레벨로 토글하는 구간에서는 오프 상태가 됨으로써 디스에이블된 게이트 라인들을 하이 임피던스 상태로 만드는 디스플레이 장치.

청구항 9

제6항에 있어서,
 상기 게이트 드라이버는,
 상기 제1 제어 신호, 및 상기 제2 제어 신호를 출력하기 위한 제2 레벨 쉬프터 블록을 더 구비하는 디스플레이 장치.

청구항 10

제9항에 있어서,
 상기 제1 제어 신호는,
 홀수번째 출력 버퍼를 제어하기 위한 제어 신호이고,
 상기 제2 제어 신호는,
 짝수번째 출력 버퍼를 제어하기 위한 제어 신호인 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 전력 소모를 줄이기 위한 게이트 드라이버 및 그를 구비하는 디스플레이 장치에 관한 것으로 보다 상세하게는 게이트 채널에서의 부하 전류(load current)를 줄임으로써 전력 소모를 줄일 수 있는 게이트 드라이버 및 그를 구비하는 디스플레이 장치에 관한 것이다.
- <9> 도 1은 일반적인 디스플레이 장치에서의 게이트 드라이버의 블록도이다. 도 1을 참조하면, 상기 게이트 드라이버(100)는 라인 디코더 블록(110), 레벨 쉬프터 블록(120), 및 출력 버퍼 블록(130)을 구비한다.
- <10> 상기 라인 디코더 블록(110)은 다수의 라인 디코더들(111, 112, ..., 113)을 포함하고 N-비트의 게이트 라인 선택 데이터(G_IDX[n:1])를 수신하여 디코딩하고, 다수의 게이트 라인들 중 하나를 선택하기 위한 게이트 라인 선택 신호(GD1, GD2, ..., GDm)로 변환하여 출력한다.
- <11> 상기 레벨 쉬프터 블록(120)은 상기 다수의 게이트 라인에 상응하는 다수의 레벨 쉬프터들(121, 122, 123)을 포함하고, 각각의 레벨 쉬프터(121, 122, 123)는 입력되는 게이트 라인 선택 신호(GD1, GD2, ..., GDm)를 게이트 턴온 전압(VGH), 및 게이트 턴오프 전압(VGOFF) 레벨을 가지는 게이트 라인 구동신호(Gi1, Gi2, Gim)로써 출력한다.
- <12> 상기 출력 버퍼 블록(130)은 상기 다수의 게이트 라인에 상응하는 다수의 버퍼들(131, 132, ..., 133)을 포함하고, 수신된 상기 게이트 라인 구동 신호(Gi1, Gi2, Gim)를 버퍼링하여 다수의 게이트 라인을 통하여 액정 패널로 출력함으로써 상기 액정 패널을 구동한다.
- <13> 도 2는 일반적인 게이트 채널에서의 개략적인 부하 모델을 나타내는 도면이고, 도 3은 일반적인 디스플레이 장치에서 게이트 채널에서의 부하 전류 발생을 설명하기 위한 타이밍도이다.
- <14> 도 2에 도시된 바와 같이 일반적인 디스플레이 장치에서는 상기 게이트 라인들과 상기 액정 패널에 공급되는 공통전압(VCOM)을 인가하는 공통전압 단자 사이에는 로드 레지스턴스(Rg)와 로드 커패시턴스(Cg)가 존재하게 된다.
- <15> 상기 디스플레이 장치는 도트 인버전, 라인 인버전 등의 구동 방법을 이용하여 액정 패널을 구동하게 된다.
- <16> 그런데, 상기 일반적인 액정 패널을 라인 인버전 방식으로 구동할 경우, 도 3에 도시된 바와 같이, 상기 공통전압(VCOM)이 제1 전압 레벨(VCOMH)과 제2 전압 레벨(VCOML) 사이를 토글링함으로써 상기 액정 패널은 라인 인버전 방식으로 구동하게 된다.
- <17> 그런데, 상기 공통전압(VCOM)이 상기 제1 전압 레벨(VCOMH)과 제2 전압 레벨(VCOML) 사이에서 변하는 구간에서 부하 전류(load current)가 발생함으로써 불필요한 전력 소모가 발생하게 된다. 또한, 상기 디스플레이 장치의 해상도와 크기가 증가할수록 게이트 드라이버 채널 수, 즉, 게이트 라인이 증가함으로써 상기 부하 전류를 더욱 증가하게 되고, 그에 상응하여 전력 소모도 크게 증가하게 된다.

발명이 이루고자 하는 기술적 과제

- <18> 따라서, 본 발명이 이루고자 하는 기술적 과제는 액정 패널의 게이트 라인에서의 부하 전류를 줄임으로써 전력 소모를 줄일 수 있는 게이트 드라이버, 및 그를 구비하는 디스플레이 장치를 제공하는 것이다.

발명의 구성 및 작용

- <19> 본 발명에 따른 게이트 드라이버는 순차적으로 수신되는 게이트 라인 선택 데이터(G_index)를 디코딩하여 다수의 게이트 라인 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호를 순차적으로 출력하는 라인 디코더 블록; 상기 라인 디코더 블록으로부터 출력되는 상기 게이트 라인 선택 신호를 소정의 전압 레벨로 변환하여 게이트 라인 구동 신호로써 출력하는 제1 레벨 쉬프터 블록; 및 상기 게이트 라인 구동 신호를 대응되는 게이트 라인을 통하여 액정 패널로 버퍼링하는 다수의 출력 버퍼들을 포함하는 출력 버퍼 블록을 구비하고, 상기 다수의 출력 버퍼들 각각은 상기 게이트 라인 구동 신호와 제1 제어 신호 또는 제2 제어 신호에 기초하여 대응되는 게이트 라인으로 제1 전압 또는 제2 전압 중 어느 하나를 출력한다.

- <20> 상기 다수의 출력 버퍼들 각각은 상기 게이트 라인 구동 신호의 제1 레벨에 기초하여 턴온되는 P-모스 트랜지스터; 상기 게이트 라인 구동 신호의 제2 레벨에 기초하여 턴온되는 제1 N-모스 트랜지스터; 및 상기 제1 제어 신호 또는 제2 제어 신호에 기초하여 턴온되는 제2 N-모스 트랜지스터를 구비한다.
- <21> 상기 제2 N-모스 트랜지스터는 상기 액정 패널에 인가되는 공통 전압이 상기 제1 레벨에서 제2 레벨로 토글하는 구간에서는 오프 상태가 됨으로써 디스에이블된 게이트 라인들을 하이 임피던스 상태로 만든다.
- <22> 상기 게이트 드라이버는 상기 제1 제어 신호, 및 상기 제2 제어 신호를 출력하기 위한 제2 레벨 쉬프터 블락을 더 구비한다.
- <23> 상기 제1 제어 신호는 홀수번째 출력 버퍼를 제어하기 위한 제어 신호이고, 상기 제2 제어 신호는 짝수번째 출력 버퍼를 제어하기 위한 제어 신호이다.
- <24> 본 발명의 따른 디스플레이 장치는 복수의 게이트 라인들과 다수의 데이터 라인들이 교차하는 영역에 형성된 복수의 화소들을 구비하는 액정 패널; 상기 복수의 게이트 라인으로 스캔 신호를 출력하기 위한 게이트 드라이버; 상기 복수의 데이터 라인으로 데이터 신호를 출력하기 위한 데이터 드라이버; 및 상기 스캔 신호와 상기 데이터 신호의 타이밍을 조절하여 출력하기 위한 타이밍 컨트롤러를 구비하며; 상기 게이트 드라이버는 순차적으로 수신되는 게이트 라인 선택 데이터(G_index)를 디코딩하여 다수의 게이트 라인 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호를 순차적으로 출력하는 라인 디코더 블락; 상기 라인 디코더 블락으로부터 출력되는 상기 게이트 라인 선택 신호를 소정의 전압 레벨로 변환하여 게이트 라인 구동 신호로써 출력하는 제1 레벨 쉬프터 블락; 및 상기 게이트 라인 구동 신호를 대응되는 게이트 라인을 통하여 액정 패널로 버퍼링하는 다수의 출력 버퍼들을 포함하는 출력 버퍼 블락을 구비하고, 상기 다수의 출력 버퍼들 각각은 상기 게이트 라인 구동 신호와 제1 제어 신호 또는 제2 제어 신호에 기초하여 대응되는 게이트 라인으로 제1 전압 또는 제2 전압 중 어느 하나를 출력한다.
- <25> 상기 다수의 출력 버퍼들 각각은 상기 게이트 라인 구동 신호의 제1 레벨에 기초하여 턴온되는 P-모스 트랜지스터; 상기 게이트 라인 구동 신호의 제2 레벨에 기초하여 턴온되는 제1 N-모스 트랜지스터; 및 상기 제1 제어 신호 또는 제2 제어 신호에 기초하여 턴온되는 제2 N-모스 트랜지스터를 구비한다.
- <26> 상기 제2 N-모스 트랜지스터는 상기 액정 패널에 인가되는 공통 전압이 상기 제1 레벨에서 제2 레벨로 토글하는 구간에서는 오프 상태가 됨으로써 디스에이블된 게이트 라인들을 하이 임피던스 상태로 만든다.
- <27> 상기 게이트 드라이버는 상기 제1 제어 신호, 및 상기 제2 제어 신호를 출력하기 위한 제2 레벨 쉬프터 블락을 더 구비한다.
- <28> 상기 제1 제어 신호는 홀수번째 출력 버퍼를 제어하기 위한 제어 신호이고 상기 제2 제어 신호는 짝수번째 출력 버퍼를 제어하기 위한 제어 신호이다.
- <29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재번호를 나타낸다.
- <31> 도 4는 본 발명의 실시예에 의한 디스플레이 장치의 개략적인 블럭도이다. 도 4를 참조하면, 상기 디스플레이 장치(10)는 액정 패널(200), 타이밍 컨트롤러(300), 데이터 드라이버(400), 게이트 드라이버(500)를 구비한다.
- <32> 상기 타이밍 컨트롤러(300), 상기 데이터 드라이버(400), 또는 상기 게이트 드라이버(500) 중에서 적어도 하나는 하나의 칩으로 구현될 수 있다.
- <33> 상기 액정 패널(200)은 두개의 기관(예컨대 TFT 기관, 및 컬러필터 기관)으로 이루어지며, 하나의 기관에 다수의 데이터 라인과 다수의 게이트 라인이 교차 되어 형성되며, 게이트 라인과 데이터 라인이 교차하는 각각의 영역에 픽셀이 형성된다.
- <34> 상기 타이밍 컨트롤러(300)는 상기 데이터 드라이버(400), 및 게이트 드라이버(500)를 제어한다. 상기 타이밍 컨트롤러(300)는 외부로부터 수신되는 픽셀 데이터(R/G/B), 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭 신호(CLK), 및 데이터 인에이블 신호(DE)등에 기초하여 데이터 드라이버(400), 및 게이트 드라이버(500)를 구동시키기 위한 타이밍 제어 신호들(Tc1, 및 Tc2)을 출력한다.

- <35> 즉, 상기 타이밍 컨트롤러(300)는 상기 디스플레이 장치(10)의 동작 타이밍을 제어하기 위한 복수의 타이밍 제어 신호들(Tc1, 및 Tc2) 각각을 상기 데이터 드라이버(400) 및 상기 게이트 드라이버(500) 중에서 대응되는 장치로 출력한다.
- <36> 상기 데이터 드라이버(400)는 제1타이밍 제어 신호(Tc1)에 응답하여 상기 복수의 데이터 라인들(미도시) 각각으로 복수의 데이터 신호들 중에서 대응되는 데이터 신호를 공급한다.
- <37> 상기 게이트 드라이버(500)는 제2타이밍 제어 신호(Tc2)에 응답하여 상기 복수의 게이트 라인들(미도시) 각각으로 복수의 스캔 신호들(G1, G2, ..., G2m-1, G2m) 중에서 대응되는 스캔 신호를 공급한다.
- <38> 도 5는 본 발명의 실시예에 따른 게이트 드라이버의 개략적인 블록도이고, 도 6은 상기 게이트 드라이버의 동작을 설명하기 위한 타이밍도이다. 도 4 내지 도 6을 참조하면, 상기 게이트 드라이버(500)는 라인 디코더 블록(510), 제1 레벨 쉬프터 블록(520), 제2 레벨 쉬프터 블록(530), 및 출력 버퍼 블록(540)을 구비한다.
- <39> 상기 라인 디코더 블록(510)은 다수의 라인 디코더들(511, 512, ..., 513, 514)을 포함한다. 상기 라인 디코더 블록(510)은 N-비트의 게이트 라인 선택 데이터(G_IDX[n:1])를 수신하여 디코딩하고, 다수의 게이트 라인들 중 어느 하나를 선택하기 위한 게이트 라인 선택 신호(GD1, GD2, ..., GD2m-1, GD2m)로 변환하여 순차적으로 출력한다.
- <40> 상기 제1 레벨 쉬프터 블록(520)은 상기 다수의 게이트 라인들에 상응하는 레벨 쉬프터들(521, 522, ..., 523, 524)을 포함한다. 상기 레벨 쉬프터들(521, 522, ..., 523, 524) 각각은 입력되는 게이트 라인 선택 신호(GD1, GD2, ..., GD2m-1, GD2m)를 게이트 턴온 전압(VGH), 및 게이트 턴오프 전압(VGOFF)을 가지는 게이트 라인 구동 신호들(Gi1, Gi2, ..., Gi2m-1, Gi2m)로 변환하여 출력한다.
- <41> 상기 제1 레벨 쉬프터들(521, 522, ..., 523, 524)은 상기 게이트 라인 구동 신호들을 반전시켜 출력하기 위한 인버터를 더 구비하여 구현될 수 있다.
- <42> 상기 제2 레벨 쉬프터 블록(530)은 제1 레벨 쉬프터(531), 및 제2 레벨 쉬프터(532)를 구비한다. 상기 제1 레벨 쉬프터(531), 및 제2 레벨 쉬프터(532) 각각은 제1 제어 신호(GC_ODD) 및 제2 제어 신호(GC_EVEN)를 수신하여 소정의 전압 레벨을 가지는 제3 제어 신호(Gi_ODD) 및 제4 제어 신호(Gi_EVEN)로 변환하여 출력한다.
- <43> 상기 출력 버퍼 블록(540)은 상기 다수의 게이트 라인에 상응하는 다수의 버퍼들(541, 542, ..., 543, 544)을 포함하고, 수신된 상기 게이트 라인 구동 신호들(Gi1, Gi2, ..., Gi2m-1, Gi2m)을 버퍼링하여 다수의 게이트 라인을 인에이블 시키기 위한 스캔 신호들(G1, G2, ..., G2m-1, G2m)을 상기 액정 패널(200)로 출력한다.
- <44> 상기 다수의 버퍼들(541, 542, ..., 543, 544)은 순차적으로 입력되는 상기 게이트 라인 구동 신호(Gi1, Gi2, ..., Gi2m-1, Gi2m)에 응답하여 상기 다수의 게이트 라인 중에서 대응되는 게이트 라인들로 게이트 턴온 전압(VGH)을 출력함으로써 순차적으로 상기 게이트 라인들을 인에이블시킨다.
- <45> 즉, 상기 다수의 버퍼들(541, 542, ..., 543, 544)은 1-수평주기 동안, 즉 상기 다수의 게이트 라인 중에서 어느 하나의 게이트 라인이 인에이블되는 시간 동안 다수의 게이트 라인들 중 어느 하나로만 게이트 턴온 전압(VGH)을 출력한다.
- <46> 또한, 상기 다수의 버퍼들(541, 542, ..., 543, 544)은 상기 제3 제어 신호(Gi_ODD), 또는 상기 제4 제어 신호(Gi_EVEN)에 기초하여 상기 다수의 게이트 라인들 중에서 인에이블되는 게이트 라인을 제외한 나머지 게이트 라인들을 하이 임피던스(Hi-Z) 상태로 만든다.
- <47> 상기 출력 버퍼 블록(540)의 동작을 자세히 설명하면, 상기 출력 버퍼들(541, 542, ..., 543, 544) 각각은 제1 P-모스 트랜지스터(P1), 제1 N-모스 트랜지스터(N1), 및 제2 N-모스 트랜지스터(N2)를 구비한다.
- <48> 상기 제1 P-모스 트랜지스터(P1)는 대응되는 상기 게이트 라인 구동 신호들(Gi1, Gi2, Gi2m-1, ..., Gi2m)의 제2 레벨(예컨대, 'low')에 응답하여 게이트 턴온 전압(VGH)을 상기 각각의 게이트 라인으로 출력한다.
- <49> 상기 제1 N-모스 트랜지스터(N1)는 상기 게이트 라인 구동 신호들(Gi1, Gi2, ..., Gi2m-1, Gi2m)의 제1 레벨(예컨대, 'high')에 응답하여 턴온 되고, 상기 제2 N-모스 트랜지스터(N2)가 턴온 될 경우 턴오프 전압(VGOFF)을 상기 각각의 게이트 라인으로 출력한다.
- <50> 상기 제2 N-모스 트랜지스터(N2)는 상기 제1 P-모스 트랜지스터(P1)와 상기 제1 N-모스 트랜지스터(N1) 사이에 직렬로 접속되어 상기 제3 제어 신호(Gi_ODD), 또는 제4 제어 신호(Gi_EVEN)의 제1 레벨(예컨대, 'high')에 응

답하여 턴온되어 상기 게이트 턴온 전압(VGH)을 상기 각각의 게이트 라인으로 출력한다.

- <51> 상기 제3 제어 신호(Gi_ODD)는 상기 홀수번째 출력 버퍼 블록들의 제2 N-모스 트랜지스터(N2)를 제어하기 위한 신호이고, 상기 제4 제어 신호(Gi_EVEN)는 상기 짝수번째 출력 버퍼 블록들(541, 542, ..., 543, 544)의 제2 P-모스 트랜지스터(N2)를 제어하기 위한 제어 신호이다.
- <52> 또한, 상기 제2 N-모스 트랜지스터(N2)는 상기 제3 제어 신호(Gi_ODD), 또는 제4 제어 신호(Gi_EVEN)의 제2 레벨(예컨대, 'low')에 응답하여 턴오프되어 상기 게이트 라인을 하이 임피던스(Hi-Z) 상태로 만든다.
- <53> 좀더 자세히 설명하면, 도 6에 도시된 바와 같이, 공통 전압(VCOM)이 토글링하는 구간, 즉, 공통전압(VCOM)의 레벨이 천이하는 구간에서 하나의 인에이블되는 게이트 라인을 제외한 나머지 게이트 라인들은 하이 임피던스(Hi-Z)가 됨으로써 상기 공통 전압(VCOM)이 토글링하는 구간에서 발생하는 부하 전류를 크게 줄일 수 있게 된다.
- <54> 즉, 각각의 게이트 라인들로 입력되는 스캔 신호들(G1, G2, ..., G2m-1, G2m)이 제1 레벨(예컨대, 'high')에서 제2 레벨(예컨대, 'low')로 변하는 구간에서만 상기 제3 제어 신호(Gi_ODD) 또는 상기 제4 제어신호(Gi_EVEN)의 제1 레벨(예컨대, 'high')에 기초하여 게이트 턴오프 전압(VGOFF)을 대응되는 각각의 게이트 라인들로 출력한다. 또한, 상기 공통 전압(VCOM)의 전압 레벨이 변하는 구간에서는 상기 제3 제어 신호(Gi_ODD) 또는 상기 제4 제어 신호(Gi_EVEN)의 제2 레벨(예컨대, 'low')에 기초하여 상기 출력 버퍼들은 턴오프 됨으로써 상기 디스에이블된 게이트 라인들은 하이 임피던스(Hi-Z) 상태가 된다.
- <55> 앞서 언급한 바와 같이 상기 공통 전압이 상기 제1 전압과 상기 제2 전압을 토글하는 구간에서 인에이블된 게이트 라인을 제외하고 나머지 게이트 라인들, 즉, 디스에이블된 게이트 라인들은 하이 임피던스(Hi-Z) 상태가 된다.
- <56> 결국, 인에이블되는 하나의 게이트 라인을 제외한 나머지 게이트 라인들과 공통 전압 단자는 일정한 전압 차이를 가지게 되고, 상기 디스에이블된 게이트 라인들은 하이 임피던스(Hi-Z) 상태가 됨으로써 상기 게이트 라인들을 통한 전류의 손실이 크게 작아지게 되고, 결국 부하 전류가 크게 줄어들게 된다.
- <57> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

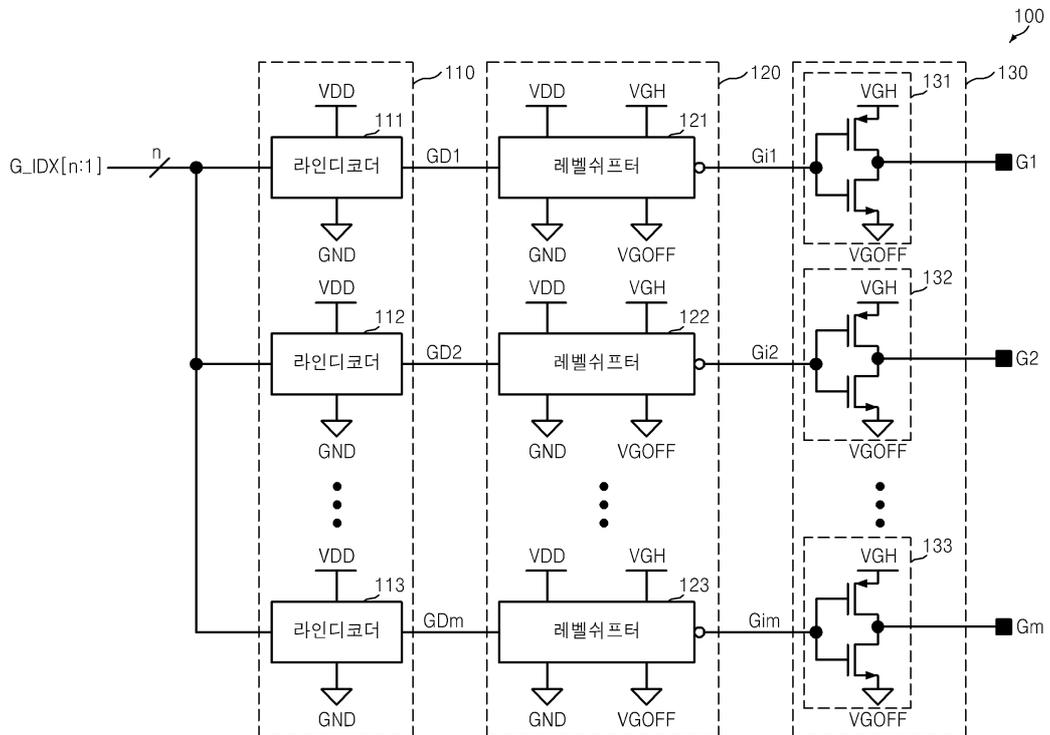
- <58> 상술한 바와 같이 본 발명에 따른 게이트 드라이버는 공통 전압이 토글하는 구간에서 게이트 라인과 공통전압 단자 사이의 부하 전류를 줄임으로써 전력소모를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

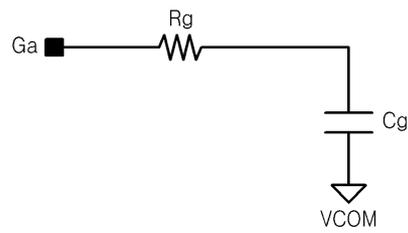
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 일반적인 디스플레이 장치에서의 게이트 드라이버의 블록도이다.
- <3> 도 2는 일반적인 게이트 채널에서의 개략적인 부하 모델을 나타내는 도면이다.
- <4> 도 3은 일반적인 디스플레이 장치에서 게이트 채널에서의 부하 전류 발생을 설명하기 위한 타이밍도이다.
- <5> 도 4는 본 발명의 실시예에 따른 디스플레이 장치의 개략적인 블록도이다.
- <6> 도 5는 본 발명의 실시예에 따른 게이트 드라이버의 개략적인 블록도이다.
- <7> 도 6은 도 5에 도시된 게이트 드라이버의 동작을 설명하기 위한 타이밍도이다.

도면

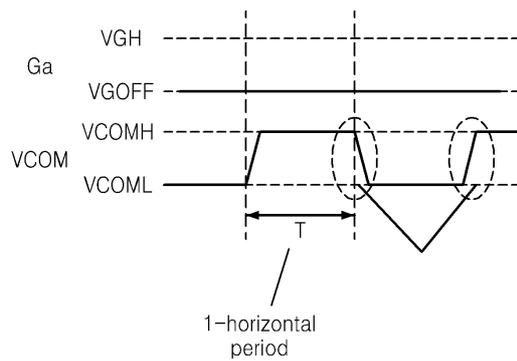
도면1



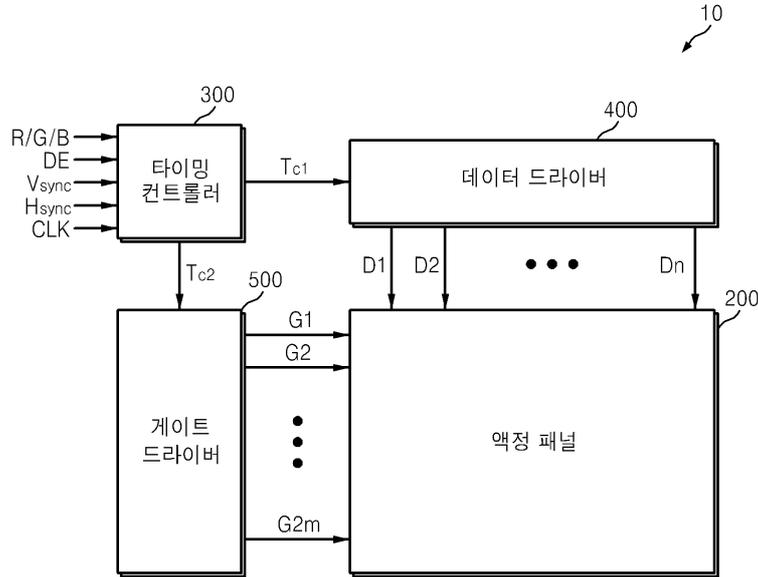
도면2



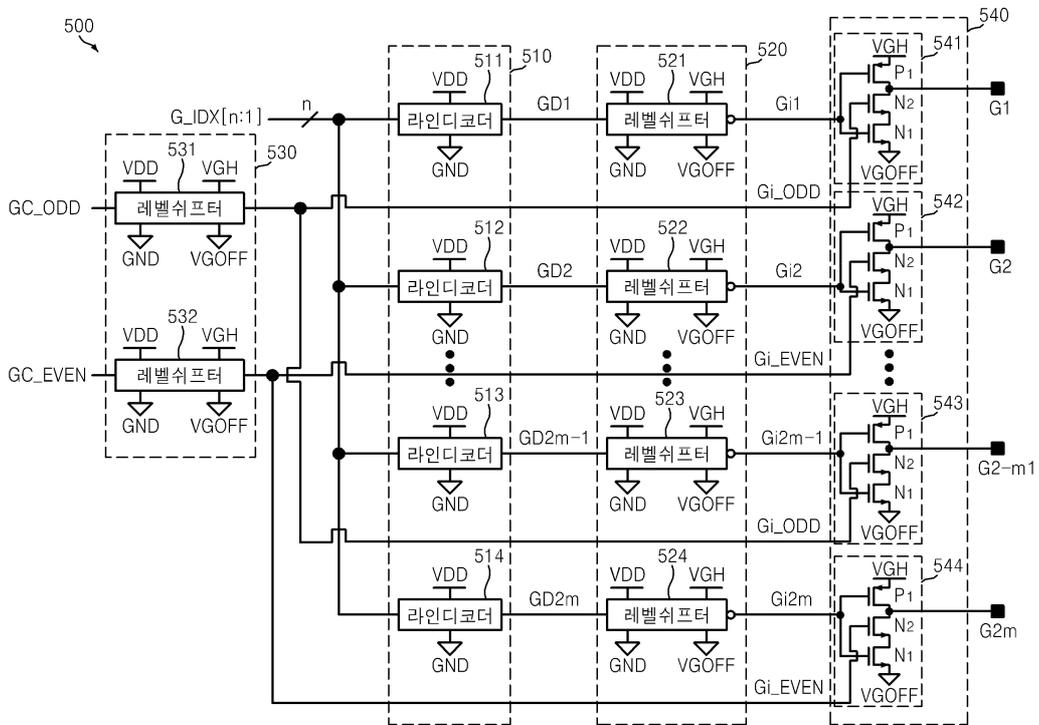
도면3



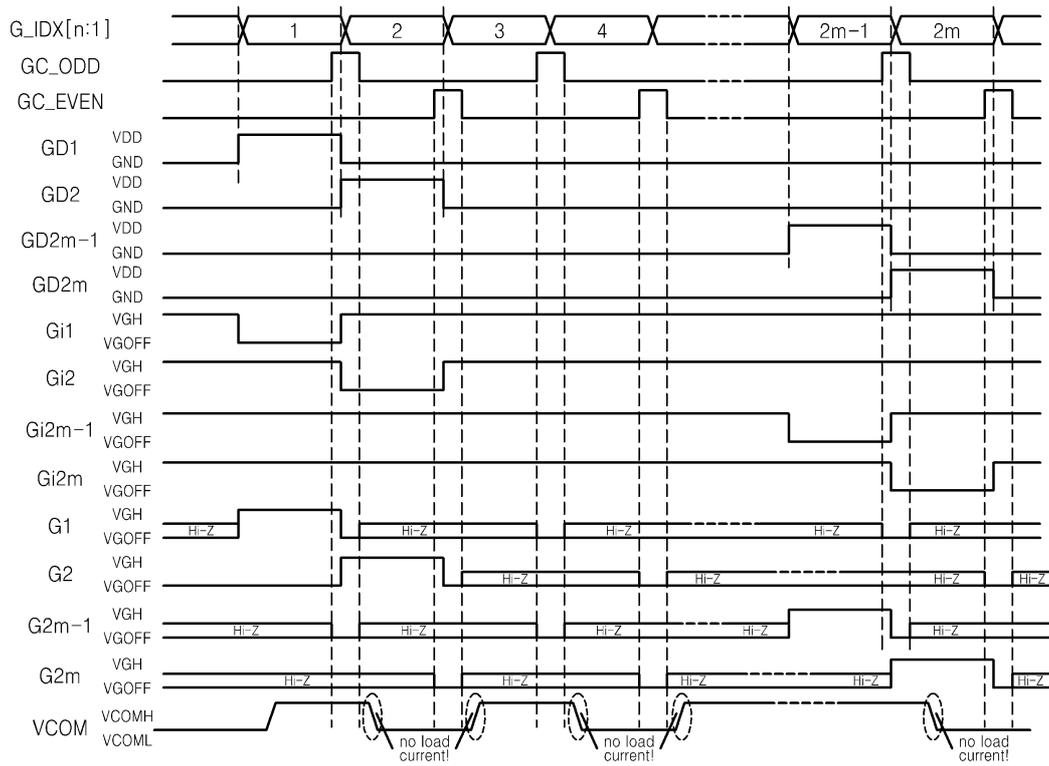
도면4



도면5



도면6



专利名称(译)	用于降低功耗的栅极驱动器和具有该栅极驱动器的显示装置		
公开(公告)号	KR1020090002429A	公开(公告)日	2009-01-09
申请号	KR1020070064222	申请日	2007-06-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHUNG KYU YOUNG		
发明人	CHUNG, KYU YOUNG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3674 G09G3/3685 G09G2310/0213 G09G2310/0289 G09G2310/0291 G09G2310/08 G09G2330/021		
代理人(译)	韩之HEE YOON, JAE SEOK 吴邦国议员		
外部链接	Espacenet		

摘要(译)

公开了一种用于降低功耗的栅极驱动器，以及具有该栅极驱动器的显示装置。栅极驱动器顺序地解码顺序接收的栅极线选择数据 (G_index)，以输出用于选择多条栅极线中的任何一条的栅极线选择信号。第一电平移位器块，用于将从线路解码器块输出的栅极线选择信号转换为预定电压电平，并输出栅极线选择信号作为栅极线驱动信号;和对应于输出缓冲器块通过驱动信号的栅极线的栅极线包括用于缓冲所述液晶面板的多个输出缓冲器的，并且每个多个输出缓冲器的是栅极线驱动信号和第一控制信号或者，基于第二控制信号，将第一电压或第二电压中的一个输出到对应的栅极线。

