



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.

G02F 1/1343 (2006.01)

G02F 1/1345 (2006.01)

(11) 공개번호

10-2007-0076065

(43) 공개일자

2007년07월24일

(21) 출원번호 10-2006-0005024

(22) 출원일자 2006년01월17일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416(72) 발명자 임지숙
대전 중구 태평2동 삼부아파트2단지 27-123
권선자
경기 군포시 산본2동 구주공아파트 133-202

(74) 대리인 남승희

전체 청구항 수 : 총 7 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것으로, 본 발명의 실시예에 따른 액정 표시 장치는, 게이트 구동부에 게이트 오프 전압을 공급하는 전극 라인과 클록 신호를 공급하는 전극 라인 사이에 더미 전극 라인을 형성하고 소정의 전압을 인가하여 전극 라인 간의 전위차를 감소시켜서 해당 전극 라인들의 부식을 억제할 수 있다.

내용도

도 5

특허청구의 범위

청구항 1.

일방향으로 연장되는 게이트 라인과, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 게이트 라인과 데이터 라인이 교차하는 부분에 대응하여 형성되는 액정 화소를 포함하는 액정 표시 패널;

상기 게이트 라인과 데이터 라인이 형성되는 기판에 형성되며, 상기 게이트 라인을 구동하는 복수의 쉬프트 레지스터를 포함하여 이루어지는 게이트 구동부를 포함하되,

상기 게이트 구동부에 게이트 오프 전압을 공급하는 제1 전극 라인과 소정의 클록 신호를 공급하는 제2 전극 라인 사이에 더미 전극 라인이 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 2.

청구항 1에 있어서,

상기 더미 전극 라인은 상기 제1 및 제2 전극 라인의 재질과 동일한 것을 특징으로 하는 액정 표시 장치.

청구항 3.

청구항 2에 있어서,

상기 더미 전극 라인은 상기 제1 및 제2 전극 라인이 형성될 때에 같이 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,

상기 더미 전극 라인에는 게이트 오프 전압과 상기 클록 신호 사이의 전압인 더미 전압이 인가되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

청구항 4에 있어서,

상기 더미 전압은 -2볼트 내지 0볼트인 것을 특징으로 하는 액정 표시 장치.

청구항 6.

일방향으로 연장되는 게이트 라인과, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 게이트 라인과 데이터 라인이 교차하는 부분에 대응하여 형성되는 액정 화소를 포함하는 액정 표시 패널; 및

상기 게이트 라인과 데이터 라인이 형성되는 기판에 형성되며, 상기 게이트 라인과 데이터 라인에 구동 전압을 인가하기 위한 복수의 전극 라인을 포함하되,

상기 복수의 전극 라인 중에서 서로 인접한 각 전극 라인에 인가되는 전압의 차가 10볼트 이상인 경우, 그 사이에 더미 전극 라인을 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 7.

청구항 6에 있어서,

상기 더미 전극 라인에 인가되는 전압은,

서로 인접한 각 전극 라인에 인가되는 전압의 사이값을 가지는 전압인 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 게이트 구동부에 게이트 오프 전압을 공급하는 전극 라인과 클록 신호를 공급하는 전극 라인 사이에 더미 전극 라인을 형성하고 소정의 전압을 인가하여 전극 라인 간의 전위차를 감소시켜서 해당 전극 라인들의 부식을 억제할 수 있는 액정 표시 장치에 관한 것이다.

액정 표시 장치(LCD, Liquid Crystal Display)는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 광의 양을 조절함으로써 원하는 화상을 표시하는 장치이다.

이러한 액정 표시 장치는 박막 트랜지스터와 화소 전극이 형성되는 박막 트랜지스터 기판과, 컬러 필터와 공통 전극이 형성되는 컬러 필터 기판과, 상기 박막 트랜지스터 기판과 컬러 필터 기판 사이에 위치되는 액정 물질을 포함하여 이루어진다.

상기 박막 트랜지스터 기판 상에는 서로 평행한 복수의 게이트 라인과 이 게이트 라인에 절연되어 교차하는 복수의 데이터 라인이 형성되며, 이들 게이트 라인과 데이터 라인에 둘러싸인 영역에 하나의 화소가 정의된다. 여기서, 각 게이트 라인과 데이터 라인이 교차하는 부분에는 박막 트랜지스터(Thin Film Transistor, 이하 'TFT'라고도 함) 및 화소 전극이 형성된다.

상기 액정 표시 장치는 상기 게이트 라인을 구동하기 위한 게이트 구동부와, 데이터 라인을 구동하기 위한 소스 구동부를 가진다. 상기 게이트 구동부가 게이트 라인에 소정의 전압을 인가시키면, 박막 트랜지스터의 양단에 연결된 데이터 라인과 화소 전극이 전기적으로 연결되고, 이때 소스 구동부가 데이터 라인을 통하여 화소 전극에 소정의 데이터 전압을 인가시킴으로써 상기 액정 표시 장치는 구동된다.

상기와 같은 액정 표시 장치에서 상기 게이트 라인을 구동하기 위한 게이트 구동부는 ASG(Amorphous Silicon Gate) 구조와 같이 해당 박막 트랜지스터 기판 상에 형성될 수 있다.

이하, 도 1 및 도 2를 참조하여 박막 트랜지스터 기판 상에 형성되는 게이트 구동부에 대하여 설명한다. 도 1은 종래 기술에 따른 액정 표시 장치의 박막 트랜지스터 기판의 부분 평면도이며, 도 2는 도 1에 도시된 게이트 구동부에 공급되는 전압 과정도이다.

도 1을 참조하면, 박막 트랜지스터 기판(5) 상에는 일방향으로 나란히 연장되는 제1 내지 제4 전극 라인(11 내지 14)과, 게이트 라인(G1 ~ Gn)과, 상기 제1 내지 제4 전극 라인(11 내지 14)으로부터 소정의 전압을 공급받아 게이트 라인을 구동하는 쉬프트 레지스터(10)가 형성된다.

상기 쉬프트 레지스터(10)와 제1 내지 제4 전극 라인(11 내지 14)은 연결 라인(미도시)을 통하여 전기적으로 연결된다.

상기 제1 전극 라인(11)에는 게이트 오프 전압(Voff)이 인가되며, 제2 전극 라인(12)에는 제1 클록 신호(CKV)가 인가되며, 제3 전극 라인(13)에는 상기 제1 클록(CKV)의 반대 위상을 가지는 제2 클록 신호(CKVB)가 인가되며, 제4 전극 라인(14)에는 개시 신호(STV)가 인가된다.

이때, 상기 제1 전극 라인(11)과 제2 전극 라인(12) 사이에는 7볼트 내지 12볼트의 전압차가 생기게 되며, 전극 라인 사이에 이러한 큰 전압차가 생기면 박막 트랜지스터 기판(5)과 컬러 필터 기판 사이에 형성되는 액정 물질, 밀봉재 또는 습기 등에 의하여 상기 제1 및 제2 전극 라인(11, 12)이 부식되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 게이트 구동부에 게이트 오프 전압을 공급하는 전극 라인과 클록 신호를 공급하는 전극 라인 사이에 더미 전극 라인을 형성하고 소정의 전압을 인가하여 전극 라인 간의 전위차를 감소시켜서 해당 전극 라인들의 부식을 억제할 수 있는 액정 표시 장치를 제공함을 그 목적으로 한다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 일방향으로 연장되는 게이트 라인과, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 게이트 라인과 데이터 라인이 교차하는 부분에 대응하여 형성되는 액정 화소를 포함하는 액정 표시 패널; 상기 게이트 라인과 데이터 라인이 형성되는 기판에 형성되며, 상기 게이트 라인을 구동하는 복수의 쉬프트 레지스터를 포함하여 이루어지는 게이트 구동부를 포함하되, 상기 게이트 구동부에 게이트 오프 전압을 공급하는 제1 전극 라인과 소정의 클록 신호를 공급하는 제2 전극 라인 사이에 더미 전극 라인이 형성된 것을 특징으로 하는 액정 표시 장치가 제공된다.

상기 더미 전극 라인은 상기 제1 및 제2 전극 라인의 재질과 동일한 것을 특징으로 한다.

상기 더미 전극 라인은 상기 제1 및 제2 전극 라인이 형성될 때에 같이 형성되는 것을 특징으로 한다.

상기 더미 전극 라인에는 게이트 오프 전압과 상기 클록 신호 사이의 전압인 더미 전압이 인가되는 것을 특징으로 한다.

상기 더미 전압은 -2볼트 내지 0볼트인 것을 특징으로 한다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 일방향으로 연장되는 게이트 라인과, 상기 게이트 라인과 교차하는 데이터 라인과, 상기 게이트 라인과 데이터 라인이 교차하는 부분에 대응하여 형성되는 액정 화소를 포함하는 액정 표시 패널; 및 상기 게이트 라인과 데이터 라인이 형성되는 기판에 형성되며, 상기 게이트 라인과 데이터 라인에 구동 전압을 인가하기 위한 복수의 전극 라인을 포함하되, 상기 복수의 전극 라인 중에서 서로 인접한 각 전극 라인에 인가되는 전압의 차가 10볼트 이상인 경우, 그 사이에 더미 전극 라인을 형성한 것을 특징으로 하는 액정 표시 장치가 제공된다.

상기 더미 전극 라인에 인가되는 전압은, 서로 인접한 각 전극 라인에 인가되는 전압의 사이값을 가지는 전압인 것을 특징으로 한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예에 대하여 상세하게 설명한다.

도 3은 본 발명의 실시예에 따른 액정 표시 장치의 개략도이다.

도 3에 도시된 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 패널(100), 게이트 구동부(200), 소스 구동부(300), 구동 전압 발생부(400), 제어부(500)를 포함한다.

액정 표시 패널(100)은 열방향으로 형성된 복수의 게이트 라인(G1 ~ Gn) 및 행방향으로 형성된 복수의 데이터 라인(D1 ~ Dm)과, 상기 게이트 라인과 데이터 라인의 교점에 대응하여 형성되는 액정 화소(110)를 포함한다. 상기 액정 화소(110)는 각각 박막 트랜지스터(TFT), 유지 커페시터(Cst) 및 액정 소자(Clz)를 포함한다.

상기 액정 표시 패널(100)은, 게이트 구동부(200)에 의해서 게이트 라인에 게이트 온 전압(Von)이 인가되면 박막 트랜지스터의 양단에 연결된 데이터 라인과 액정 소자가 전기적으로 연결되고, 이때 소스 구동부(300)에 의해서 데이터 라인을 통하여 액정 소자에 계조 전압이 인가되면, 해당 액정 소자의 광 투과율이 조절되어 화상을 표시한다.

제어부(500)는 외부로부터 영상 신호를 입력 받아, 적색(R), 녹색(G), 청색(B)의 계조 데이터, 프레임 구별 신호인 수직 동기 신호(Vsync), 수평 동기 신호(Hsync) 및 메인 클록 신호(CLK) 등을 생성하여 게이트 구동부(200) 및 소스 구동부(300)에 출력한다.

제어부(500)에서 게이트 구동부(200)로 출력하는 타이밍 신호에는, 게이트 라인에 게이트 신호의 인가 시작을 명령하는 수직 시작 신호(이하 'Vstart 신호'라 함), 이 게이트 신호를 각각의 게이트 라인에 순차적으로 인가하기 위한 게이트 클록 신호(이하 'CPV 신호'라 함), 및 게이트 구동부(200)의 출력을 인에이블(enable)시키는 게이트 온 인에이블 신호(이하 'OE 신호'라 함) 등의 제어 신호가 있다.

제어부(500)에서 소스 구동부(300)로 출력하는 타이밍 신호에는, R, G, B 계조 데이터의 구동 시작을 명령하는 수평 시작 신호(Hstart), 소스 구동부(300) 내에서 아날로그로 변환된 데이터 신호의 인가를 명령하는 신호(LOAD) 및 소스 구동부(300) 내의 데이터 시프트를 하기 위한 수평 클록 신호(HCLK) 등의 제어 신호가 있다.

또한, 상기 제어부(500)는 게이트 라인과 데이터 라인에 인가할 게이트 온 오프 전압과 계조 전압을 생성하기 위한 제어 신호를 구동 전압 발생부(400)에 출력한다.

구동 전압 발생부(400)는 상기 제어부(500)로부터 제어 신호를 입력받아 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)과, 액정 소자를 구동하는 계조 전압의 기준이 되는 액정 구동 전압(AVDD)을 생성하여 게이트 구동부(200)와 데이터 구동부(300)로 출력한다.

게이트 구동부(200)는 제어부(500)로부터 CPV 신호와 Vstart 신호를 수신하고, 구동 전압 발생부(400)로부터 게이트 온 오프 전압(Von, Voff)을 수신하여, 액정 표시 패널(100) 상의 각 화소에 인가될 계조 전압이 해당 화소에 전달되도록 해당 TFT를 제어한다.

상기 게이트 구동부(200)는 게이트 온 전압(Von)을 게이트 라인(G1 ~ Gn)에 순차적으로 인가하여 액정 표시 패널(100)의 박막 트랜지스터를 온 오프시킨다. 상기 게이트 구동부(200)는 복수의 스테이지를 구비한 쉬프트 레지스터를 포함하여 게이트 라인을 구동하는 것이 바람직하다.

또한, 본 발명의 실시예에 따른 게이트 구동부(200)는 상기 액정 표시 패널(100)의 게이트 라인과 데이터 라인이 형성되는 기판에 형성되어 게이트 라인을 구동한다.

소스 구동부(300)는 상기 게이트 구동부(200)의 구동에 동기하여, 제어부(500)에서 출력하는 계조 데이터와, 구동 전압 발생부(400)에서 출력하는 액정 구동 전압(AVDD)을 이용하여 계조 전압을 생성하여 각 데이터 라인(D1 ~ Dm)을 구동한다.

다음으로 도 4 내지 도 6을 참조하여, 본 발명의 실시예에 따른 액정 표시 장치에 대하여 보다 상세하게 설명한다.

도 4는 본 발명의 실시예에 따른 게이트 구동부의 개략도이며, 도 5는 도 4에 도시된 게이트 구동부가 박막 트랜지스터 기판 상에 실제적으로 형성되는 모양을 나타낸 부분 평면도이다. 또한, 도 6은 도 4에 도시된 게이트 구동부에 공급되는 전압 파형도이다.

도 4를 참조하면, 상기 게이트 구동부는 복수의 쉬프트 레지스터(210)를 포함하여 이루어지며, 상기 복수의 쉬프트 레지스터(210)는 게이트선(G1 ~ Gn)을 구동하기 위한 제1 출력 단자(GOUT), 제2 출력 단자(SOUT), 입력 단자(IN), 제어 단자(CT), 클록 신호 입력 단자(CK), 접지 전압 단자(VSS), 구동 전압 단자(VDD)를 가진다.

각각의 쉬프트 레지스터(210)는 각각의 게이트선과 연결되고, 제2 출력 단자(SOUT)가 다음 스테이지의 입력 단자(IN)에 연결됨과 동시에 이전 스테이지의 제어 단자(CT)에 연결됨으로써 종속적으로 연결된다. 상기 제어 단자(CT)에 입력되는 제어 신호는 이전 스테이지의 출력 신호를 로우 상태로 다운시키기 위해 사용된다.

또한, 홀수번째 쉬프트 레지스터에는 클록 신호(CKV)가 제공되고, 짝수번째 쉬프트 레지스터에는 반전 클록 신호(CKVB)가 제공된다. 이때, 클록 신호(CKV)와 반전 클록 신호(CKVB)는 서로 반대되는 위상을 갖는다.

상기 복수의 쉬프트 레지스터(210) 중에서 첫 번째 쉬프트 레지스터의 입력 단자(IN)에 개시 신호(STV)가 입력된다. 각 쉬프트 레지스터의 제1 출력 단자(GOUT)는 대응되는 각 게이트 선(G1 ~ Gn)에 연결된다.

이와 같은 구성의 게이트 구동부(200)는, 각 쉬프트 레지스터의 출력 신호들이 순차적으로 하이 상태를 가짐으로써 각 출력 신호의 하이 상태에서 대응되는 각 게이트 선(G1 ~ Gn)을 순차적으로 구동한다.

이 때, 상기 게이트 구동부(200)를 구동하기 위한 게이트 오프 전압(Voff), 제1 클록 신호(CKV), 제2 클록 신호(CKVB), 개시 신호(STV) 등을 공급하는 전극 라인들 사이에 더미 전압(Vdummy)을 공급하는 더미 전극 라인이 더 형성된다.

다음은 도 5를 참조하여 상기 더미 전극 라인에 대하여 보다 상세하게 설명한다.

도 5를 참조하면, 박막 트랜지스터 기판(150) 상에는 일방향으로 나란히 연장되는 제1 내지 제4 전극 라인(211 내지 214)과, 게이트 라인(G1 ~ Gn)과, 상기 제1 내지 제4 전극 라인(211 내지 214)으로부터 소정의 전압을 공급받아 게이트 라인을 구동하는 쉬프트 레지스터(210)가 형성된다.

또한, 본 발명의 실시예에 따른 박막 트랜지스터 기판(150) 상에는 상기 제1 전극 라인(211)과 제2 전극 라인(212) 사이에 더미 전극 라인(215)이 형성된다. 상기 더미 전극 라인(215)은 상기 제1 내지 제4 전극 라인(211 내지 214)과 동일한 채질로 형성됨이 바람직하며, 상기 제1 내지 제4 전극 라인(211 내지 214)이 형성될 때에 같이 형성됨이 바람직하다.

상기 쉬프트 레지스터(210)와 제1 내지 제4 전극 라인(211 내지 214)은 연결 라인(미도시)을 통하여 전기적으로 연결된다.

상기 제1 전극 라인(211)에는 게이트 오프 전압(Voff)이 인가되며, 제2 전극 라인(212)에는 제1 클록 신호(CKV)가 인가되며, 제3 전극 라인(213)에는 상기 제1 클록(CKV)의 반대 위상을 가지는 제2 클록 신호(CKVB)가 인가되며, 제4 전극 라인(214)에는 개시 신호(STV)가 인가된다.

또한, 본 발명의 실시예에 따른 박막 트랜지스터 기판 상에 형성된 상기 더미 전극 라인(215)에는 제1 전극 라인(211)에 인가되는 게이트 오프 전압과 제2 전극 라인(212)에 인가되는 클록 신호 사이의 전압이 인가된다.

즉, 도 6에 도시된 바와 같이, 제1 전극 라인(211)에 -7볼트의 게이트 오프 전압(Voff)이 인가되고, 제2 전극 라인(212)에 0볼트에서 5볼트로 스윙하는 클록 신호(CKV)가 인가될 때에, 더미 전극 라인(215)에는 상기 게이트 오프 전압과 클록 신호 사이의 전압인 예를 들어 0볼트의 전압이 인가된다.

이와 같은 구성의 액정 표시 장치는 게이트 오프 전압을 공급하는 전극 라인과 클록 신호를 공급하는 전극 라인 사이에 더미 전극 라인을 형성하고 소정의 전압을 인가하여 전극 라인 간의 전위차를 감소시켜서 해당 전극 라인들의 부식을 억제할 수 있다.

즉, 본 발명의 실시예에 따른 액정 표시 장치는, 제1 전극 라인(211)에 -7볼트의 게이트 오프 전압(Voff)이 인가되고, 제2 전극 라인(212)에 0볼트에서 5볼트로 스윙하는 클록 신호(CKV)가 인가될 때에, 제1 전극 라인(211)과 제2 전극 라인(212) 사이에 형성된 더미 전극 라인(215)에 게이트 오프 전압과 클록 신호 사이의 전압인 0볼트의 전압이 인가한다.

이렇게 되면, 제1 전극 라인(211)과 더미 전극 라인(215) 사이에 7볼트의 전압차가 생기고, 더미 전극 라인(215)과 제2 전극 라인(212) 사이에 0볼트에서 5볼트의 전압차가 생기므로, 양쪽 모두 10볼트 이상의 전압차는 생기지 않는다. 이로써, 전극 라인간의 높은 전압에 의한 해당 전극 라인의 부식을 억제할 수 있다.

본 발명의 실시예에서는 상기 더미 전압으로 0볼트를 사용하였으나, 이와는 달리 게이트 오프 전압과 클록 신호의 중간 레벨의 전압인 -2 볼트 내지 0 볼트의 전압을 사용해도 좋다.

본 발명의 실시예에서는 게이트 라인을 구동하기 위한 게이트 오프 전압을 공급하는 제1 전극 라인과 클록 신호를 인가하기 위한 제2 전극 라인 사이에 더미 전극을 형성하고, 상기 제1 전극 라인에 공급되는 게이트 오프 전압과 제2 전극 라인에 공급되는 클록 신호 사이의 전압을 더미 전압으로 인가하였다. 그러나, 이와는 달리, 서로 인접하는 전극 라인에 10볼트 이상의 전압차가 생기는 경우, 그 사이에 더미 전극 라인을 형성하고 상기 서로 인접하는 전극 라인에 인가되는 전압의 사이 값을 가지는 전압을 더미 전압으로 인가할 수도 있다.

본 발명의 권리 범위는 앞에서 설명한 각 실시예에 한정되는 것이 아니라, 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자에 의한 모든 변경 및 개량도 본 발명의 권리 범위에 속한다.

발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는, 게이트 구동부에 게이트 오프 전압을 공급하는 전극 라인과 클록 신호를 공급하는 전극 라인 사이에 더미 전극 라인을 형성하고 소정의 전압을 인가하여 전극 라인 간의 전위차를 감소시켜서 해당 전극 라인들의 부식을 억제할 수 있다.

도면의 간단한 설명

도 1은 종래 기술에 따른 박막 트랜지스터 기판의 부분 평면도이다.

도 2는 도 1에 도시된 게이트 구동부에 공급되는 전압 파형도이다.

도 3은 본 발명의 실시예에 따른 액정 표시 장치의 개략도이다.

도 4는 본 발명의 실시예에 따른 게이트 구동부의 개략도이다.

도 5는 도 4에 도시된 게이트 구동부가 박막 트랜지스터 기판 상에 실제적으로 형성되는 모양을 나타낸 부분 평면도이다.

도 6은 도 4에 도시된 게이트 구동부에 공급되는 전압 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 액정 표시 패널 110: 액정 화소

150: 기판 200: 게이트 구동부

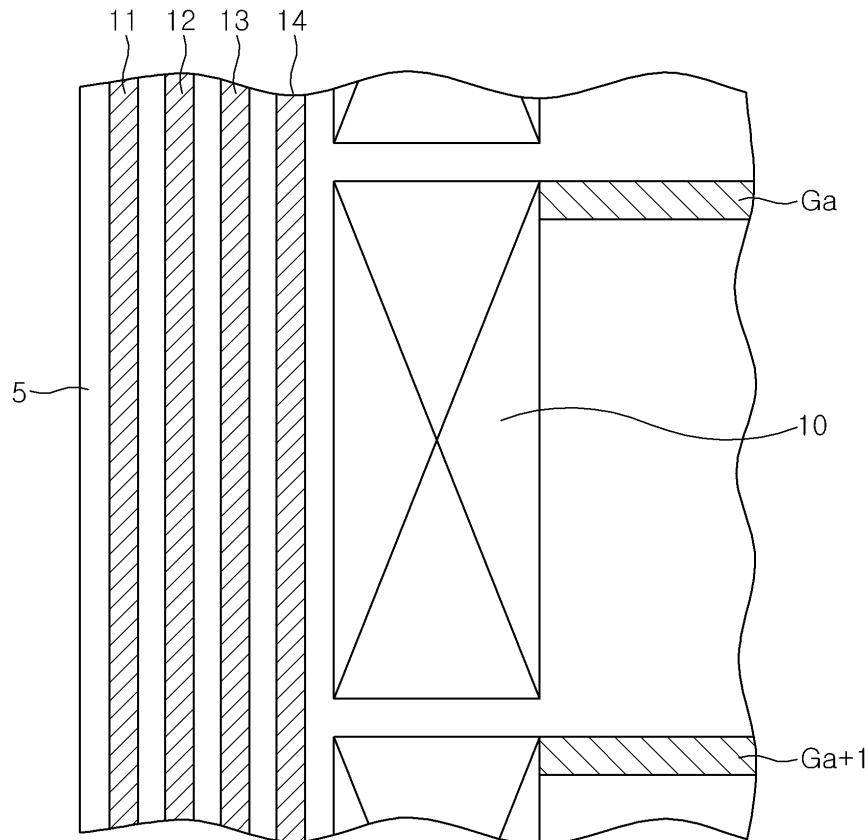
210: 쉬프트 레지스터 211 ~ 215 전극 라인

300: 소스 구동부 400: 구동 전압 발생부

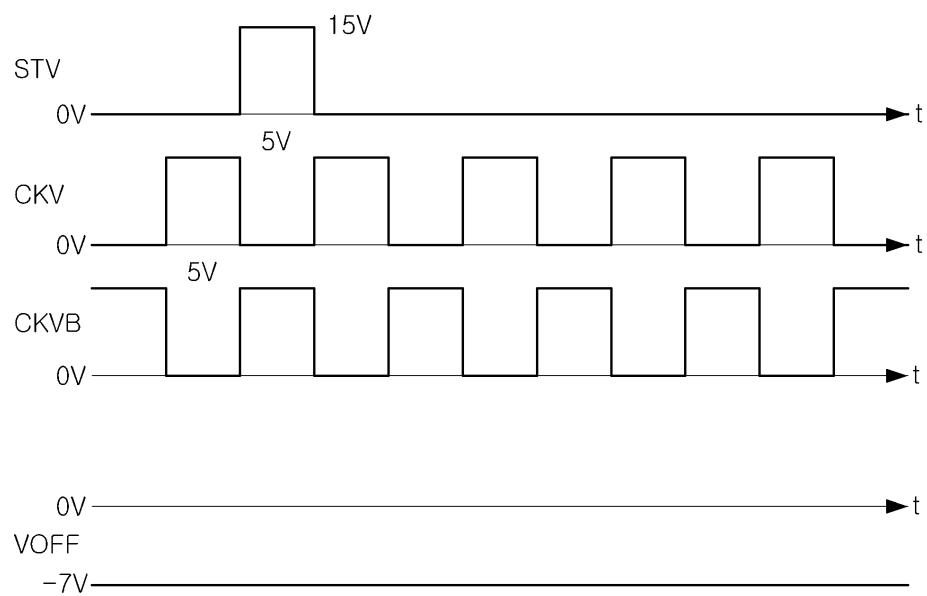
500: 제어부

도면

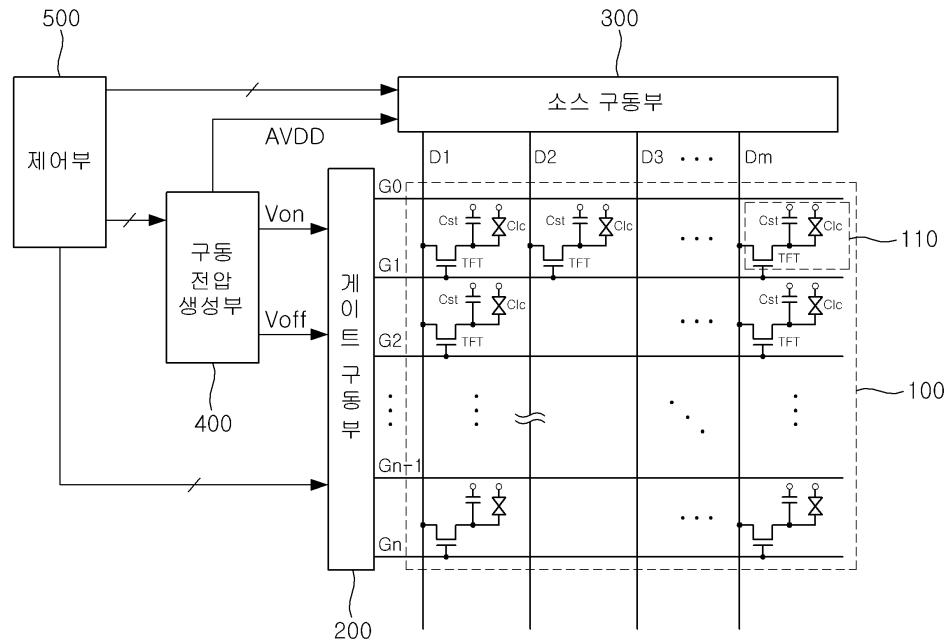
도면1



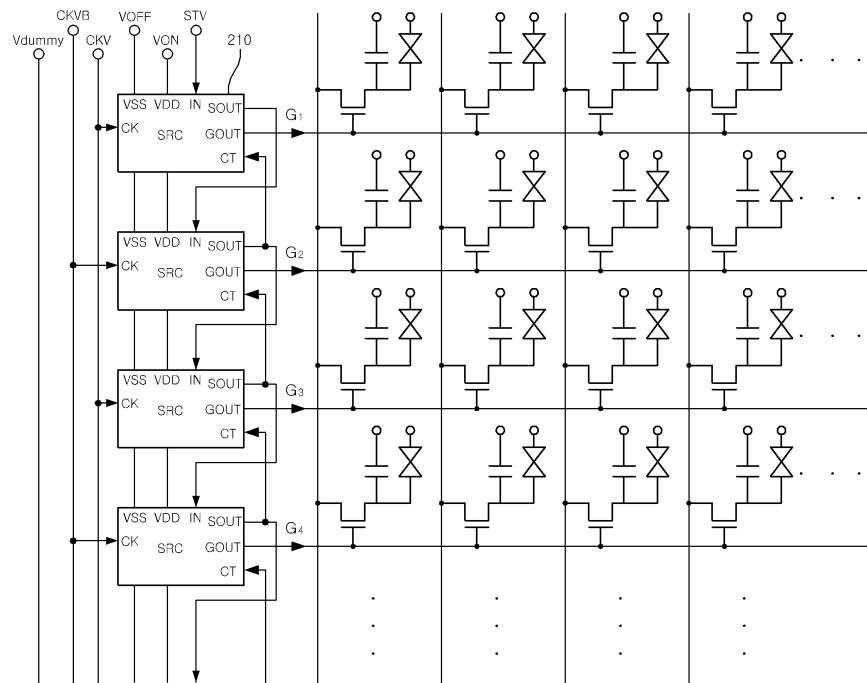
도면2



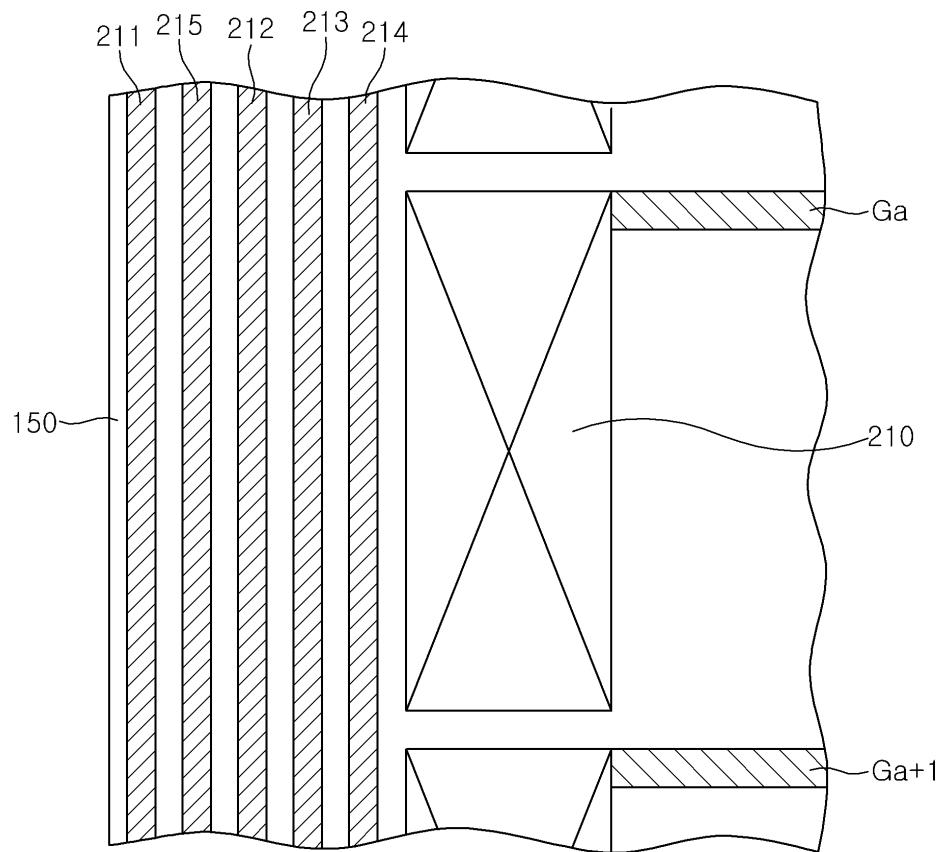
도면3



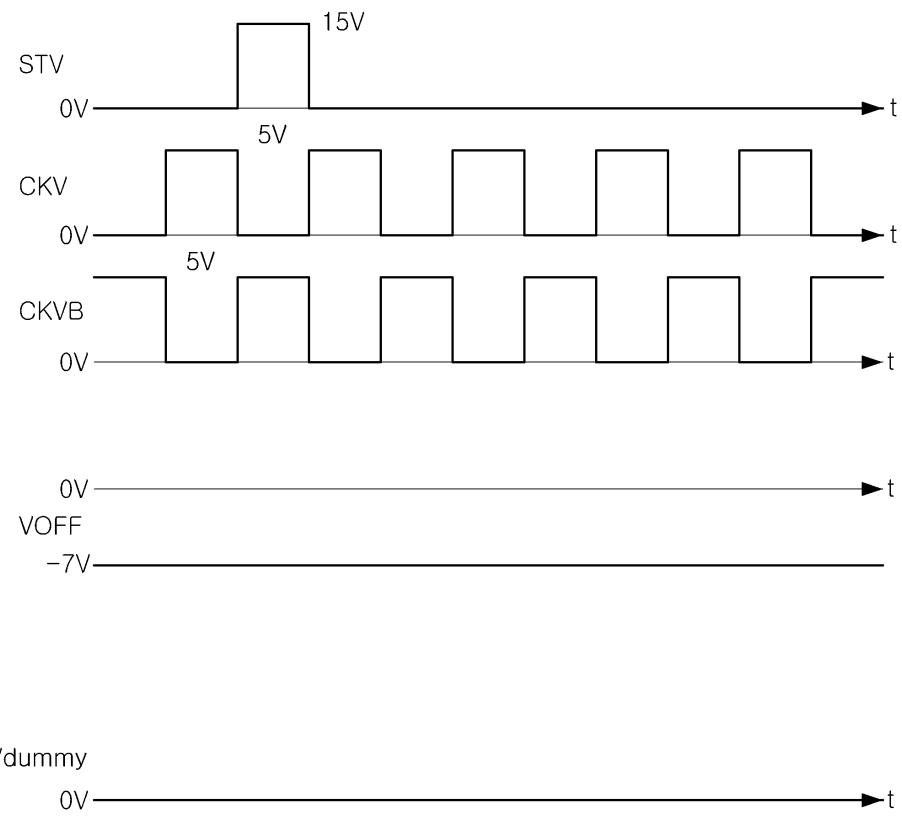
도면4



도면5



도면6



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020070076065A | 公开(公告)日 | 2007-07-24 |
| 申请号 | KR1020060005024 | 申请日 | 2006-01-17 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | LIM JI SUK 임지숙 KWON SUN JA 권선자 | | |
| 发明人 | 임지숙 권선자 | | |
| IPC分类号 | G02F1/1343 G02F1/1345 | | |
| CPC分类号 | G02F1/134309 G02F1/134336 G02F1/1345 G02F1/1362 G02F2001/133388 G09G3/3648 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据本发明，在根据本发明优选实施例的液晶显示器中，形成提供栅极截止电压的电极线和提供时钟信号的电极线中的虚设电极线，作为液晶。显示器，是门驱动单元。并且，预定电压被授权，并且电极线之间的电位差减小，并且可以抑制相应电极线的腐蚀。液晶显示器，栅极驱动器，电极腐蚀，虚设电极，虚拟电压。

