(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2005-0068840
(43) 공개일자 2005년07월05일

(21) 출원번호 10-2003-0100655
(22) 출원일자 2003년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김석수
대구광역시남구대명11동1251-7
김현석
대구광역시북구동천동화성3차108동903호
최선영
서울시동작구사당1동1048-29

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 구동방법

요약

본 발명은 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 액정셀 매트릭스를 갖는 액정패널과; 공통전압을 발생하는 전원 공급부와; 상기 액정패널의 기판 상에 직접 형성되며 상기 액정셀의 공통전극에 접속되는 공통라인과; 상기 전원 공급부와 상기 기판 상에 형성된 공통라인 사이에서 상기 액정패널의 기판 상에 직접 형성된 공통라인의 저항 이상의 큰 저항값으로 상기 공통전압을 보상하는 공통전압 보상부를 구비하는 것을 특징으로 한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래 라인 온 글래스형 액정표시장치를 나타내는 평면도이다.

도 2는 도 1에 도시된 라인 온 글래스형 공통라인의 라인저항에 의한 수평라인 블럭간의 분리현상을 설명하기 위한 도면이다.

도 3은 본 발명의 제1 실시 예에 따른 라인 온 글래스형 액정표시장치의 일부를 나타내는 평면도이다.

도 4는 TN모드 액정표시장치의 공통라인과 상부기판의 공통전극간의 접속을 위한 은토드를 나타내는 도면이다.

도 5는 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정표시장치의 일부를 나타내는 평면도이다.

도 6는 본 발명의 제3 실시 예에 따른 라인 온 글래스형 액정표시장치의 일부를 나타내는 평면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1,34 : 액정패널 2,36 : 하부기판

4,38 : 상부기판 8,40 : 데이터 TCP

21,41 : 화상표시부 24 : 데이터 TCP 입력패드

25 : 데이터 TCP 출력패드 26 : LOG형 신호라인군

30 : 게이트 TCP 출력패드 50,150 : 전원공급부

60 : 타이밍콘트롤러

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

통상의 액정표시장치(Liquid Crystal Display : 이하 "LCD"라 함)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다.

구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 타이밍콘트롤러와, 액정표시장치에서 사용되는 여러가지의 구동전압들을 공급하는 전원공급부를 구비한다. 타이밍콘트롤러는 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어함과 아울러 데이터 드라이버에 화소데이터 신호를 공급한다. 전원공급부는 입력 전원을 이용하여 액정표시장치에서 필요하는 공통전압(VCOM), 게이트 하이전압(VGH), 게이트 로우전압(VGL) 등과 같은 구동전압들을 생성한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 스캐닝신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이들 중 액정패널과 직접 접속되는 데이터 드라이버와 게이트 드라이버는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC와 게이트 드라이브 IC 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널에 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.

여기서 TCP를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC들은 TCP에 접속되어진 PCB(Printed Circuit Board)에 형성되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 구동전압들을 공급받음과 아울러 상호 접속된다. 상세히 하면, 데이터 드라이브 IC들은 데이터 PCB에 형성된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍컨트롤러로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로의 구동전압들을 공통적으로 공급받게 된다. 게이트 드라이브 IC들은 게이트 PCB에 형성된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍컨트롤러로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.

COG 방식으로 액정패널에 실장되는 드라이브 IC들은 신호라인들이 액정패널, 즉 하부 글래스 상에 실장되는 라인 온 글래스(Line On Glass; 이하 LOG라 함) 방식으로 상호 접속됨과 아울러 타이밍컨트롤러 및 전원공급부로부터의 제어신호들 및 구동전압들을 공급받게 된다.

최근에는 드라이브 IC들이 TAB 방식으로 액정패널에 접속되는 경우에도 LOG방식을 채택하여 PCB를 제거함으로써 액정표시장치가 더욱 박형화될 수 있게 하고 있다. 특히 상대적으로 적은 신호라인들을 필요로 하는 게이트 드라이브 IC들에 접속되는 신호라인들을 LOG 방식으로 액정패널 상에 형성함으로써 게이트 PCB를 제거하고 있다. 다시 말하여 TAB 방식의 게이트 드라이브 IC들은 액정패널의 하부 글라스 상에 실장되는 신호라인들을 통해 직렬로 접속됨과 아울러 제어신호들 및 구동전압신호들(이하, 게이트 구동신호들이라 함)을 공통적으로 공급받게 된다.

실제로, LOG형 신호라인들을 이용하여 게이트 PCB를 제거한 액정표시장치는 도 1에 도시된 바와 같이 액정패널(1)과, 액정패널(1)과 데이터 PCB(12) 사이에 접속되어진 다수개의 데이터 TCP들(8)과, 액정패널(1)의 다른 측에 접속되어진 다수개의 게이트 TCP들(14)과, 데이터 TCP들(8) 각각에 실장되어진 데이터 드라이브 IC(10)들과, 게이트 TCP들(14) 각각에 실장되어진 게이트 드라이브 IC들(16)을 구비한다.

액정패널(1)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(2)과, 칼라필터 어레이가 형성된 상부기판(4)과, 하부기판(2)과 상부기판(4) 사이에 주입된 액정을 포함한다. 이러한 액정패널(1)에는 게이트라인들(20)과 데이터라인들(18)의 교차영역마다 마련되는 액정셀들로 구성되어 화상을 표시하는 화상표시영역(21)이 마련된다. 화상표시영역(21)의 외곽부에 위치하는 하부기판(2) 외곽영역에는 데이터라인(18)으로부터 신장되어진 데이터 패드들과, 게이트라인(20)로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(2)의 외곽영역에는 게이트 드라이브 IC(16)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(26)이 위치하게 된다.

데이터 TCP(8)에는 데이터 드라이브 IC(10)가 실장되고, 그 데이터 드라이브 IC(10)와 전기적으로 접속된 입력패드들(24) 및 출력패드들(25)이 형성된다. 데이터 TCP(8)의 입력패드들(24)은 데이터 PCB(12)의 출력패드들과 전기적으로 접속되고, 출력패드들(25)은 하부기판(2) 상의 데이터패드들과 전기적으로 접속된다. 특히 첫번째 데이터 TCP(8)는 하부기판(2) 상의 LOG형 신호라인군(26)에 전기적으로 접속되는 게이트 구동신호 전송군(22)이 추가적으로 형성된다. 이 게이트 구동신호 전송군(22)은 데이터 PCB(12)를 경유하여 타이밍 컨트롤러 및 전원공급부로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군(26)에 공급하게 된다.

데이터 드라이브 IC들(10)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널 상의 데이터라인들(18)에 공급한다.

게이트 TCP(14)에는 게이트 드라이브 IC(16)가 실장되고, 그 게이트 드라이브 IC(16)와 전기적으로 접속된 게이트 구동신호 전송라인군(28) 및 출력패드들(30)이 형성된다. 게이트 구동신호 전송라인군(28)은 하부기판(2) 상의 LOG 신호라인군(26)과 전기적으로 접속되고, 출력패드들(30)은 하부기판(2) 상의 게이트패드들과 전기적으로 접속된다.

게이트 드라이브 IC들(16)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(20)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(16)들은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들에 공급한다.

LOG형 신호라인군(26)은 통상 게이트신호의 하이논리전압(게이트 하이전압) 신호(VGH), 게이트신호의 로우논리전압(게이트 로우전압)신호(VGL), 공통전압 신호(VCOM), 그라운드 전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부로부터 공급되는 구동전압신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍컨트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 신호라인들로 구성된다. 이러한, LOG형 신호라인군(26)에는 공통전압(VCOM)을 공급하는 공통라인(LVCOM)이 포함된다.

이러한 LOG형 공통라인(LVCOM)은 화상표시부(21)의 외곽영역에 위치하는 패드부와 같이 매우 한정된 좁은 공간에서 미세패턴으로 나란하게 형성된다. 그리고 LOG형 공통라인(LVCOM)은 게이트라인들과 동일하게 게이트 금속층으로 구성된다. 게이트 금속으로는 통상 AlNd 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속이 이용된다. 이렇게 LOG형 공통라인(LVCOM)이 제한된 영역내에서 미세패턴으로 형성됨과 아울러 비교적 큰 비저항값을 갖는 게이트금속으로 구성됨에 따라 기존의 게이트 PCB에 동박으로 형성된 신호라인들과 대비하여 상대적으로 높은 저항성분을 포함하게 된다. 또한 LOG형 공통라인(LVCOM)의 저항값은 라인길이에 비례함에 따라 데이터 PCB(12)로부터 멀어질수록 라인저항값이 증가하여 게이트 구동신호가 감쇄하게 된다. 이 결과 LOG형 공통라인(LVCOM)을 통해 전송되는 공통전압(VCOM)이 그의 라인저항값에 의해 왜곡됨으로써 화상표시부(21)에 표시되는 화상의 품질이 저하되게 된다.

이를 도 2를 참조하여 상세히 하면, 종래의 액정표시장치의 LOG형 공통라인LVCOM)은 LOG형 신호라인군(26)에 포함됨과 아울러 액정패널의 일측 가장자리에 형성되는 LOG형 제1 공통라인(50)과, LOG형 제1 공통라인(50)과 화상표시영역(21)을 사이에 두고 형성되는 LOG형 제2 공통라인(51)이 포함된다. 제1 LOG형 공통라인(50)은 제1 데이터 TCP(8)와 제1 내지 제4 게이트 TCP들(14A 내지 14D) 사이 각각에 접속되는 제3 내지 제6 LOG형 공통라인들(50a 내지 50d)로 구성된다. 한편, 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하는 경우 제3 내지 제6 LOG형 공통라인들(50a 내지 50d)과 접속됨과 아울러 화소영역에 형성되는 공통전극(미도시)과 접속되는 더미 공통라인(53)이 구비되고, 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하는 경우 은도트(도시하지 않음)에 의해 상부기판 상에 형성되는 공통전극과 접속된다.

제3 내지 제6 LOG형 공통라인들(50a 내지 50d)은 그 라인길이에 비례하는 라인저항값(a, b, c, d)을 갖고 제1 내지 제4 게이트 TCP(14A 내지 14D)를 경유하여 직렬로 연결된다.

즉, 제1 게이트 TCP(14A)에 실장된 게이트 드라이브 IC(16)에는 제3 LOG형 공통라인(50a)의 제1 라인저항값(a)에 비례하여 전압강하된 제1 공통전압(VCOM1)이 공급된다. 제1 공통전압(VCOM1)은 제1 게이트 드라이브 IC(16)를 통해 제1 수평라인 블록(A)의 공통전극들에 공급된다.

제2 게이트 TCP(14B)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제3 LOG형 공통라인(50a) 및 제4 LOG형 공통라인(50b)의 제2 라인저항값(a+b)에 비례하여 전압강하된 제2 공통전압(VCOM2)이 공급된다. 제2 공통전압(VCOM2)은 제2 게이트 드라이브 IC(16)를 통해 제 2 수평라인 블록(B)의 공통전극에 공급된다.

제3 게이트 TCP(14C)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제3 LOG형 공통라인 내지 제5 LOG형 공통라인(50a 내지 50c)의 제3 라인저항값(a+b+c)에 비례하여 전압강하된 제3 공통전압(VCOM3)이 공급된다. 제3 공통전압(VCOM3)은 제3 게이트 드라이브 IC(16)를 통해 제3 수평라인 블록(C)의 공통전극들에 공급된다.

제4 게이트 TCP(14D)에 실장된 게이트 드라이브 IC(16)에는 직렬 접속된 제3 내지 제6 LOG형 공통라인(50a 내지 50d)의 제4 라인저항값(a+b+c+d)에 비례하여 전압강하된 제4 공통전압(VCOM4)이 공급된다. 제4 공통전압(VCOM4)은 제4 게이트 드라이브 IC(16)를 통해 제 4 수평라인 블록(D)의 공통전극들에 공급된다. 특히 제1 게이트 드라이브 IC에서 제4

게이트 드라이브 IC쪽으로 진행할 수록 LOG형 제1 및 제2 공통라인(50,51)의 라인저항 값(a, b, c, d)이 가산됨에 따라 수평라인 블록(A 내지 D)에 공급되는 제1 내지 제4 공통전압(VCOM1 내지 VCOM4)은 VCOM1>VCOM2>VCOM3>VCOM4와 같은 관계를 갖게 된다.

이렇게 게이트 드라이브 IC(16) 별로 공통전극들에 공급하는 공통전압(VCOM1 내지 VCOM4)에 차이가 발생함에 따라 서로 다른 게이트 드라이브 IC(16)에 접속되는 수평라인 블록(A 내지 D) 간에 휘도차가 발생하게 된다. 이 수평라인 블록(A 내지 D)의 휘도차는 가로선(6) 현상으로 나타나게 되어 화면이 분할되어 보이게 함으로써 화질저하를 초래한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 수평라인 블럭 간의 휘도차를 방지할 수 있는 액정표시장치 및 그 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 액정셀 매트릭스를 갖는 액정패널과; 공통전압을 발생하는 전원 공급부와; 상기 액정패널의 기판 상에 직접 형성되며 상기 액정셀의 공통전극에 접속되는 공통라인과; 상기 전원 공급부와 상기 기판 상에 형성된 공통라인 사이에서 상기 액정패널의 기판 상에 직접 형성된 공통라인의 저항 이상의 큰 저항값으로 상기 공통전압을 보상하는 공통전압 보상부를 구비하는 것을 특징으로 한다.

상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하기 의한 게이트 직접회로를 더 구비하고, 상기 공통라인은 상기 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 것을 특징으로 한다.

테이프 케리어 패키지를 경유하여 상기 액정패널의 데이터라인들에 접속되어 상기 액정패널의 데이터라인들에 데이터신호를 공급하는 데이터 집적회로를 더 구비하고, 상기 공통라인은 상기 테이프 케리어 패키지를 경유하여 상기 공통전압 보상부에 접속되는 것을 특징으로 한다.

상기 공통전압 보상부는, 상기 전원 공급부와 상기 공통라인 사이에 형성된 적어도 하나 이상의 저항을 구비하는 것을 특징으로 한다.

상기 공통라인은, 상기 액정패널의 기판 일측 가장자리에 형성되고 상기 공통전극의 일측에 접속되는 제1 공통라인과; 상기 액정패널의 기판 타측 가장자리에 형성되고 상기 공통전극의 타측에 접속되는 제2 공통라인을 구비하는 것을 특징으로 한다.

상기 제1 공통라인은 상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하기 의한 게이트 직접회로를 경유하여 상기 공통전극에 접속되는 것을 특징으로 한다.

상기 공통전압 보상부는, 상기 제1 공통라인과 상기 전원 공급부 사이에 형성된 제1 저항과; 상기 제2 공통라인과 상기 전원 공급부 사이에 형성된 제2 저항과; 상기 제1 저항과 상기 제2 저항 사이에 형성된 제3 저항을 구비하는 것을 특징으로 한다.

상기 제3 저항은 상기 전원 공급부의 공통전압 출력단자와 상기 제1 저항 사이에 접속되는 것을 특징으로 한다.

상기 테이프 케리어 패키지와 접속되는 인쇄회로기판을 더 구비하고, 상기 공통전압 보상부는 상기 인쇄회로기판 상에 형성되는 것을 특징으로 한다.

본 발명에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되며 액정셀들이 매트릭스 타입으로 배치되는 액정패널과; 상기 액정패널의 제1 측에 설치되며 다수의 데이터 집적회로를 포함하는 데이터 구동회로군과; 상기 액정패널의 제2 측에 설치되며 다수의 게이트 집적회로를 포함한 제1 게이트 구동회로군과; 상기 액정패널의 제3 측에 설치되며 다수의 게이트 집적회로를 포함한 제2 게이트 구동회로군과; 공통전압을 발생하는 전원 공급부와; 상기 액정패널의 기판 상에 직접 형성되며 상기 액정셀의 공통전극에 접속되는 공통라인과; 상기 전원 공급부와 상기 기판 상에 형성된 공통라인 사이에서 상기 액정패널의 기판 상에 직접 형성된 공통라인의 저항 이상의 큰 저항값으로 상기 공통전압을 보상하는 공통전압 보상부를 구비하는 것을 특징으로 한다.

상기 공통라인은, 상기 제1 게이트 구동회로군의 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 제1 공통라인과, 상기 제2 게이트 구동회로군의 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 제2 공통라인을 구비하는 것을 특징으로 한다.

상기 공통라인은 상기 데이터 집적회로가 실장된 테이프 케리어 패키지를 경유하여 상기 공통전압 보상부에 접속되는 것을 특징으로 한다.

상기 공통전압 보상부는, 상기 전원 공급부와 상기 공통라인 사이에 형성된 적어도 하나 이상의 저항을 구비하는 것을 특징으로 한다.

상기 공통전압 보상부는, 상기 제1 공통라인과 상기 전원 공급부 사이에 형성된 제1 저항과; 상기 제2 공통라인과 상기 전원 공급부 사이에 형성된 제2 저항과; 상기 제1 저항과 상기 제2 저항 사이에 형성된 제3 저항을 구비하는 것을 특징으로 한다.

상기 데이터 구동회로군과 접속되는 인쇄회로기판을 더 구비하고, 상기 공통전압 보상부는 상기 인쇄회로기판 상에 형성되는 것을 특징으로 한다.

상기 액정표시패널의 제4 측에 설치되며 다수의 데이터 집적회로를 포함하는 제2 데이터 구동회로군을 더 구비하는 것을 특징으로 한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 제1 실시 예에 따른 액정표시장치를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 제1 실시 예에 따른 액정표시장치는 액정패널(34)과, 액정패널(34)과 데이터 PCB(44) 사이에 접속되어진 다수개의 데이터 TCP들(40)과, 액정패널(34)의 다른 측에 접속되어진 다수개의 게이트 TCP들(46A 내지 46D)과, 데이터 TCP들(40) 각각에 실장되어진 데이터 드라이브 IC들(42)과, 게이트 TCP들(46A 내지 46D) 각각에 실장된 게이트 드라이브 IC들(48A 내지 48D)과, 게이트 드라이브 IC(48)와 데이터 드라이브 IC(42)에 공급되는 구동전압들을 생성하는 전원공급부(50)와, 게이트 드라이브 IC(48)와 데이터 드라이브 IC(42)를 제어하기 위한 타이밍 콘트롤러(미도시)를 구비한다.

액정패널(34)은 각종 신호라인들과 함께 박막트랜지스터 어레이가 형성된 하부기판(36)과, 칼라필터 어레이가 형성된 상부기판(38)과, 하부기판(36)과 상부기판(38) 사이에 주입된 액정을 포함한다. 이러한 액정패널(34)은 게이트라인들(미도시)과 데이터라인들(도시하지 않음)의 교차영역마다 형성된 액정셀들에 의해 화상표시영역(41)에 화상을 표시한다. 화상표시영역(41)의 외곽부에 위치하는 하부기판(36) 외곽영역에는 데이터라인으로부터 신장되어진 데이터 패드들과, 게이트라인(56)으로부터 신장되어진 게이트 패드들이 위치하게 된다. 또한 하부기판(36)의 외곽영역에는 게이트 드라이브 IC(48A 내지 48D)에 공급되는 게이트 구동신호들을 전송하기 위한 LOG형 신호라인군(미도시)이 위치하게 된다.

데이터 TCP(40)에는 데이터 드라이브 IC(42)가 실장되고, 그 데이터 TCP(40)는 데이터 드라이브 IC(42)와 접속되는 입출력 패드들을 통해 데이터 PCB(44)의 출력패드들 및 하부기판(36)의 데이터패드들과 접속된다. 특히 첫번째 데이터 TCP(40)는 하부기판(36) 상의 LOG형 신호라인군에 각각 접속되는 게이트 구동신호 전송라인군(미도시)을 더 구비한다. 이 게이트 구동신호 전송라인군은 각각 데이터 PCB(44)를 경유하여 전원 공급부(50) 및 타이밍 콘트롤러(60)로부터 공급되는 게이트 구동신호들을 LOG형 신호라인군에 공급하게 된다.

전원 공급부(50)는 입력전원을 이용하여 액정표시장치에서 필요로 하는 공통전압(VCOM), 게이트하이전압(VGH), 게이트로우전압(VGL) 등과 같은 구동전압들을 생성하게 된다.

데이터 드라이브 IC들(42)은 디지털 신호인 화소데이터 신호를 아날로그 신호인 화소전압신호로 변환하여 액정패널(34) 상의 데이터라인들에 공급한다.

게이트 TCP(46A 내지 46D)에는 게이트 드라이브 IC(48A 내지 48D)가 실장되고, 그 게이트 TCP(46A 내지 46D)는 게이트 드라이브 IC(48A 내지 48D)와 접속되는 출력 패드들을 통해 하부기판(36)의 게이트패드들과 접속된다.

게이트 드라이브 IC들(48A 내지 48D)은 입력 제어신호들에 응답하여 스캐닝신호, 즉 게이트 하이전압 신호(VGH)를 게이트라인들(56)에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(48A 내지 48D)은 게이트 하이전압 신호(VGH)가 공급되는 기간을 제외한 나머지 기간에는 게이트 로우전압 신호(VGL)를 게이트라인들(56)에 공급한다.

LOG형 신호라인군은 통상 게이트 하이전압 신호(VGH), 게이트 로우전압 신호(VGL), 공통전압 신호(VCOM), 그라운드전압신호(GND), 전원 전압신호(VCC)와 같은 전원공급부(50)로부터 공급되는 구동전압신호들과, 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 콘트롤러로부터 공급되는 게이트 제어신호들 각각을 공급하는 LOG형 전압라인들 및 LOG형 제어라인들로 구성된다. 이러한 LOG형 신호라인군은 게이트라인들과 동일하게 게이트금속으로 형성된다.

이러한, LOG형 신호라인군에는 공통전압(VCOM)을 공급하는 공통라인이 포함된다.

LOG형 공통라인은 LOG형 신호라인군에 포함되는 제1 LOG형 공통라인(151)과, 제1 LOG형 공통라인(150)과 화상표시영역(121)을 사이에 두고 나란한 제2 LOG형 공통라인(151)을 포함한다.

여기서, 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하는 경우 제3 내지 제6 LOG형 공통라인들(150a 내지 50d)과 접속됨과 아울러 화소영역에 형성되는 공통전극(미도시)과 접속되는 더미 공통라인(153)이 구비되고, 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하는 경우 도 4에 도시된 바와 같은 은도트(28a 내지 28d)에 의해 상부기판 상에 형성되는 공통전극과 접속된다.

각각의 제1 및 제2 LOG형 공통라인(150,151)의 입력단에는 상대적으로 저항값이 큰 감쇄저항(Rb,Rc)이 형성된다. 이 각각의 감쇄저항(Rb,Rc)은 제1 및 제2 공통라인(150,151)의 라인저항(a,b,c,d)과 동일함으로써 라인저항으로 인한 게이트 드라이브 IC(48)별 공통전극의 전압차를 방지할 수 있게 된다.

이러한 제1 및 제2 감쇄저항(Rb,Rc)은 전원공급부(50)의 게이트구동신호의 출력단에 직렬 접속된다. 또한, 제1 감쇄저항(Rb)과 전원공급부 사이에 제1 및 제2 공통라인(150,151)에 인가되는 공통전압의 차를 조절할 수 있는 더미저항(Ra)이 더 포함될 수 있다.

이 감쇄저항(Rb,Rc)은 게이트 TCP들(46A,46B,46C,46D) 사이에 형성되는 제3 내지 제6 LOG형 공통라인(150a 내지 150d)의 라인저항(a,b,c,d)과 직렬로 연결되고, 수학식 1과 같이 LOG형 공통라인의 라인저항(a,b,c,d)의 전체합(a+ b+ c+ d)과 동일한 저항을 가지게 된다.

수학식 1

$$Rb,Rc = a+b+c+d$$

이러한 감쇄저항(Rb,Rc)에 의해 공통전압 신호의 전류량이 제한됨으로써 이 감쇄저항(Rb,Rc)에 직렬로 접속되는 제3 내지 제6 LOG형 공통라인(150a 내지 150d)에 인가되는 전류량을 제한함과 아울러 라인간의 저항의 편차를 줄이는 역할을 한다.

이러한 전류량의 제한으로 LOG형 공통라인의 라인저항(a,b,c,d)이 공통전압 신호의 전압성분(Va,Vb,Vc,Vd)에 미치는 영향은 무시할 정도로 감소된다. 이에 따라, 게이트 드라이브 IC(48A,48B,48C,48D)에는 유사한 전압성분을 갖는 공통전압신호가 인가된다.

이와 같이, 본 발명의 제1 실시 예에 따른 액정표시장치는 제1 및 제2 공통라인(150,151) 각각의 입력단에 형성되는 감쇄저항(Rb,Rc)에 의해 제1 및 제2 공통라인(150,151)의 라인저항들이 작아져 각 게이트 드라이브 IC(48A,48B,48C,48D)의 입력단에 걸리는 저항이 동일해지게 된다. 이에 따라, 동일한 공통전압신호가 공통전극에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

도 5는 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 도면이다.

도 5에 도시된 액정표시장치는 도 3에 도시된 액정표시장치와 비교하여 게이트 드라이브 IC가 실장된 다수의 게이트 TCP들을 포함하는 게이트 구동회로군이 액정패널 좌우측 모두에 구비(이하 "더불 게이트 액정표시장치"라고 한다.)되는 것을 제외하고는 동일한 구성요소를 구비함으로 제1 실시예와 동일한 상세한 설명은 생략하기로 한다.

도 4에 도시된 더불 게이트 액정표시장치는 액정패널에서 게이트라인들이 좌/우로 분할되어 있고, 데이터 구동회로는 디지털 데이터를 아날로그 감마전압으로 보상해서 모든 데이터라인들에 공급하는 역할을 함과 아울러 스캔펄스에 동기되어 데이터라인들 각각에 화소전압신호를 공급한다.

좌측의 제1 게이트 구동회로군(172)은 액정패널의 좌반부 영역에 포함된 게이트라인들에 순차적으로 스캔펄스를 공급하고, 우측의 제2 게이트 구동회로군(172)은 제1 게이트 구동회로군(172)과 동기되고 액정패널의 우반부 영역에 포함된 게이트라인들에 순차적으로 스캔펄스를 공급한다.

이러한, 더블 게이트 액정표시장치의 LOG형 신호라인군에는 공통전압(VCOM)을 공급하는 공통라인(LVCOM)이 포함된다.

LOG형 공통라인은 액정패널의 좌측의 신호라인군에 포함되는 제1 LOG형 공통라인(150)과, 제1 LOG형 공통라인(150)과 화상표시영역(121)을 사이에 두고 나란함과 아울러 액정패널의 우측의 신호라인군에 포함되는 제2 LOG형 공통라인(151)을 포함한다.

각각의 제1 및 제2 LOG형 공통라인(150,151)의 입력단에는 상대적으로 저항값이 큰 감쇄저항(Rb,Rc)이 형성된다. 이 각각의 감쇄저항(Rb,Rc)에 의해 제1 및 제2 LOG형 공통라인(150,151)의 라인저항(a,b,c,d)들이 무시되어 라인저항으로 인한 게이트 드라이브 IC(48)별 공통전압의 전압차를 방지할 수 있게 된다.

이러한 제1 및 제2 감쇄저항(Rb,Rc)은 전원공급부의 공통전압 신호의 출력단에 직렬 접속되어 내장된다. 또한, 제1 감쇄저항(Rb)과 전원공급부 사이에 제1 및 제2 공통라인(150,151)에 인가되는 공통전압의 차를 조절할 수 있는 더미 저항(Rc)이 더 포함될 수 있다.

이 감쇄저항(Rb,Rc)은 게이트 TCP들(46A,46B,46C,46D) 사이에 형성되는 제3 내지 제6 LOG형 공통라인의 라인저항(a,b,c,d)과 직렬로 연결되고, LOG형 공통라인의 라인저항(a,b,c,d)의 전체합(a+ b+ c+ d)과 동일한 저항을 가지게 된다.

이러한 감쇄저항(Rb,Rc)에 의해 LOG형 공통라인의 라인저항(a,b,c,d)이 공통전압 신호의 전압성분(Va,Vb,Vc,Vd)에 미치는 영향은 감소된다. 이에 따라, 게이트 드라이브 IC(48A,48B,48C,48D)에는 유사한 전압성분(Va,Vb,Vc,Vd)을 갖는 공통전압신호가 인가된다.

이와 같이, 본 발명의 제2 실시 예에 따른 액정표시장치는 액정패널의 좌우측에 다수의 게이트 집적회로를 포함하는 제1 및 제2 게이트 구동회로군(172,174)이 설치됨과 아울러 제1 및 제2 공통라인(150,151) 각각의 입력단에 형성되는 감쇄저

항(Rb,Rc)에 의해 제1 및 제2 공통라인(150,151)의 라인저항들이 작아져 각 게이트 드라이브 IC(48A,48B,48C,48D)의 입력단에 걸리는 저항이 동일해지게 된다. 이에 따라, 동일한 공통전압신호가 공통전극에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

도 5는 본 발명의 제3 실시예에 따른 액정표시장치를 나타내는 도면이다.

도 5에 도시된 액정표시장치는 도 3에 도시된 액정표시장치와 비교하여 게이트 드라이브 IC가 실장된 다수의 게이트 TCP들을 포함하는 게이트 구동회로군이 액정패널 좌우측 모두에 구비됨과 아울러 데이터 PCB가 액정패턴의 상부 및 하부에 각각 위치(이하 "더블 게이트 및 더블 소스 액정표시장치" 라고 한다.)하는 것을 제외하고는 동일한 구성요소를 구비함으로 제1 실시예와 동일한 상세한 설명은 생략하기로 한다.

도 5에 도시된 더블 게이트 및 더블 소스 액정표시장치는 액정패널에서 게이트라인들이 좌/우로 분할되어 있고, 액정패널에서 데이터라인들이 상/하로 분리되어 있다.

액정패널의 상단의 제1 소스 구동회로군(182)는 디지털 데이터를 아날로그 감마전압으로 보상해서 상반부 영역의 모든 데이터라인들에 공급하는 역할함과 아울러 상반부 스캔펄스에 동기되어 상반부 데이터라인들 각각에 화소전압신호를 공급한다.

하단의 제2 소스 구동회로군(184)은 디지털 데이터를 아날로그 감마전압으로 보상해서 하반부 영역의 모든 데이터라인들에 공급하는 역할을 함과 아울러 하반부 스캔펄스에 동기되어 하반부 데이터라인들 각각에 화소전압신호를 공급한다.

좌측의 제1 게이트 구동회로군(172)은 액정패널의 좌반부 영역에 포함된 게이트라인들에 순차적으로 스캔펄스를 공급하고, 우측의 제2 게이트 구동회로군(174)은 제1 게이트 구동회로군(172)과 동기되고 액정패널의 우반부 영역에 포함된 게이트라인들에 순차적으로 스캔펄스를 공급한다.

이러한, 더블 게이트 및 더블 소스 액정표시장치의 LOG형 신호라인군에는 공통전압(VCOM)을 공급하는 공통라인(LVCOM)이 포함된다.

LOG형 공통라인은 액정패널의 좌측의 신호라인군에 포함되는 제1 LOG형 공통라인(150)과, 제1 LOG형 공통라인(150)과 화상표시영역(121)을 사이에 두고 나란함과 아울러 액정패널의 우측의 신호라인군에 포함되는 제2 LOG형 공통라인(151)을 포함한다.

각각의 제1 및 제2 LOG형 공통라인(150,151)은 액정패널의 상부 및 하부에 각각 설치되는 데이터 PCB 내에 위치하는 전원공급부로 부터 공통전압을 공급받는다.

제1 및 제2 LOG형 공통라인(150,151)의 상부 및 하부 입력단 각각에는 상대적으로 저항값이 큰 감쇄저항(Rb,Rc)이 형성된다. 이 각각의 감쇄저항(Rb,Rc)에 의해 제1 및 제2 LOG형 공통라인(150,151)의 라인저항(a,b,c,d)들이 작아져 라인저항으로 인한 게이트 드라이브 IC(48)별 공통전압의 전압차를 방지할 수 있게 된다.

이러한 제1 및 제2 감쇄저항(Rb,Rc)은 전원공급부의 공통전압 신호의 출력단에 직렬 접속된다. 또한, 제1 감쇄저항(Rb)과 전원공급부 사이에 제1 및 제2 공통라인(150,151)에 인가되는 공통전압의 차를 조절할 수 있는 더미 저항(Rc)이 더 포함될 수 있다.

이 감쇄저항(Rb,Rc)은 게이트 TCP들(46A,46B,46C,46D) 사이에 형성되는 제3 내지 제6 LOG형 공통라인의 라인저항(a,b,c,d)과 직렬로 연결되고, LOG형 공통라인의 라인저항(a,b,c,d)의 전체합(a+ b+ c+ d)과 동일한 저항을 가지게 된다.

이러한 감쇄저항(Rb,Rc)에 의해 LOG형 공통라인의 라인저항(a,b,c,d)이 공통전압 신호의 전압성분(Va,Vb,Vc,Vd)에 미치는 영향이 감소된다. 이에 따라, 게이트 드라이브 IC(48A,48B,48C,48D)에는 유사한 전압성분을 갖는 공통전압신호가 인가된다.

이와 같이, 본 발명의 제3 실시 예에 따른 액정표시장치는 액정패널의 좌우측에 다수의 게이트 집적회로를 포함하는 제1 및 제2 게이트 구동회로군(172,174)과 액정패널의 상부 및 하부에 제1 및 제2 데이트 집적회로군(182,14)이 설치됨과 아울러 제1 및 제2 공통라인(150,151) 각각의 입력단에 형성되는 감쇄저항(Rb,Rc)에 의해 제1 및 제2 공통라인(150,151)의 라인저항들이 작아져 각 게이트 드라이브 IC(48A,48B,48C,48D)의 입력단에 걸리는 저항이 동일해지게 된다. 이에 따라, 동일한 공통전압신호가 공통전극에 공급됨에 따라 수평라인 블럭(A,B,C,D)간의 휘도차는 방지된다.

한편, 제2 및 제3 실시예의 더블 게이트 및 더블 소스 구조는 액정패널이 점차 대형화됨에 따라 액정패널을 분할하여 구동할 수 있게 함으로써 점더 효율적인 대형액정패널을 구동이 가능하게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법은 LOG형 공통라인의 입력단에 LOG형 공통라인의 라인저항의 전체합보다 상대적으로 큰 저항을 형성하게 된다. 이에 따라, LOG형 공통라인의 라인저항은 감쇄저항에 비해 상대적으로 작아져 게이트 드라이브 집적회로별로 게이트구동신호들의 전압차를 줄일 수 있어 라인저항 차에 인한 수평라인 블럭간의 휘도차를 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀 매트릭스를 갖는 액정패널과;

공통전압을 발생하는 전원 공급부와;

상기 액정패널의 기판 상에 직접 형성되며 상기 액정셀의 공통전극에 접속되는 공통라인과;

상기 전원 공급부와 상기 기판 상에 형성된 공통라인 사이에서 상기 액정패널의 기판 상에 직접 형성된 공통라인의 저항 이상의 큰 저항값으로 상기 공통전압을 보상하는 공통전압 보상부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하기 의한 게이트 직접회로를 더 구비하고,

상기 공통라인은 상기 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

테이프 케리어 패키지를 경유하여 상기 액정패널의 데이터라인들에 접속되어 상기 액정패널의 데이터라인들에 데이터신호를 공급하는 데이터 집적회로를 더 구비하고,

상기 공통라인은 상기 테이프 케리어 패키지를 경유하여 상기 공통전압 보상부에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 공통전압 보상부는,

상기 전원 공급부와 상기 공통라인 사이에 형성된 적어도 하나 이상의 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 공통라인은,

상기 액정패널의 기판 일측 가장자리에 형성되고 상기 공통전극의 일측에 접속되는 제1 공통라인과;

상기 액정패널의 기판 타측 가장자리에 형성되고 상기 공통전극의 타측에 접속되는 제2 공통라인을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 제1 공통라인은 상기 액정표시패널의 게이트라인들에 스캔펄스를 공급하기 의한 게이트 직접회로를 경유하여 상기 공통전극에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 5 항에 있어서,

상기 공통전압 보상부는,

상기 제1 공통라인과 상기 전원 공급부 사이에 형성된 제1 저항과;

상기 제2 공통라인과 상기 전원 공급부 사이에 형성된 제2 저항과;

상기 제1 저항과 상기 제2 저항 사이에 형성된 제3 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 제3 저항은 상기 전원 공급부의 공통전압 출력단자와 상기 제1 저항 사이에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 3 항에 있어서,

상기 테이프 케리어 패키지와 접속되는 인쇄회로기판을 더 구비하고,

상기 공통전압 보상부는 상기 인쇄회로기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10.

다수의 데이터라인들과 다수의 게이트라인들이 교차되며 액정셀들이 매트릭스 타입으로 배치되는 액정패널과;

상기 액정패널의 제1 측에 설치되며 다수의 데이터 집적회로를 포함하는 데이터 구동회로군과;

상기 액정패널의 제2 측에 설치되며 다수의 게이트 집적회로를 포함한 제1 게이트 구동회로군과;

상기 액정패널의 제3 측에 설치되며 다수의 게이트 집적회로를 포함한 제2 게이트 구동회로군과;

공통전압을 발생하는 전원 공급부와;

상기 액정패널의 기판 상에 직접 형성되며 상기 액정셀의 공통전극에 접속되는 공통라인과;

상기 전원 공급부와 상기 기판 상에 형성된 공통라인 사이에서 상기 액정패널의 기판 상에 직접 형성된 공통라인의 저항 이상의 큰 저항값으로 상기 공통전압을 보상하는 공통전압 보상부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11.

제 10 항에 있어서,

상기 공통라인은,

상기 제1 게이트 구동회로군의 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 제1 공통라인과,

상기 제2 게이트 구동회로군의 게이트 집적회로를 경유하여 상기 공통전극에 접속되는 제2 공통라인을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 10 항에 있어서,

상기 공통라인은 상기 데이터 집적회로가 실장된 테이프 케리어 패키지를 경유하여 상기 공통전압 보상부에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 10 항에 있어서,

상기 공통전압 보상부는,

상기 전원 공급부와 상기 공통라인 사이에 형성된 적어도 하나 이상의 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 11 항에 있어서,

상기 공통전압 보상부는,

상기 제1 공통라인과 상기 전원 공급부 사이에 형성된 제1 저항과;

상기 제2 공통라인과 상기 전원 공급부 사이에 형성된 제2 저항과;

상기 제1 저항과 상기 제2 저항 사이에 형성된 제3 저항을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 10 항에 있어서,

상기 데이터 구동회로군과 접속되는 인쇄회로기판을 더 구비하고,

상기 공통전압 보상부는 상기 인쇄회로기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

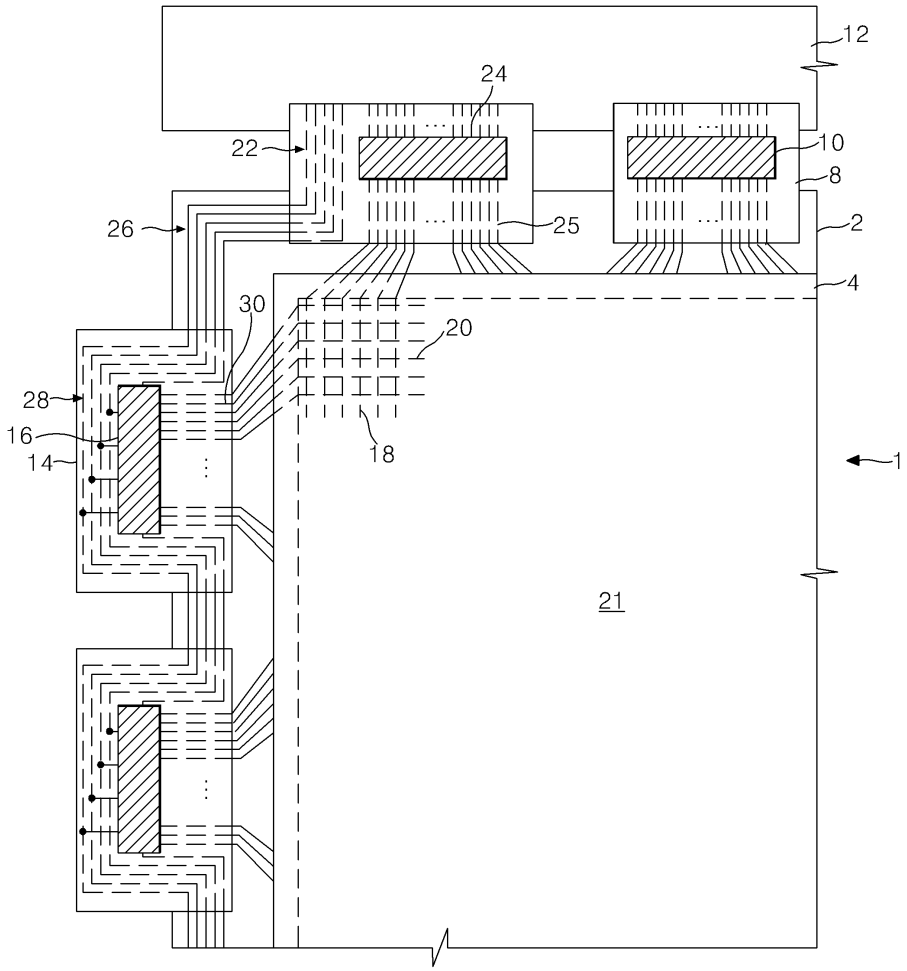
청구항 16.

제 10 항에 있어서,

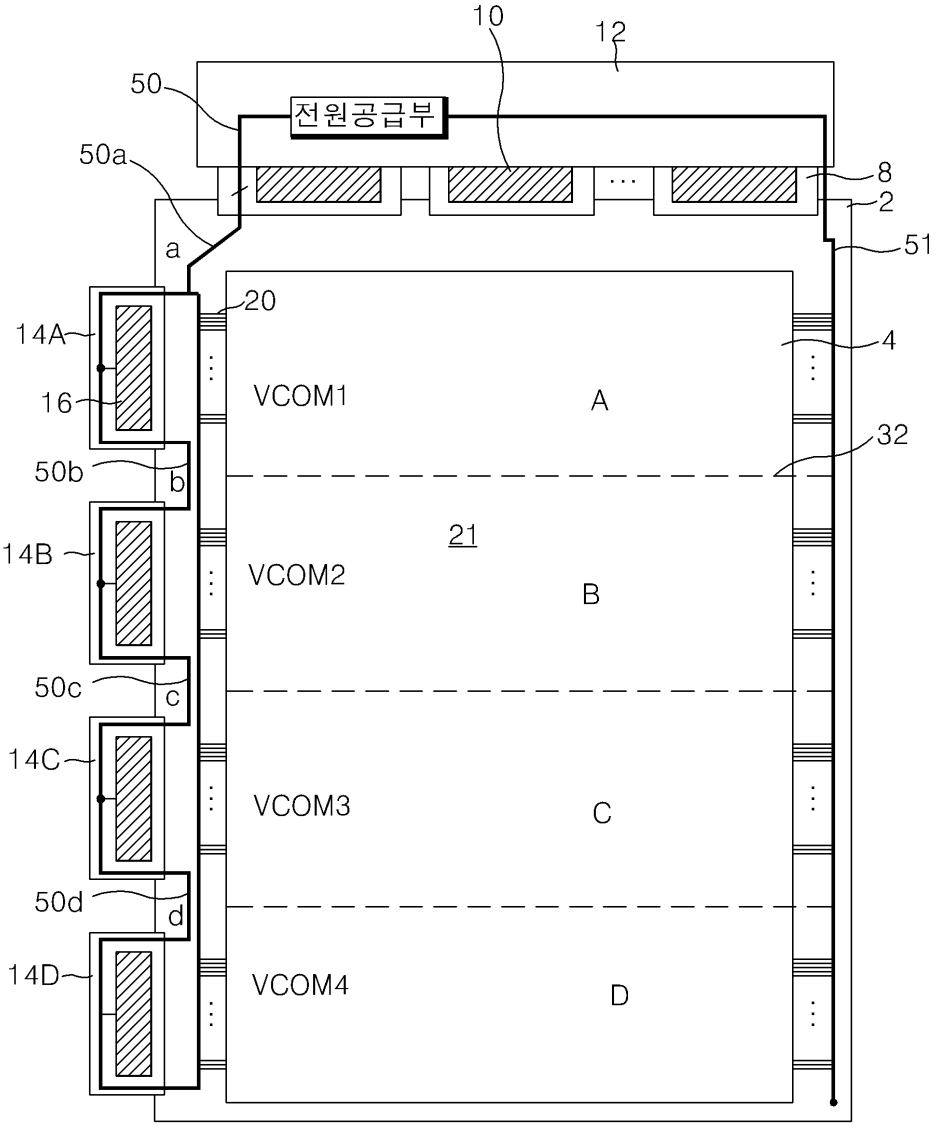
상기 액정표시패널의 제4 측에 설치되며 다수의 데이터 집적회로를 포함하는 제2 데이터 구동회로군을 더 구비하는 것을 특징으로 하는 액정표시장치.

도면

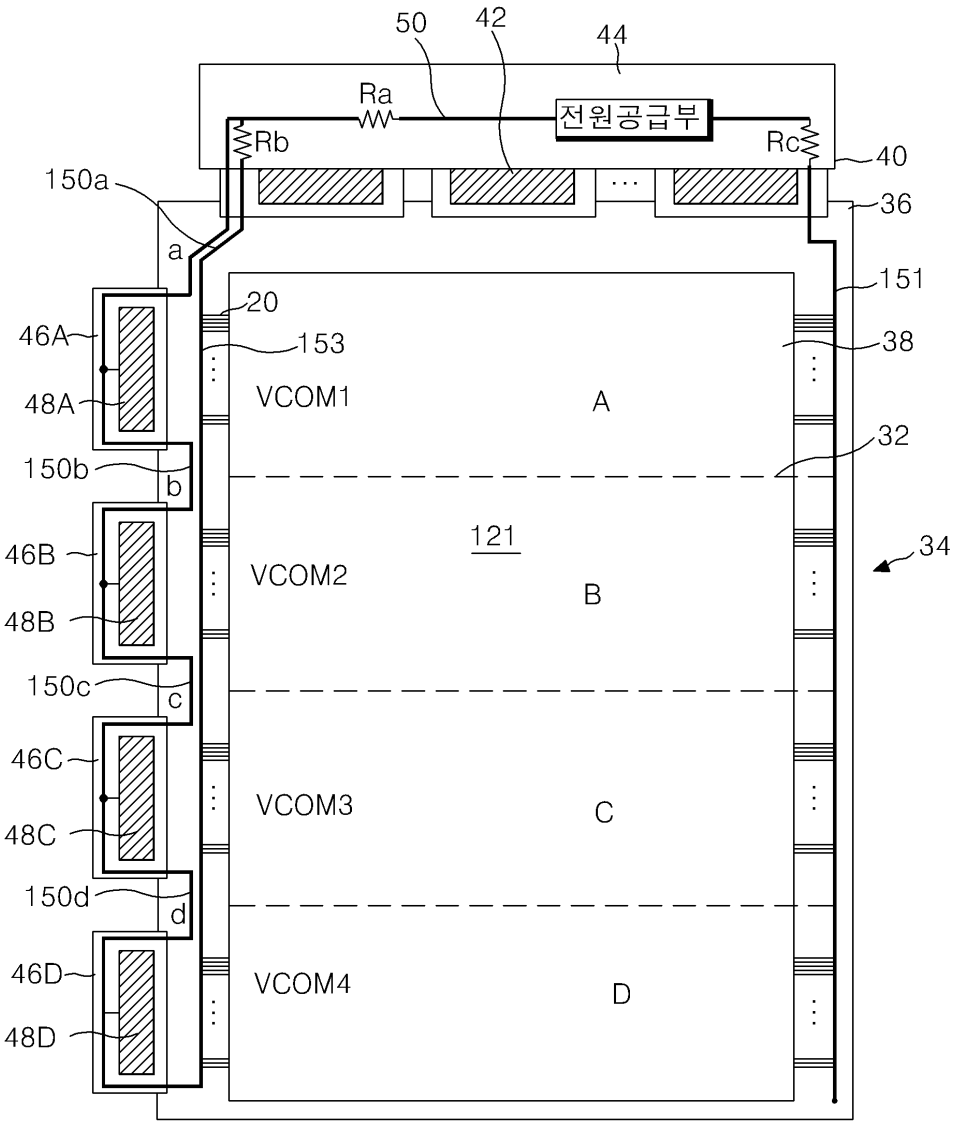
도면1



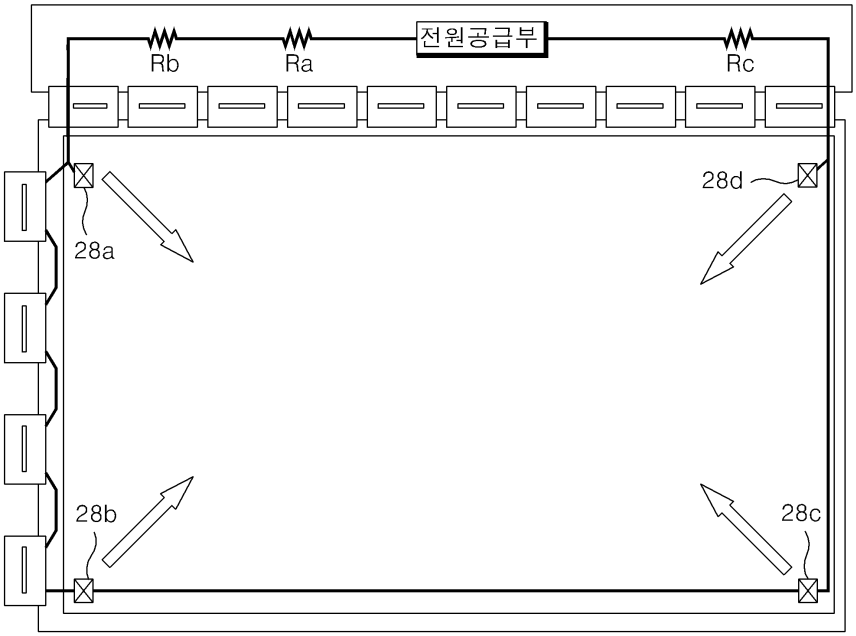
도면2


10
12
50
전원공급부
50a
8
2
51
a
20
14A
4
16
VCOM1
A
32
50b
b
21
14B
VCOM2
B
50c
c
14C
VCOM3
C
50d
d
14D
VCOM4
D

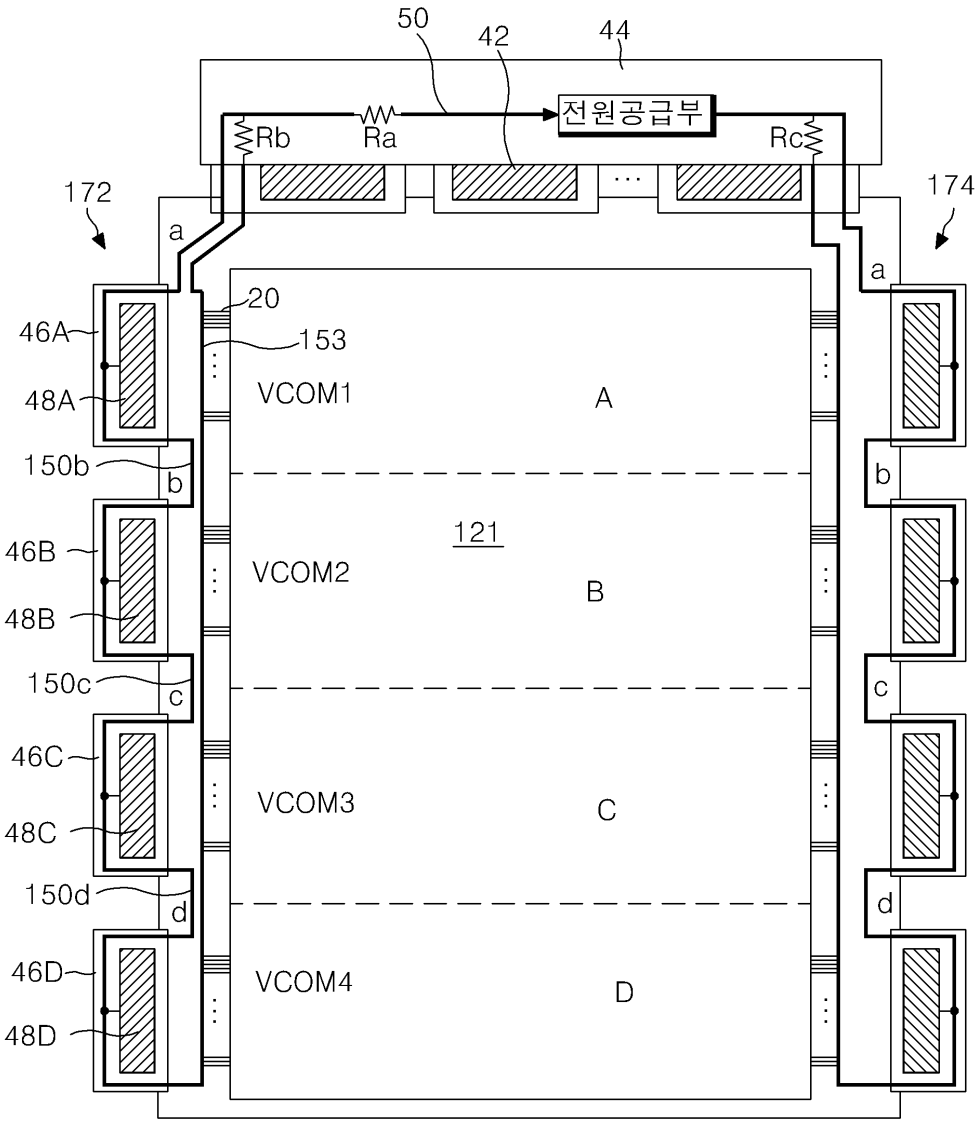
도면3


50
42
44
Ra
전원공급부
Rb
Rc
40
150a
36
a
151
20
46A
153
38
VCOM1
A
48A
32
150b
b
121
46B
VCOM2
34
B
48B
150c
c
46C
VCOM3
C
48C
150d
d
46D
VCOM4
D
48D

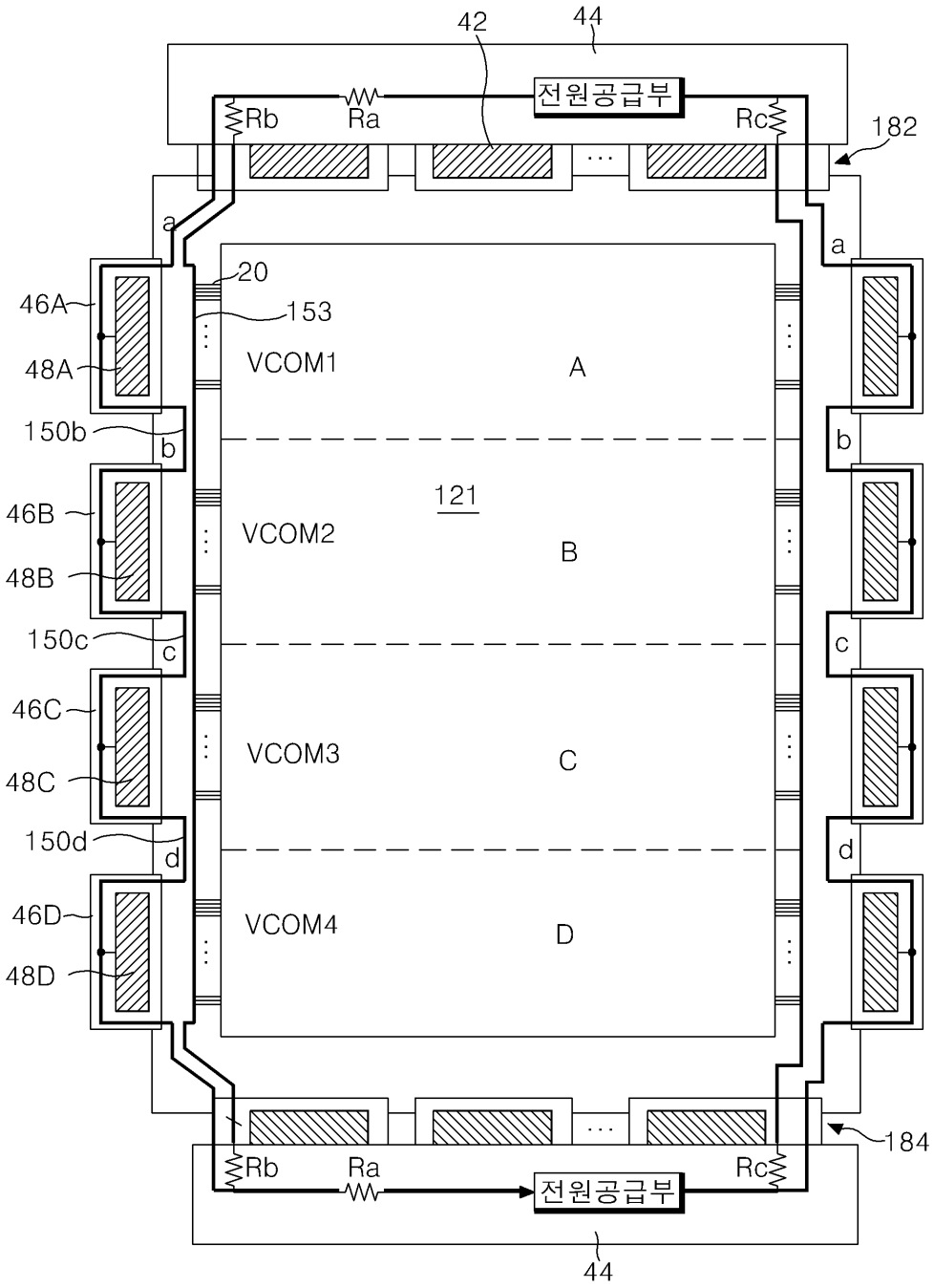
도면4



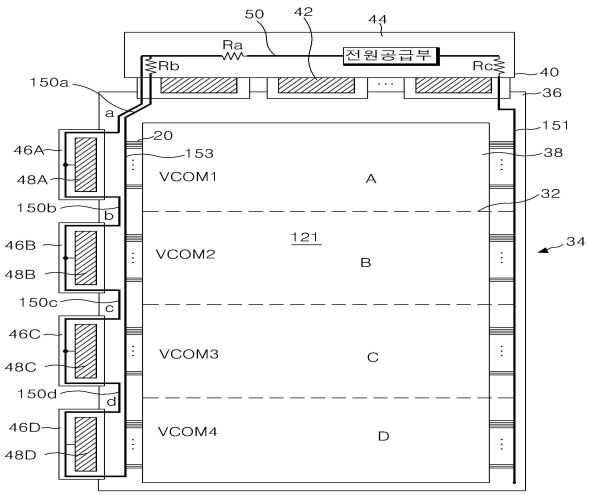
도면5


50
42
44
전원공급부
Rb
Ra
Rc
172
174
a
a
20
153
46A
48A
150b
b
b
VCOM1
A
121
46B
48B
150c
c
c
VCOM2
B
46C
48C
150d
d
d
VCOM3
C
46D
48D
VCOM4
D

도면6


42
44
전원공급부
Rb
Ra
Rc
182
a
20
153
46A
48A
150b
b
VCOM1
A
121
46B
48B
VCOM2
B
150c
c
46C
48C
VCOM3
C
150d
d
46D
48D
VCOM4
D
184
전원공급부
Rb
Ra
Rc
44

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050068840A	公开(公告)日	2005-07-05
申请号	KR1020030100655	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEOKSU 김석수 KIM HYUNSEOK 김현석 CHOI SUNYOUNG 최선영		
发明人	김석수 김현석 최선영		
IPC分类号	G09G3/36		
CPC分类号	G09G2320/0233 G09G3/3655		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100995639B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种装置和方法，用于防止水平线块的对比度差异。