



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0029306
(43) 공개일자 2008년04월03일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0095174

(22) 출원일자 2006년09월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이범

충남 천안시 쌍용동 주공 10단지 504동 703호

하재민

경기 용인시 풍덕천동 삼성5차아파트 526동 1604호

(74) 대리인

조희원

전체 청구항 수 : 총 10 항

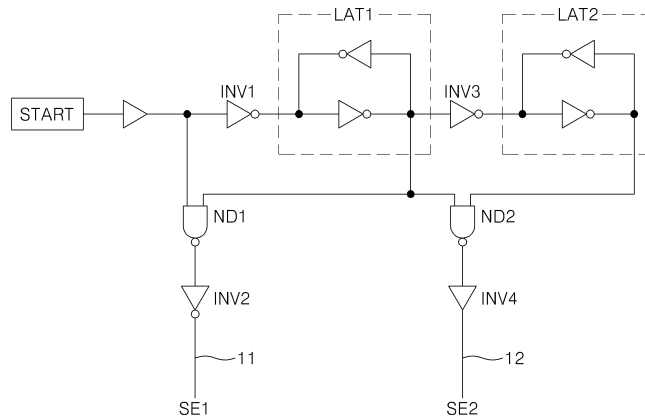
(54) 액정 표시 장치

(57) 요약

본 발명은 다중화 회로를 사용하여 게이트 구동회로에 연결된 하나의 게이트 배선을 통해 적어도 2개 이상의 주사신호를 발생시킬 수 있어 게이트 구동회로 사용을 최소화하는 액정 표시 장치에 관한 것이다.

본 발명은 상부 기판과 복수개의 게이트 라인과 데이터 라인이 형성되는 하부기판을 포함하는 액정패널에 있어서 하나의 채널이 두 개 이상의 상기 게이트 라인에 연결되며, 상기 채널로 게이트 라인 구동신호를 출력하는 게이트 구동부와 라인 선택 신호에 응답하여 상기 채널과 상기 두 개 이상의 게이트 라인의 연결을 각각 단속하는 스위칭부가 있으며 상기 게이트 라인 구동신호가 상기 두 개 이상의 게이트 라인에 순차적으로 인가되도록 상기 라인 선택 신호를 출력하여 상기 스위칭부를 제어하는 라인 선택 신호 발생부를 포함하는 것을 특징으로 하는 액정 표시 장치에 관한 것이다.

대표도 - 도4



특허청구의 범위

청구항 1

상부기관과, 복수 개의 게이트 라인과 데이터 라인이 형성되는 하부기관을 포함하는 액정패널에 있어서, 하나의 채널이 두 개 이상의 상기 게이트 라인에 연결되며, 상기 채널로 게이트 구동신호를 출력하는 게이트 구동부와;

라인 선택 신호에 응답하여 상기 채널과 상기 두 개 이상의 게이트 라인의 연결을 각각 단속하는 스위칭부와;

상기 게이트 구동신호가 상기 두 개 이상의 게이트 라인에 순차적으로 인가되도록, 상기 라인 선택 신호를 출력하여 상기 스위칭부를 제어하는 라인선택 신호발생부;를 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 스위칭부는 상기 라인 선택 신호에 의해 턴온되어 상기 게이트 구동신호를 상기 게이트 라인으로 인가하는 트랜지스터인 것을 특징으로 하는 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 라인선택신호 발생부는, 상기 게이트 구동부의 게이트 클럭 신호의 n 배의 주파수 클럭에 동기되어 동작하며, 상기 n은 상기 채널에 연결되는 상기 게이트 라인의 수인 것을 특징으로 하는 액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 라인선택신호 발생부는 상기 게이트 구동부의 수직동기시작신호에 인에이블되는 것을 특징으로하는 액정 표시 장치.

청구항 5

제 4 항에 있어서, 상기 라인선택신호 발생부는

입력신호를 지연시키는 버퍼와, 상기 입력신호와 상기 버퍼로부터 지연된 입력신호를 입력받아 앤드연산하여 라인선택신호로 출력하는 앤드연산수단을 구비하는 복수의 라인선택신호 유닛이 캐스케이드로 연결되어 구성되며,

상기 지연된 입력신호는 다음 단 라인선택신호 유닛의 입력신호로 입력되는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제 5 항에 있어서,

상기 복수의 라인선택신호 유닛 중 첫 번째 단의 라인선택신호 유닛의 입력신호는 상기 게이트 구동부의 수직동기시작신호인 것을 특징으로 하는 액정 표시 장치.

청구항 7

제 6 항에 있어서, 상기 버퍼는

입력신호의 위상을 반전하여 출력하는 인버터와,

상기 인버터의 출력을 래치하는 래치를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제 6 항에 있어서, 상기 앤드연산수단은 상기 입력신호와 상기 버퍼로부터 지연된 입력신호를 입력받아 낸드연산하는 낸드게이트와 상기 낸드게이트의 출력의 위상을 반전하여 상기 라인선택신호로 출력하는 인버터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제 3 항에서 있어서, 상기 라인선택신호 발생부는 상기 n 배의 주파수 클록에 의해 인에이블되는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제 4 항에 있어서, 상기 n은 2이고, 상기 라인선택신호 발생부는

상기 라인 선택 신호를 입력받아, 홀수 번째 상기 게이트 라인에 연결된 스위칭부에 인가하는 버퍼와,

상기 라인 선택 신호를 입력받아 짝수번째 상기 게이트 라인에 연결된 스위칭부에 인가하는 인버터를 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정 표시 장치에 관한 것으로 특히 구동부 형성방법에 대한 것이다.
- <16> 액정 표시 장치는 일반적으로 화소 전극을 가지는 박막 트랜지스터기판과 공통전극을 가지는 컬러 필터기판 사이에 액정을 주입하여 화소 전극과 공통전극의 전위차를 이용해 액정 배열을 변경시키고, 유전율 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.
- <17> 구동회로는 액정 표시 패널의 게이트 라인을 구동하기 위한 게이트 구동부와, 데이터 라인들을 구동하기 위한 데이터 구동부와 게이트 구동부 및 데이터 구동부의 구동 타이밍을 제어하기 위한 타이밍 제어부와 액정 표시 패널과 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.
- <18> 칩 형태로 제작된 게이트 구동회로와 데이터 구동회로들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 영역에 실장되거나 COF(Chip On Film)방식으로 TCP의 베이스 필름상에 실장 되고, TAB(Tape Automated Boninding)방식으로 액정 표시 패널과 전기적으로 접속된다. 또한, 구동회로는 COG(Chip On Glass)방식으로 액정 표시 패널 상에 직접 실장 되기도 한다. 이러한 구동회로들을 액정표시 패널에 부착하기 위해 모듈 공정이 늘어나고 구동 프린트 회로기판(Printed Circuit Board; PCB)이 필요하게 됨으로써 공정비용 증가와 구동회로의 개수가 증가되 원가 상승 등의 문제가 된다. 이러한 문제로 인해 게이트 라인 구동을 위한 게이트 드라이버를 비정형 실리콘 유리판에 내장하는 ASG(Amorphous Silicon Gate)패널을 개발하여 외부의 부품 감소에 의한 원가 절감 효과를 얻을 수 있었다. 하지만, 패널의 대형화가 급격히 이루어지고 있고 대형 패널에서 게이트 신호가 큰 부하로 인해 기판에서 전달되는 과정 중 정상출력에 제한이 걸린다는 단점으로 인해 한시적으로 적용되고 있다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서, 본 발명이 이루고자 하는 기술적 과제는 게이트 구동회로의 수를 최소한으로 사용하여 게이트 라인에 정상출력을 공급하고 모듈공정 단순화 및 원가 절감을 할 수 있는 액정 표시 패널을 제공함에 목적이 있다.

발명의 구성 및 작용

- <20> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 상부 기판과 복수개의 게이트 라인과 데이터 라인이 형성되는 하부기판을 포함하는 액정패널에 있어서 하나의 채널이 두 개 이상의 상기 게이트 라인에 연결되며, 상기 채널로 게이트 라인 구동신호를 출력하는 게이트 구동부와 라인 선택 신호에 응답하여 상기 채널과 상기 두 개 이상의 게이트 라인의 연결을 각각 단속하는 스위칭부에 있어서 상기 게이트 라인 구동신호가 상기 두 개 이상의 게이트 라인에 순차적으로 인가되도록, 상기 라인 선택 신호를 출력하여 상기 스위칭부를 제어하는 라인 선택 신호발생부를 포함한다.
- <21> 상기 스위칭부는 상기 라인 선택 신호에 의해 턴온되어 상기 게이트 구동신호를 상기 게이트 라인으로 인가하는 트랜지스터인 것을 특징으로 한다.
- <22> 그리고 상기 라인선택신호 발생부는, 상기 게이트 구동부의 게이트 클록 신호의 n 배의 주파수 클록에 동기되어

동작하며, 상기 n은 상기 채널에 연결되는 상기 게이트 라인의 수인 것을 특징으로 한다.

- <23> 상기 라인선택신호 발생부는 상기 게이트 구동부의 수직동기시작신호에 인에이블되는 것을 특징으로 한다. 그리고 상기 라인선택신호 발생부는 입력신호를 지연시키는 버퍼와, 상기 입력신호와 상기 버퍼로부터 지연된 입력신호를 입력받아 앤드연산하여 라인선택신호로 출력하는 앤드연산수단을 구비하는 복수의 라인선택신호 유닛이 캐스케이드로 연결되어 구성되며, 상기 지연된 입력신호는 다음 단 라인선택신호 유닛의 입력신호로 입력되는 것을 특징으로 한다. 또한 상기 복수의 라인선택신호 유닛 중 첫 번째 단의 라인선택신호 유닛의 입력신호는 상기 게이트 구동부의 수직동기시작신호인 것을 특징으로 한다. 그리고 상기 버퍼는 입력신호의 위상을 반전하여 출력하는 인버터와, 상기 인버터의 출력을 래치하는 래치를 포함하는 것을 특징으로 한다.
- <24> 상기 앤드연산수단은 상기 입력신호와 상기 버퍼로부터 지연된 입력신호를 입력받아 낸드연산하는 낸드게이트와 상기 낸드게이트의 출력의 위상을 반전하여 상기 라인선택신호로 출력하는 인버터를 포함하는 것을 특징으로 한다.
- <25> 상기 라인선택신호 발생부는 상기 n 배의 주파수 클록에 의해 인에이블되는 것을 특징으로 한다. 따라서 상기 n은 2이고, 상기 라인선택신호 발생부는 상기 라인 선택 신호를 입력받아, 홀수 번째 상기 게이트 라인에 연결된 스위칭부에 인가하는 버퍼와, 상기 라인 선택 신호를 입력받아 짝수번째 상기 게이트 라인에 연결된 스위칭부에 인가하는 인버터를 포함하는 것을 특징으로 한다.
- <26> 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 블록도 이다.
- <27> 도 1을 참조하면, 본 발명에 따른 액정표시장치(60)는 화면을 디스플레이하는 액정 표시 패널(70), 액정 표시 패널(70)을 구동하는 구동 회로부(75)를 포함하고 있다.
- <28> 액정표시패널(70)은 다수의 데이터 라인(DL1 내지 DLm) 및 다수의 게이트 라인(GL1 내지 GLn)의 교차부에 매트릭스 형태로 배치되는 다수의 액정셀(C1c)을 구비한다.
- <29> 액정셀(C1c)에 각각 형성된 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 공급되는 게이트온전압(Von)에 응답하여 데이터 라인(DL)로부터 공급되는 아날로그 계조전압을 액정셀(C1c)의 화소 전극에 공급한다. 이를 위해, 박막 트랜지스터(TFT)는 게이트 라인(GL)에 접속된 게이트 전극, 데이터 라인(DL)에 접속된 소스전극, 소스 전극과 마주보고 형성되어 있으며 액정셀(C1c)의 화소 전극과 접속된 드레인전극, 게이트 절연막을 사이에 두고 게이트 전극과 중첩되어 형성된 활성층을 포함하고 있다.
- <30> 또한, 액정셀(C1c) 각각에는 액정셀(C1c)의 화소 전극에 인가되는 아날로그계조 전압을 1 프레임 동안 일정하게 유지시키는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(C1c)의 화소 전극과 전단 게이트 라인 사이에 형성되거나 액정셀(C1c)의 화소 전극과 액정셀(C1c)의 스토리지전극선 사이에 형성되어 액정셀(C1c)의 화소 전극에 충전된 전압을 일정하게 유지시킨다.
- <31> 구동 회로부(75)는 다수의 게이트 라인(GL1 내지 GLn)에 게이트 온전압(Von)과 게이트 오프전압(Voff)을 공급하는 게이트 구동회로(13), 다수의 데이터 라인(DL1 내지 DLm)에 아날로그 계조전압을 공급하는 데이터 구동회로(7), 아날로그 계조전압을 생성하여 데이터 구동회로(7)에 공급하는 계조전압 생성부(100), 게이트 구동회로(13)에 게이트 온전압(Von)과 게이트 오프전압(Voff)을 공급하고 계조 전압생성부(100)에 아날로그 구동전압(AVDD)을 공급하는 직류-직류변환부(120), 시스템(10)의 전원출력부(40)로부터 구동전압(VDD)을 인가받는 전원 입력부(110), 게이트 구동회로(13)와 데이터 구동회로(7)를 제어하는 타이밍제어부(130), 시스템(10)과 액정표시장치(60) 사이에 유도전압이 발생 되어도 타이밍제어부(130)가 정상적으로 작동되도록 하는 보상회로부(140)를 포함하고 있다.
- <32> 게이트 구동회로(13)는 타이밍제어부(130)로부터의 게이트 제어신호(GCS)에 응답하여 직류-직류변환부(120)에서 출력된 게이트 온전압(Von)과 게이트 오프전압(Voff)을 다수의 게이트 라인(GL1 내지 GLn)에 순차적으로 공급한다. 여기서, 게이트 제어신호(GCS)는 게이트 온 펄스의 출력시작을 지시하는 수직동기시작신호(STV), 게이트 클록 신호(CPV), 게이트 온 펄스의 폭을 한정하는 출력 인에이블신호(OE) 등을 포함한다.
- <33> 데이터 구동회로(7)는 타이밍제어부(130)로부터의 데이터제어신호(DCS)에 응답하여 디지털 영상신호(R, G, B)를 타이밍제어부(130)로부터 차례로 입력받는다. 또한, 데이터 구동회로(7)는 계조전압 생성부(100)로부터의 아날로그 계조전압 중 디지털 영상신호(R, G, B)에 대응하는 아날로그 계조전압을 선택하여 다수의 데이터 라인(DL1 내지 DLm)에 공급한다. 여기서, 데이터 제어신호(DCS)는 디지털 영상신호(R, G, B)의 입력시작을 지시하는 수평동기시작신호(STH), 데이터 라인(DL)에 해당 아날로그 계조 전압을 인가하라는 로드신호(LOAD), 공통전

압(Vcom)에 대한 아날로그 계조 전압의 극성을 반전시키는 반전신호(RVS) 및 데이터 클럭신호(DCLK) 등을 포함한다.

- <34> 게이트 구동회로(13)와 데이터 구동회로(7)는 TCP(Tape Carrier Package)에 실장된 상태로 액정표시패널(70)과 연결된다.
- <35> 이러한 게이트 구동회로(13)와 데이터 구동회로(7)의 구동방법을 보다 구체적으로 설명하면, 먼저 게이트 구동회로(13)가 타이밍제어부(130)로부터의 게이트제어신호(GCS)에 따라 게이트 온전압(Von)을 하나의 게이트 라인(GL)에 인가한다. 그러면, 이 게이트 라인(GL)에 연결된 박막 트랜지스터(TFT)가 턴온되며 이때 데이터 구동회로(7)가 아날로그 계조 전압을 다수의 데이터 라인(DL1 내지 DLm)에 공급한다. 다수의 데이터 라인(DL1 내지 DLm)에 공급된 아날로그 계조 전압은 턴온된 박막 트랜지스터(TFT)를 통해 해당 화소 전극에 인가된다. 이러한 방식으로 한 프레임 동안 모든 게이트 라인(GL1 내지 GLn)에 대하여 차례로 게이트 온전압(Von)을 인가하여 모든 화소 전극에 아날로그 계조전압을 인가한다.
- <36> 한 프레임이 끝나고 다음 프레임이 시작되면 각 화소 전극에 인가되는 아날로그 계조전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동회로(7)에 인가되는 반전신호(RVS)의 상태가 제어된다(프레임 반전). 또는, 한 프레임 내에서도 반전신호(RVS)의 특성에 따라 한 데이터 라인(DL)을 통하여 공급되는 아날로그 계조 전압의 극성이 바뀔 수 있다(라인 반전). 또는, 한 화소 전극마다 인가되는 아날로그 계조전압의 극성이 서로 다를 수 있다(도트 반전).
- <37> 계조전압 생성부(100)는 액정표시장치(60)의 투과율과 관련된 2종류의 아날로그 계조전압을 생성한다. 2종류의 아날로그 계조전압 중 1종류는 공통전압(Vcom)에 대하여 양의 값을 가지고 다른 1종류는 음의 값을 가진다.
- <38> 직류-직류변환부(120)는 전원입력부(110)로부터 입력된 파워구동전압(PVDD)을 승압 또는 감압하여 게이트 온전압(Von) 및 게이트 오프전압(Voff), 아날로그 구동전압(AVDD)을 각각 생성하여 게이트 구동회로(13)와 계조전압 생성부(100)에 각각 공급한다. 여기서, 직류-직류변환부(120)는 전원입력부(110)로부터 파워구동전압(PVDD)을 입력받는 대신에 보상회로부(140)로부터 출력된 전압을 인가받을 수 있다.
- <39> 전원입력부(110)는 시스템(10)의 전원출력부(40)로부터 구동전압(VDD)을 인가받아 보상회로부(140)로 출력하고 직류-직류변환부(120)로 파워구동전압(PVDD)을 출력한다.
- <40> 타이밍제어부(130)는 게이트 구동회로(13)의 동작을 제어하는 게이트 제어신호(GCS)를 생성하여 게이트 구동회로(13)에 공급한다. 또한, 타이밍제어부(130)는 데이터 구동회로(7)의 동작을 제어하는 데이터 제어신호(DCS)와 디지털 영상신호(R, G, B)를 생성하여 데이터 구동회로(7)에 공급한다. 이러한 타이밍제어부(130)의 구동전압으로서 보상회로부(140)로부터 출력된 타이밍 구동전압(TVDD)이 사용된다.
- <41> 타이밍 제어부(130)는 시스템(10)의 그래픽제어부(20)로부터 LVDS 또는 TMDS인터페이스를 통해 디지털 영상신호(R, G, B) 및 이의 표시를 제어하는 입력제어신호, 예를 들면 수직동기신호(Vsync), 수평동기신호(Hsync), 메인 클럭(MLCK), 데이터인에이블신호(DE) 등을 제공받는다.
- <42> 도 2는 본 발명에 따른 액정 표시 장치의 개략적인 평면도이다.
- <43> 도 2를 참조하면 상부 기판과 게이트 라인과 데이터 라인이 교차하여 형성된 하부 기판이 합착된 액정패널의 일측에 게이트 구동회로(13)가 형성되어 있으며 이와 수직인 방향 측에 데이터 구동회로(7)가 형성된다.
- <44> 게이트 구동회로(13)는 게이트 TCP(15)에 실장 되어 있으며 상기 게이트 배선에 게이트 온전압(Von)을 전달하는 게이트 구동회로(13)에 연결되는 게이트 제어신호라인(24)은 기판 위에 라인 온 글라스(Line On Glass)형태로 실장 되어 데이터 TCP(5)를 통해 구동 회로부(75)와 연결된다. 또한, 게이트 구동회로(13)에서 발생된 게이트 온전압(Von)을 게이트 라인에 전달하는 게이트 배선이 연결된다.
- <45> 데이터 구동회로(7)는 데이터 TCP(5)에 실장 되어 있으며 하부기판(3)과 연결된 데이터 TCP(5) 일측에는 외부의 제어신호와 데이터 신호를 전달하는 매개수단인 데이터 PCB(9)에 연결된다. 상기 데이터 PCB(9)에는 신호 발생부(21)가 실장되어 있다.
- <46> 신호 발생부(21)는 다중화 회로(Multiplexer; 이하 '먹스 회로'라 칭함)로 구성되어 있다. 상기 먹스 회로는 다수의 입력신호를 하나의 출력라인을 이용하여 순차적으로 전달하는 매개수단을 말하는 것이다. 한편, 상기 먹스 회로는 선택 신호라인(11, 12)을 통해 액정 표시 패널(70)에 신호를 인가하는 게이트 배선과 연결된다. 그리고 신호 발생부(21)에서 발생된 라인 선택 신호는 게이트 구동회로의 채널이 순차적으로 구동하도록 게이트

배선에 위치한 각각의 트랜지스터를 제어한다. 여기서 트랜지스터는 모스 트랜지스터를 사용하는 것이 바람직하다.

- <47> 도 3은 도 2의 A 부분의 배선을 개략적으로 나타낸 부분 회로도이다.
- <48> 일반적으로 게이트 구동회로(13)는 많은 게이트 구동신호 단자를 가진 구동회로이다. 게이트 구동신호 단자의 개수는 그 구동회로가 사용되는 표시패널의 해상도에 따라 결정된다.
- <49> 그러나 하나의 구동회로에 수없이 많은 수의 출력을 뽑을 수 없기 때문에 정수개의 구동회로를 직렬로 연결하여 사용한다.
- <50> 게이트 구동신호는 시간적 관점에서 볼 때 한 프레임에 하나의 펄스만 존재하게 된다. 따라서 어떠한 게이트 구동신호와 동시에 존재하지 않는 것이 일반적이다. 이러한 구성에서 게이트 구동회로(13)를 줄이는 대신 제한된 채널을 가지는 게이트 구동회로(13)는 하나의 채널에 적어도 2개 이상의 주사신호를 발생시킬 수 있다. 따라서 상기 게이트 구동회로(13)의 다수의 게이트 배선은 신호 발생부(21)의 먹스 회로와 연결된 선택신호라인(11, 12)과 트랜지스터를 통해 연결된다. 그리고 상기 먹스 회로와 연결된 선택신호 라인(11, 12)을 통해 동기되어 순차적으로 게이트 라인에 게이트 온전압(Von)이 입력된다.
- <51> 게이트 구동회로(13)는 하나의 채널에 대해 한 프레임 동안 하나의 펄스를 인가한다. 한 프레임 동안 인가되는 게이트 온전압(Von)은 상기 먹스 회로 내의 각 제어회로의 신호에 의해 순차적으로 동기되어 각 해당 게이트 라인에 인가된다.
- <52> 따라서 라인 선택 신호는 로우(Low)와 하이(High)클럭을 가지는 게이트 클럭신호(CPV)일 때 제1 선택신호라인(11)과 연결된 먹스 회로 내의 버퍼를 통해 하이일 때 게이트 배선(G1)에 게이트 온전압(Von)을 인가한다. 그리고 상기 게이트 배선(G1)에 게이트 온전압(Von)이 인가될 때 제2 선택신호라인(12)은 먹스 회로 내의 인버터(19)를 통해 로우로 변환된 게이트 오프전압(Voff)을 나머지 게이트 배선에 인가하게 된다. 또한, 게이트 클럭신호(CPV)가 로우일때 버퍼를 통해 나온 신호는 게이트 배선(G1)에 게이트 오프전압(Voff)을 인가한다. 그리고 상기 로우일때 인버터(19)를 통해 하이로 변환되어 게이트 배선(G2)에 게이트 온전압(Von)을 인가하게 되어 상기 게이트 배선(G2)을 제외한 다른 게이트 배선에 게이트 오프전압(Voff)이 인가되어 조합이 가능하게 된다. 따라서 라인 선택신호에 응답하기 위하여 두개 이상의 게이트 라인의 연결을 스위칭하는 트랜지스터가 구비되어 있다.
- <53> 또한, 각각의 채널에 구동하지 않을 때 각 채널의 출력(Vout)이 로우로 확실히 잡힐 수 있게 한다. 여기서 버퍼(17)와 인버터(19)는 신호 발생부(21)의 먹스 회로에 포함되어 있지만 설명을 위해 회로와 함께 도시 하였다.
- <54> 도 4는 본 발명의 제2 실시예에 따른 신호 발생부의 먹스 회로를 개략적으로 나타낸 부분 회로도이다.
- <55> 도 4를 참조하면 게이트 온 펄스의 출력시작을 지시하는 스타트 신호는 수직동기시작신호(STV)인 것이 바람직하다.
- <56> 라인 선택 신호가 하이(High)신호를 가지는 게이트 온 펄스 신호가 버퍼를 통과해 제 1 선택신호라인(11)과 연결된 제1 낸드게이트(ND1)에 하이신호를 인가하고 제 2 선택신호라인(12)과 연결된 제2 낸드게이트(ND2)에 로우신호를 인가한다. 또한, 로우 클럭을 가지는 인가 전압이 인가될 때는 버퍼를 통과해 제1 낸드게이트(ND1)에 로우신호를 인가하고 제2 낸드게이트(ND2)에 하이신호를 인가하게 된다.
- <57> 구체적으로 하이신호는 버퍼를 통과해 나누어지며 한쪽은 제1 낸드게이트(ND1)의 한쪽 입력 라인으로 입력된다. 그리고 다른 한쪽은 인버터(INV1)를 통과해 로우신호로 바뀌게 되며 다시 래치(LAT1)부분의 인버터를 통과해 하이신호로 바뀌게 되어 제1 낸드게이트(ND1)의 나머지 입력라인으로 하이신호가 들어가며 또 다른 낸드게이트(ND2)의 한 부분으로 들어가게 된다. 따라서 제1 낸드게이트(ND1)를 통과한 하이신호는 다시 인버터(INV2)를 통과하여 로우신호로 바뀌게 되어 최종적으로 제 1 선택신호라인(11)에 로우 신호를 인가하게 된다.
- <58> 그리고 상기 래치(LAT1)를 통과한 하이 신호는 인버터(INV3)를 통과하여 로우신호로 바뀌고 래치(LAT2)를 통과하면서 다시 하이신호로 바뀌어 제2 낸드게이트(ND2)를 통과하며 버퍼를 통과해 하이 신호를 인가하게 된다. 따라서 제 2 낸드게이트(ND2)를 통과한 하이신호는 버퍼를 통과해 최종적으로 하이 신호를 제 2선택신호라인(12)에 인가하게 된다. 여기서 하이(High)신호를 가지는 인가전압(Vdd)을 예로 들었지만 로우신호를 가지는 인가전압이 버퍼를 통과했을 경우는 상기 신호와 정반대의 결과가 나오게 된다. 또한 인버터(INV1, INV3)들과 래치(LAT1, LAT2)는 게이트 클럭신호(CPV)에 동기되어 동작한다. 이때 게이트 클럭신호(CPV)는 종래 주파수의 2배

가 되는 것이 바람직하다.

- <59> 이렇게 하여 2개의 선택신호라인을 사용한 경우 한 개의 주사신호와 맥스 회로의 버퍼와 인버터의 신호에 의해 순차적으로 동기화되어 각 해당 게이트 배선에 입력된다. 이러한 맥스 회로를 통해 3개 이상의 선택신호라인을 사용할 경우도 래치와 낸드게이트를 추가하여 사용하면 된다.
- <60> 상기 게이트 구동 회로는 상기 각 게이트 배선에 직접 연결되는 직접연결 방식이 아니므로, 구동 회로의 제한된 채널을 이용하여 다수의 주사신호를 인가할 수 있으며, 이러한 신호는 맥스 회로의 제어신호에 의해 순차적으로 동기 되어 각 게이트 배선에 인가될 수 있다.
- <61> 이렇듯 한 개의 주사신호와 맥스 회로를 사용하여 게이트 구동 회로가 가지는 구동회로 단자의 2배의 게이트 배선을 구동시킬 수 있다. 여기서 선택 라인의 최소 개수는

수학식 1

$$\text{선택신호라인최소개수} \geq \frac{\text{세로해상도}}{(\text{게이트구동회로채널수} \times \text{게이트구동회로사용개수})}$$

- <62> 로 구할 수 있다. 예를 들어 세로해상도인 게이트 라인의 수가 900라인일 경우 패널에 300채널의 게이트 구동 회로 1개를 사용할 때 필요한 선택신호 라인의 최소 개수는 선택신호라인 최소개수가 3개보다 크거나 같은 값이 나오게 되어 선택신호 라인이 3개 이상 필요하게 된다.
- <63> 또한, 게이트 라인의 수가 900라인이고 패널에 300채널의 게이트 구동회로를 2개 사용하게 되면 선택신호 라인 최소개수는 1.5개보다 크거나 같게 되므로 게이트 구동회로 2개가 필요하게 된다.
- <64> 그리고 선택신호라인의 구동주기는

수학식 2

$$\text{선택신호라인의구동주기} = \frac{\text{메인프레임주기}}{(\text{세로해상도} \times \text{선택신호라인개수})}$$

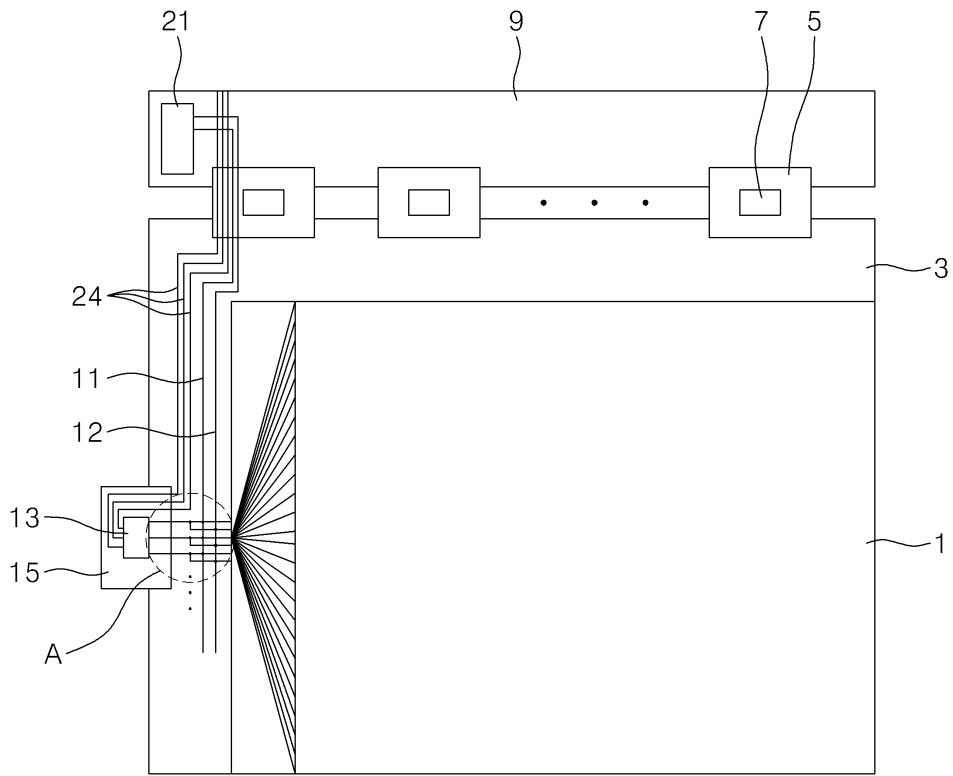
- <65> 로 구할 수 있다. 선택신호 라인의 구동주기는 게이트 라인의 출력(Output) 진동수(Frequency)와 같다. 따라서 메인프레임 주기가 60Hz이고 게이트 라인의 수가 900라인이며 선택신호 라인이 2개 있는 패널의 선택신호라인의 구동 주기를 구하면 1을 메인프레임 주기와 세로해상도 그리고 선택신호라인 수를 곱한 값으로 나누어주면 선택신호라인 구동주기인 108kHz를 구할 수 있다.
- <66> 여기서 시간은 1을 주파수 60으로 나눈 값이 된다.
- <67> 상기 수학식과 같이 데이터 PCB(9)에 맥스 회로를 추가시키는 것으로 게이트 구동회로의 사용 수량을 제어할 수 있다. 따라서 선택신호라인의 신호는 게이트 구동회로의 사용 수량과 사용 클럭주파수에 맞게 사용 수량을 조절하면 된다. 이때 게이트 구동회로의 사용수량은 적정선을 고려하여 정하고 이에 따른 설계를 해야한다.

발명의 효과

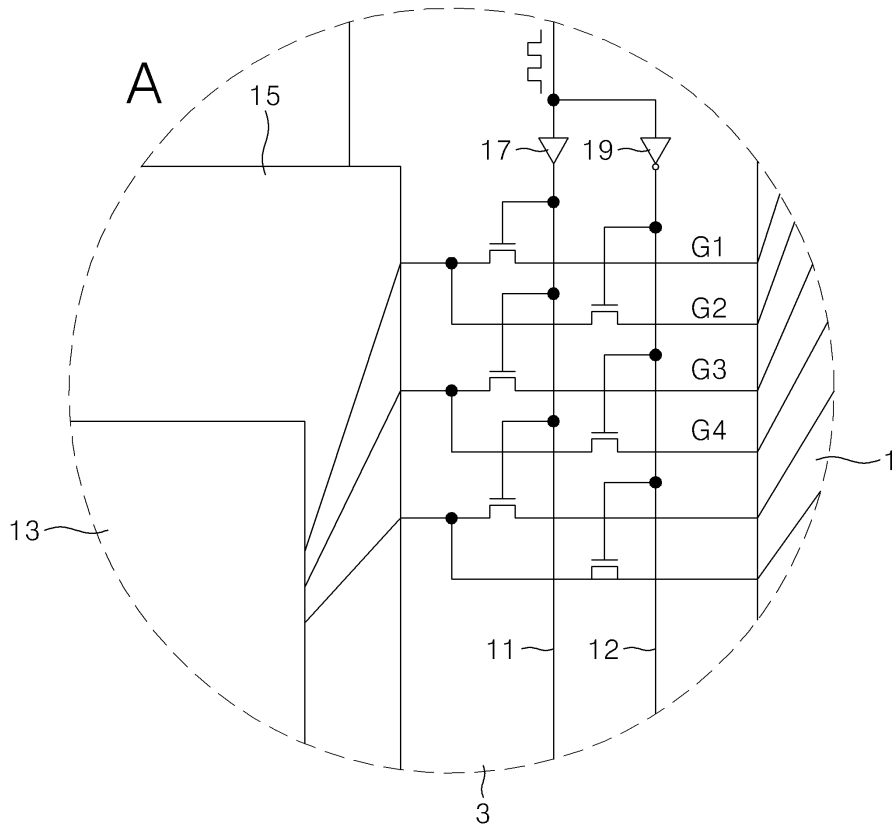
- <70> 상술한 바와 같이, 본 발명에 따른 액정 표시 장치는 다중화 회로를 사용하여 다수의 게이트 배선에 입력되는 신호를 선택신호라인을 통해 출력되는 신호로 순차적으로 동기 하여 얻을 수 있어 게이트 구동회로를 줄일 수 있다. 따라서 게이트 신호 과부하로 인해 정상적인 출력이 힘든 대형 ASG패널에서 게이트 드라이버의 사용을 최소화하여 부품 감소에 의한 원가 절감이 가능한 효과가 있다.
- <71> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

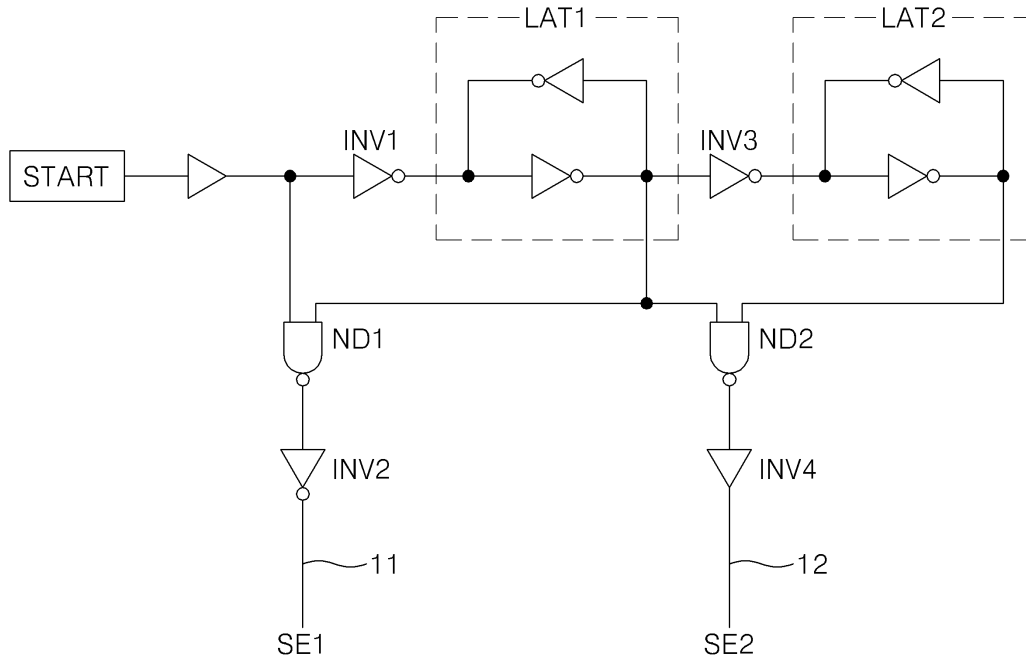
도면2



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080029306A	公开(公告)日	2008-04-03
申请号	KR1020060095174	申请日	2006-09-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BUM 이범 HA JAE MIN 하재민		
发明人	이범 하재민		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3674		
代理人(译)	SE JUN OH KWON, HYUK SOO 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，用于通过使用多路复用电路连接到栅极驱动电路的一个栅极布线产生两个或多个扫描信号，并使栅极驱动电路的使用最小化。本发明涉及液晶显示器，一个通道连接到两条或更多条栅极线，用于液晶面板；并且用于包括将栅极线驱动信号输出到通道的栅极驱动单元和输出线选择信号的线选择信号发生器，使得连接具有受控的相应开关单元并且栅极线驱动信号是两个的连接或者在两条或更多条栅极线中响应于线选择信号连续施加更多的栅极线和沟道，并控制包括下板的开关单元，其中形成上板和多条栅极线 and 数据线。多路复用器电路，栅极布线和栅极线。

