(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0027582
(43) 공개일자 2008년03월28일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2006-0092816
(22) 출원일자 2006년09월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
최민혁
충청남도 아산시 배방면 신라아파트 101동 809호
유춘기
경기도 화성시 태안읍 병점리 구봉마을 우남퍼스트빌아파트 105동1205호
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

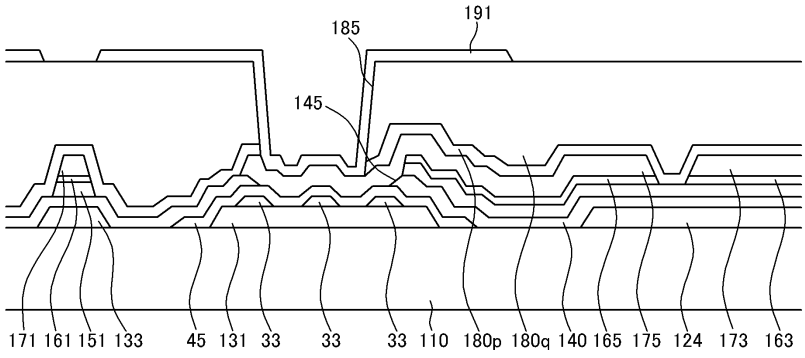
전체 청구항 수 : 총 11 항

(54) 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요 약

본 발명에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있는 게이트선, 기판 위에 형성되어 있으며 상부에 요철이 형성되어 있는 유지 전극선, 요철을 덮는 유전체, 유전체 위에 형성되며 유전체를 노출하는 제1 접촉 구멍을 포함하는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 반도체, 반도체와 중첩하며 제1 접촉 구멍을 통해 유전체와 접촉하는 드레인 전극, 반도체와 중첩하며 드레인 전극과 마주하는 소스 전극을 가지는 데이터선, 반도체를 덮으며 드레인 전극을 노출하는 제2 접촉 구멍을 포함하는 보호막, 보호막 위에 형성되어 있으며 제2 접촉 구멍을 통해 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

대표도 - 도2



(72) 발명자

김봉주

경기도 수원시 영통구 망포동 방죽마을 영통뜨란채 아파트 1002동601호

김영일

경기도 수원시 영통구 망포동 702 동수원2차 쌍용 스윗닷홈201-301

특허청구의 범위

청구항 1

기판,

상기 기판 위에 형성되어 있는 게이트선,

상기 기판 위에 형성되어 있으며 상부에 요철이 형성되어 있는 유지 전극선,

상기 요철을 덮는 유전체,

상기 유전체 위에 형성되며 상기 유전체를 노출하는 제1 접촉 구멍을 포함하는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체,

상기 반도체와 중첩하며 상기 제1 접촉 구멍을 통해 상기 유전체와 접촉하는 드레인 전극,

상기 반도체와 중첩하며 상기 드레인 전극과 마주하는 소스 전극을 가지는 데이터선,

상기 반도체를 덮으며 상기 드레인 전극을 노출하는 제2 접촉 구멍을 포함하는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하는 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 요철은 스트라이트 또는 원형으로 형성되어 있는 제2 금속층

을 포함하는 박막 트랜지스터 표시판.

청구항 3

제1항에서,

상기 요철은 상기 유지 전극선과 일체형으로 이루어지는 박막 트랜지스터 표시판.

청구항 4

제1항에서,

상기 요철과 상기 유지 전극선은 식각 선택비가 다른 금속으로 이루어지는 박막 트랜지스터 표시판.

청구항 5

제1항에서,

상기 유전체는 산화 규소로 이루어지는 박막 트랜지스터 표시판.

청구항 6

제5항에서,

상기 유전체는 약 500Å의 두께로 형성되어 있는 박막 트랜지스터 표시판.

청구항 7

제1항에서,

상기 게이트 절연막은 상기 게이트선의 끝부분을 노출하는 제3 접촉 구멍을 더 포함하고,

상기 게이트 절연막 위에 형성되며 상기 제3 접촉 구멍을 통해서 상기 게이트선의 끝부분과 연결되는 접촉 매개부재를 더 포함하는 박막 트랜지스터 표시판.

청구항 8

제7항에서,

상기 보호막은 상기 접촉 매개 부재를 노출하는 제4 접촉 구멍을 더 포함하고,

상기 보호막 위에 형성되며 상기 제4 접촉 구멍을 통해서 상기 접촉 매개 부재와 연결되는 접촉 보조 부재를 더 포함하는 박막 트랜지스터 표시판.

청구항 9

기판 위에 제1 금속층 및 제2 금속층을 적층하는 단계,

상기 제2 금속층 위에 제1 감광막 패턴 및 제1 감광막 패턴보다 두께가 두꺼운 제2 감광막 패턴을 형성하는 단계,

상기 제1 및 제2 감광막 패턴을 마스크로 상기 제2 금속층을 제거하여 금속 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 제거하는 단계,

상기 제2 감광막 패턴 및 상기 제2 금속층을 마스크로 상기 제1 금속층을 식각하여 게이트선 및 유지 전극선을 형성하는 단계,

상기 제2 감광막 패턴을 마스크로 상기 금속 패턴을 식각하여 요철용 금속 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 제거하는 단계,

상기 요철을 덮는 유전체를 형성하는 단계,

상기 유전체를 노출하는 제1 접촉 구멍을 포함하는 게이트 절연막을 형성하는 단계,

상기 게이트선의 일부분과 중첩하는 반도체를 형성하는 단계,

상기 반도체와 중첩하며 상기 제1 접촉 구멍을 통해 상기 유전체와 접촉하는 드레인 전극을 형성하는 단계,

상기 반도체와 중첩하며 상기 드레인 전극과 마주하는 소스 전극을 가지는 데이터선을 형성하는 단계,

상기 드레인 전극을 노출하는 제2 접촉 구멍을 포함하는 보호막을 형성하는 단계,

상기 보호막 위에 상기 드레인 전극과 연결되는 화소 전극

을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제9항에서,

상기 제1 금속층과 상기 제2 금속층은 식각 선택비차가 큰 금속으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 11

제9항에서,

상기 유전체는 산화 규소로 형성하는 박막 트랜지스터 표시판의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<38> 본 발명은 액정 표시 장치용 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

<39> 일반적으로 박막 트랜지스터(thin film transistor, TFT)는 액정 표시 장치나 유기 발광 표시 장치(organic light emitting display) 등의 평판 표시 장치에서 각 화소를 독립적으로 구동하기 위한 스위칭 소자로 사용된다. 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판은 박막 트랜지스터와 이에 연결되어 있는 화소 전극 외에도, 박막 트랜지스터에 주사 신호를 전달하는 주사 신호선(또는 게이트선)과 데이터 신호를 전달하는 데이터선 등을 포함한다.

<40> 박막 트랜지스터는 게이트선에 연결되어 있는 게이트 전극과 데이터선에 연결되어 있는 소스 전극과 화소 전극에 연결되어 있는 드레인 전극 및 소스 전극과 드레인 전극 사이 게이트 전극 위에 위치하는 반도체 등으로 이루어지며, 게이트선으로부터의 주사 신호에 따라 데이터선으로부터의 데이터 신호를 화소 전극에 전달한다. 이러한 신호는 이들을 덮고 있는 게이트 절연막 및 보호막에 형성되어 있는 접촉 구멍을 통해 노출된 게이트선 및 데이터선에 전달된다.

<41> 그리고 화소 전극과 드레인 전극은 보호막에 형성되어 있는 접촉 구멍을 통해 전기적으로 연결되어 있다.

<42> 한편, 박막 트랜지스터 표시판에서 각 화소는 일정 기간 동안 일정한 전압을 유지해야 한다. 그래서 각 화소에는 전하를 축적할 수 있는 축전기(capacitor)를 형성하여 비선택 기간에도 일정 기간 동안 표시할 수 있도록 하고 있다.

<43> 이러한 축전기를 형성하기 위해서는 게이트선(제1 전극)/절연막(유전체)/화소 전극(제2 전극)을 적층하여 형성할 수 있다. 액정 표시 장치가 대형화될수록 화소 전압을 안정적으로 유지하기 위한 유지 용량이 증대되고 이를 위해서는 중첩하는 전극의 면적을 증가시키거나 유전체의 두께를 얇게 해야 한다.

발명이 이루고자 하는 기술적 과제

<44> 그러나 전극의 면적을 증가시키면 화소의 개구율이 감소하고, 유전체의 두께를 감소시키는 것도 한계가 있으므로 충분한 유지 용량을 얻기가 점점 어려워지고 있다.

<45> 따라서, 본 발명이 이루고자 하는 기술적 과제는 화소의 개구율을 감소시키지 않으면서도 충분한 유지 용량을 얻는 것이다.

발명의 구성 및 작용

<46> 이러한 기술적 과제를 이루기 위한 본 발명에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있는 게이트선, 기판 위에 형성되어 있으며 상부에 요철이 형성되어 있는 유지 전극선, 요철을 덮는 유전체, 유전체 위에 형성되며 유전체를 노출하는 제1 접촉 구멍을 포함하는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 반도체, 반도체와 중첩하며 제1 접촉 구멍을 통해 유전체와 접촉하는 드레인 전극, 반도체와 중첩하며 드레인 전극과 마주하는 소스 전극을 가지는 데이터선, 반도체를 덮으며 드레인 전극을 노출하는 제2 접촉 구멍을 포함하는 보호막, 보호막 위에 형성되어 있으며 제2 접촉 구멍을 통해 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

<47> 요철은 스트라이트 또는 원형으로 형성되어 있는 제2 금속층을 포함할 수 있다.

<48> 요철은 유지 전극선과 일체형으로 이루어질 수 있다.

<49> 요철과 유지 전극선은 식각 선택비가 다른 금속으로 이루어질 수 있다.

<50> 유전체는 산화 규소로 이루어질 수 있다.

<51> 유전체는 약 500Å의 두께로 형성되어 있을 수 있다.

<52> 게이트 절연막은 게이트선의 끝부분을 노출하는 제3 접촉 구멍을 더 포함하고, 게이트 절연막 위에 형성되며 제3 접촉 구멍을 통해서 게이트선의 끝부분과 연결되는 접촉 매개 부재를 더 포함할 수 있다.

<53> 보호막은 접촉 매개 부재를 노출하는 제4 접촉 구멍을 더 포함하고, 보호막 위에 형성되며 제4 접촉 구멍을 통해서 접촉 매개 부재와 연결되는 접촉 보조 부재를 더 포함할 수 있다.

<54> 상기한 다른 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 제1 금속층 및 제2 금속층을 적층하는 단계, 제2 금속층 위에 제1 감광막 패턴 및 제1 감광막 패턴보다 두께가 두꺼운 제2 감광막 패턴을 형성하는 단계, 제1 및 제2 감광막 패턴을 마스크로 제2 금속층을 제거하여 금속 패턴을 형성하는 단계, 제2 감광막 패턴을 제거하는 단계, 제2 감광막 패턴 및 제2 금속층을 마스크로 제1 금속층을 식각

하여 게이트선 및 유지 전극선을 형성하는 단계, 제2 감광막 패턴을 마스크로 금속 패턴을 식각하여 요철용 금속 패턴을 형성하는 단계, 제2 감광막 패턴을 제거하는 단계, 요철을 덮는 유전체를 형성하는 단계, 유전체를 노출하는 제1 접촉 구멍을 포함하는 게이트 절연막을 형성하는 단계, 게이트선의 일부분과 중첩하는 반도체를 형성하는 단계, 반도체와 중첩하며 제1 접촉 구멍을 통해 유전체와 접촉하는 드레인 전극을 형성하는 단계, 반도체와 중첩하며 드레인 전극과 마주하는 소스 전극을 가지는 데이터선을 형성하는 단계, 드레인 전극을 노출하는 제2 접촉 구멍을 포함하는 보호막을 형성하는 단계, 보호막 위에 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

<55> 제1 금속층과 제2 금속층은 식각 선택비차가 큰 금속으로 형성할 수 있다.

<56> 유전체는 산화 규소로 형성할 수 있다.

<57> 이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<58> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<59> 이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

<60> 그러면 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.

<61> 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II선을 따라 잘라 도시한 단면도이고, 도 3은 도 1의 III-III선을 따라 잘라 도시한 단면도이다.

<62> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

<63> 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 게이트 패드(129)를 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.

<64> 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 유지 전극(133)을 포함한다. 유지 전극선(131) 각각은 인접한 두 게이트선(121) 사이에 위치하며 줄기선은 두 게이트선(121) 중 아래쪽에 가깝다.

<65> 유지 전극선(131) 위에는 요철(凹凸)용 금속층(33)이 형성되어 있다.

<66> 요철용 금속층(33)의 평면 모양은 도 4 및 도 5에 도시한 바와 같이, 한쪽 방향으로 긴 스트라이프(stripe) 또는 원형으로 형성될 수 있다.

<67> 유지 전극선(131) 및 게이트선(121)은 알루미늄(Al)이나 알루미늄-네오디뮴 합금(AlNd)과 같은 알루미늄 합금 따위의 알루미늄 계열 금속 등으로 이루어질 수 있다.

<68> 그리고 요철용 금속층(33)과 유지 전극선(131)은 식각 선택비 차가 큰 물질로 형성될 수 있다.

<69> 게이트선(121) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.

<70> 요철용 금속층(33) 위에는 유전체(45)가 형성되어 있다. 유전체(45)는 산화 규소로 이루어지며 약 500Å의 두께로 형성될 수 있다.

<71> 게이트선(121), 유지 전극선(131) 및 유전체(45) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140)은 유전체(45)를 드러내는

복수의 접촉 구멍(145) 및 게이트 패드(129)의 일부를 드러내는 복수의 접촉 구멍(141)을 가진다.

<72> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(poly silicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.

<73> 반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.

<74> 반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

<75> 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 접촉 매개 부재(interconnection)(178)가 형성되어 있다.

<76> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 또한 유지 전극선(131)과 교차하며 유지 전극(133)과 중첩한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗어 J자형으로 굽은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 데이터의 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

<77> 드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 각 드레인 전극(175)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분은 접촉 구멍(145)을 통해서 유전체(45)와 접촉하며 막대형 끝 부분은 소스 전극(173)과 마주한다.

<78> 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

<79> 접촉 매개 부재(178)는 게이트 절연막(140)의 접촉 구멍(141)을 통하여 드러난 게이트 패드(129)를 덮으며 게이트 패드(129)와 접촉한다.

<80> 데이터선(171), 드레인 전극(175) 및 접촉 매개 부재(178)는 크롬(Cr), 몰리브덴, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

<81> 데이터선(171), 드레인 전극(175) 및 접촉 매개 부재(178) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

<82> 저항성 접촉 부재(161, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)가 데이터선(171)보다 좁지만, 앞서 설명하였듯이 게이트선(121)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.

<83> 데이터선(171), 드레인 전극(175), 접촉 매개 부재(178) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 접촉 매개 부재(178) 위의 보호막(180)은 일부 제거되어 다른 부분에 비해서 두께가 얇을 수 있다.

<84> 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물로 만들어진 하부막(180p)과 유기 절연물로 만들어진 상

부막(180q)을 포함한다. 유기 절연물은 4.0 이하의 유전 상수를 가지는 것이 바람직하고, 감광성(photosensitivity)을 가질 수도 있으며, 평탄면을 제공할 수도 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어진 단일막 구조를 가질 수도 있다.

<85> 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있고, 접촉 매개 부재(178)를 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

<86> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

<87> 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적, 전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자(도시하지 않음)의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.

<88> 화소 전극(191) 및 이와 연결된 드레인 전극(175)은 유전체(45)를 사이에 두고 유지 전극선(131)과 중첩한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(175)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.

<89> 본 발명에서와 같이 게이트 절연막(140)에 접촉 구멍(145)을 형성하여 드레인 전극(175)이 유전체(45)와 직접 접촉하고, 유지 전극선(131)의 표면에 요철을 형성하면, 유지 전극선(131)이 차지하는 면적을 증가시키지 않으면서도 유지 축전기의 유지 용량을 증가시킬 수 있다. 즉, 유지 용량은 면적에 비례하고 두 전극 사이의 간격에 반비례하는데, 본 발명에서와 같이 게이트 절연막(140)을 제거하고 유전체(45)와 드레인 전극(175)을 직접 접촉 시키면 두 전극 사이의 간격이 가까워지고, 간격이 가까워진 만큼 유지 용량이 증가한다. 그리고 본 발명에서와 같이 요철용 금속층(33)을 형성하면 유전체(45)가 유지 전극선(131)의 표면뿐 아니라 요철용 금속층(33)의 측면 및 상부 표면과 유전체(45)가 접촉하기 때문에 요철용 금속층(33)의 측면 넓이만큼 접촉 면적이 증가하여 유지 용량이 증가한다. 따라서 화소의 개구율이 감소하지 않는다.

<90> 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 접촉 매개 부재(178) 및 데이터의 끝 부분(179)과 접촉하며 이들을 덮는다. 접촉 보조 부재(81, 82)는 접촉 매개 부재(178) 및 데이터의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

<91> 접촉 매개 부재(178)는 알루미늄 계열 금속으로 만들어진 게이트의 끝 부분(129)과 ITO 또는 IZO와 같은 물질로 만들어진 접촉 보조 부재(81)의 사이에 끼어서 알루미늄 계열 금속과 ITO 와 사이의 접촉 불량, 예를 들면 ITO에 의한 알루미늄의 부식 등이 일어나는 것을 방지한다.

<92> 그러면, 도 1 내지 도 3에 도시한 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 4 내지 도 30을 참조하여 상세하게 설명한다.

<93> 도 4, 도 13, 도 16, 도 25 및 도 28은 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 5는 도 4의 박막 트랜지스터 표시판을 V-V선을 따라 잘라 도시한 단면도이고, 도 6은 도 4의 박막 트랜지스터 표시판을 VI-VI선을 따라 잘라 도시한 단면도이고, 도 7 및 도 8은 도 5 및 도 6의 다음 단계에서의 단면도로 각각 도 4의 박막 트랜지스터 표시판을 V-V선 및 VI-VI선을 따라 잘라 도시한 단면도이고, 도 9 및 도 10은 도 7 및 도 8의 다음 단계에서의 단면도이고, 도 11 및 도 12는 도 9 및 도 10의 다음 단계에서의 단면도이고, 도 14는 도 13의 박막 트랜지스터 표시판을 XIV-XIV선을 따라 잘라 도시한 단면도이고, 도 15는 도 13의 박막 트랜지스터 표시판을 XV-XV선을 따라 잘라 도시한 단면도이고, 도 17은 도 16의 박막 트랜지스터 표시판을 XVII-XVII선을 따라 잘라 도시한 단면도이고, 도 18은 도 16의 박막 트랜지스터 표시판을 XVIII-XVIII선을 따라 잘라 도시한 단면도이고, 도 19 및 도 20은 도 17 및 도 18의 다음 단계에서의 단면도로서 각각 도 16의 XVII-XVII선 및 XVIII-XVIII선을 따라 잘라 도시한 단면도이고, 도 21 및 도 22는 도 19 및 도 20의 다음 단계에서의 단면도이고, 도 23 및 도 24는 도 21 및 도 22의 다음 단계에서의 단면도이고, 도 26은 도 25의 박막 트랜지스터 표시판을 XVI-XVI선을 따라 잘라 도시한 단면도이고, 도 27은 도 25의 박막 트랜지스터 표시판을 XVII-XVII선을 따라 잘라 도시한 단면도

이고, 도 29는 도 28의 박막 트랜지스터 표시판을 XXIX-XXIX선을 따라 잘라 도시한 단면도이고, 도 30은 도 28의 박막 트랜지스터 표시판을 XXXX-XXXX선을 따라 잘라 도시한 단면도이다.

<94> 도 4 내지 도 6에 도시한 바와 같이, 금속막을 증착한 후 패터닝하여 게이트 전극(124)을 포함하는 게이트선(121), 유지 전극(133)을 포함하는 유지 전극선(131) 및 요철용 금속층(33)을 형성한다.

<95> 도 7 내지 도 12를 통해서 도 4 내지 도 6에 도시한 게이트선(121), 유지 전극선(131) 및 요철용 금속층(33)을 형성하는 방법을 구체적으로 설명한다.

<96> 먼저 도 7 및 도 8에 도시한 바와 같이, 절연 기판(110) 위에 식각 선택비가 다른 제1 금속막(120a)과 제2 금속막(120b)을 적층한다. 그리고 제2 금속막(120b) 위에 두께가 다른 제1 및 제2 감광막 패턴(52, 54)을 형성한다.

<97> 설명의 편의상, 게이트선(121) 및 유지 전극선(131)이 형성될 부분의 금속막(120a, 120b)을 배선 부분(A)이라 하고, 유지 전극선(131) 위의 요철용 금속층(33)이 형성될 부분을 요철 부분(B)이라 하고, 배선 부분(A) 및 채널 부분(B)을 제외한 영역을 나머지 부분(C)이라 한다.

<98> 감광막 패턴(52, 54) 중에서 요철 부분(B)에 위치한 제1 감광막 패턴(52)은 배선 부분(A)에 위치한 제2 감광막 패턴(54)보다 두껍게 형성하며, 나머지 부분(C)의 감광막은 모두 제거한다. 이 때, 제1 감광막 패턴(52)의 두께와 제2 감광막 패턴(54)의 두께의 비는 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 감광막 패턴(54)의 두께를 제1 감광막 패턴(52)의 두께의 1/2 이하로 하는 것이 바람직하다.

<99> 이와 같이, 위치에 따라 감광막의 두께를 다르게 형성하는 방법에는 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area) 뿐 아니라 반투명 영역(semi-transparent area)을 두는 것이 그 예이다. 반투광 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)이 보다 작은 것이 바람직하다. 다른 예로는 리플로우(reflow)가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다

<100> 도 9 및 도 10에 도시한 바와 같이, 감광막 패턴(52, 54)을 마스크로 제2 금속막(120b)을 식각하여 금속 패턴(20b)을 형성한다. 이때, 제2 감광막 패턴(54)도 함께 제거된다.

<101> 다음 도 11 및 도 12에 도시한 바와 같이, 제1 감광막 패턴(52) 및 금속 패턴(20b)을 마스크로 제1 금속막(120a)을 식각하여 게이트 전극(124)을 가지는 게이트선(121) 및 유지 전극(133)을 가지는 유지 전극선(131)을 형성한다. 이때 제1 금속막(120a)과 금속 패턴(20b)은 식각 선택비 차가 큰 물질로 형성하기 때문에 제1 금속막(120a) 식각시에 금속 패턴(20b)은 제거되지 않는다.

<102> 다음 도 4 내지 도 6에 도시한 바와 같이, 제1 감광막 패턴(52)을 마스크로 금속 패턴(20b)을 식각하여 요철용 금속층(33)을 형성한다. 이때, 식각 선택비 차가 큰 물질로 이루어지기 때문에 게이트선(121) 및 유지 전극선(131)은 제거되지 않는다.

<103> 다음 도 13 내지 도 15에 도시한 바와 같이, 기판(110) 위에 산화 규소막을 형성한 후 패터닝하여 요철용 금속 패턴 위에 유전체(45)를 형성한다. 유전체(45)는 500Å의 두께로 형성할 수 있다.

<104> 다음으로, 도 16 내지 도 18에 도시한 바와 같이, 기판(110) 위에 반도체(151, 154), 저항성 접촉 부재 패턴(164) 및 접촉 구멍(141, 145)를 형성한다.

<105> 도 19 내지 도 24를 통해서 도 16 내지 도 18에 도시한 반도체(151, 154), 저항성 접촉 부재 패턴(164) 및 접촉 구멍(141, 145)을 형성하는 방법을 구체적으로 설명한다.

<106> 먼저 도19 및 도 20에 도시한 바와 같이, 절연 기판(110) 및 유전체(45) 위에 게이트 절연막(140), 진성 비정질 규소층(150) 및 불순물 비정질 규소층(160)을 화학 기상 증착 등으로 연속하여 적층하고 불순물 비정질 규소층(160) 위에 두께가 다른 감광막 패턴(56, 58)을 형성한다.

<107> 설명의 편의상, 접촉 구멍(141, 145)이 형성되는 부분은 접촉 구멍 부분(D)이라 하고, 반도체(151, 154)가 형성되는 부분은 반도체 부분(E)이라 하고, 접촉 구멍 부분(D)과 반도체(151, 154) 부분을 제외한 영역을 나머지 부분(F)이라 한다.

<108> 감광막 패턴(56, 58) 중에서 반도체 부분(E)에 위치한 제3 감광막 패턴(56)은 나머지 부분(F)에 위치한 제4 감광막 패턴(58)보다 두껍게 형성하며, 접촉 구멍 부분(D)의 감광막은 모두 제거한다.

<109> 두께가 다른 감광막 패턴(56, 58)은 도 9 및 도 10에 도시한 바와 같이, 제1 및 제2 감광막 패턴(52, 54)을 형성하는 방법으로 형성할 수 있다.

<110> 다음 도 21 및 도 22에 도시한 바와 같이, 제3 및 제4 감광막 패턴(56, 58)을 식각 마스크로 사용하여 불순물 비정질 규소층(160), 진성 비정질 규소층(150) 및 게이트 절연막(140)을 식각하여, 접촉 구멍 부분(D)에 존재하는 불순물 비정질 규소층(160), 진성 비정질 규소층(150) 및 게이트 절연막(140)의 부분들을 제거함으로써, 게이트 절연막(140)에 게이트의 끝 부분(129)를 노출하는 접촉 구멍(141) 및 유전체(45)를 노출하는 접촉 구멍(145)을 형성한다.

<111> 다음 도 23 및 도 24에 도시한 바와 같이, 제4 감광막 패턴을 애싱(ashing)하여, 제4 감광막 패턴(58)을 제거한다. 이때 제3 감광막 패턴(56)의 높이도 일부 감소한다.

<112> 그 후, 도 16 내지 도 18에 도시한 바와 같이, 제3 감광막 패턴(56)을 식각 마스크로 사용하여, 불순물 비정질 규소층(160) 및 진성 비정질 규소층(150)을 식각하여, 저항성 접촉 부재 패턴(164) 및 선형 진성 반도체(151)를 형성한다.

<113> 다음으로, 제3 감광막 패턴을 애싱 따위로 제거한다.

<114> 이처럼, 게이트 절연막(140), 진성 비정질 규소층(150) 및 불순물 비정질 규소층(160)을 하나의 노광 마스크를 사용하여 패터닝하여, 접촉 부재 패턴(164) 및 선형 진성 반도체(151)를 형성함과 동시에, 게이트의 끝 부분(129)을 드러내는 게이트 절연막(140)의 접촉 구멍(141) 및 유전체(45)를 노출하는 접촉 구멍(145)까지 형성할 수 있어서, 추가적인 노광 마스크가 필요하지 않으므로 공정 비용이 증가하지 않는다.

<115> 다음 도 25 내지 도 27에 도시한 바와 같이, 금속층을 스퍼터링 따위로 적층하고 사진 식각하여 소스 전극(173) 및 데이터의 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175), 그리고 복수의 접촉 매개 부재(178)를 형성한다.

<116> 이어서, 접촉 부재 패턴(164)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.

<117> 도 28 내지 도 30에 도시한 바와 같이, 보호막(180)을 적층하고 게이트 절연막(140)과 함께 사진 식각 따위로 패터닝하여, 접촉 매개 부재(178), 데이터의 끝 부분(179), 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 185)을 형성한다.

<118> 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 보호막(180) 위에 ITO 또는 IZO 등을 스퍼터링 따위로 적층하고 사진 식각하여 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82)를 형성한다.

<119> 다음, 도 31 내지 도 33을 참조하여 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판에 대해서 설명한다.

<120> 도 31은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 32는 도 31의 박막 트랜지스터 표시판을 XXXII-XXXII선을 따라 잘라 도시한 단면도이고, 도 33은 도 31의 박막 트랜지스터 표시판을 XXXIII-XXXIII선을 따라 잘라 도시한 단면도이다.

<121> 도 31 내지 도 33에 도시한 박막 트랜지스터 표시판의 구조는 도 1 내지 도 3에 도시한 것과 거의 동일하다.

<122> 기판(110) 위에 게이트 전극(124) 및 끝 부분(129)을 가지는 복수의 게이트선(121) 및 유지 전극(133)을 가지는 복수의 유지 전극선(131)이 형성되어 있고, 유지 전극선(131) 위에는 유전체(45)가 형성되어 있다. 그리고 유지 전극선(131) 및 게이트선(121) 위에는 접촉 구멍(141, 145)을 가지는 게이트 절연막(140)이 형성되어 있고, 게이트 절연막(140) 위에는 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 가지는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165) 위에는 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 접촉 매개 부재(178)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

<123> 그러나, 본 실시예에 따른 박막 트랜지스터 표시판은, 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판과 달리, 유지 전극선(131) 위에는 요철용 금속층(33)을 포함하지 않고, 유지 전극선(131)과 요철(34)이 일체형으로 요철(34)은 유지 전극선(131) 상부가 일부 제거되어 형성된다.

<124> 유지 전극선(131) 상부에 요철을 형성하는 방법은 금속층 위에 기 설명한 두께가 다른 감광막 패턴을 형성한 후 식각 시간을 조절하여 형성할 수 있다.

발명의 효과

<125> 이상 설명한 바와 같이, 게이트 패드를 접촉 매개 부재로 덮어 보호하거나, 데이터층 신호 전달선과 직접 연결함으로써, ITO 또는 IZO와 알루미늄 계열 금속이 직접 접촉하는 것을 방지하여, 직접 접촉에 의한 알루미늄 또는 알루미늄 합금의 부식을 효과적으로 방지할 수 있다.

<126> 또한, 유지 전극선 위에 유전체를 얇게 형성하고, 에 요철용 금속 패턴을 형성함으로써 화소의 개구율 감소 없이 유지 용량을 증가시킬 수 있다.

<127> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

<2> 도 2는 도 1의 박막 트랜지스터 표시판을 II-II선을 따라 잘라 도시한 단면도이다.

<3> 도 3은 도 1의 박막 트랜지스터 표시판을 III-III선을 따라 잘라 도시한 단면도이다.

<4> 도 4, 도 13, 도 16, 도 25 및 도 28은 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 박막 트랜지스터 표시판의 배치도이다.

<5> 도 5는 도 4의 박막 트랜지스터 표시판을 V-V선을 따라 잘라 도시한 단면도이다.

<6> 도 6은 도 4의 박막 트랜지스터 표시판을 VI-VI선을 따라 잘라 도시한 단면도이다.

<7> 도 7 및 도 8은 도 5 및 도 6의 다음 단계에서의 단면도로 각각 도 4의 박막 트랜지스터 표시판을 V-V선 및 VI-VI선을 따라 잘라 도시한 단면도이다.

<8> 도 9 및 도 10은 도 7 및 도 8의 다음 단계에서의 단면도이다.

<9> 도 11 및 도 12는 도 9 및 도 10의 다음 단계에서의 단면도이다.

<10> 도 14는 도 13의 박막 트랜지스터 표시판을 XIV-XIV선을 따라 잘라 도시한 단면도이다.

<11> 도 15는 도 13의 박막 트랜지스터 표시판을 XV-XV선을 따라 잘라 도시한 단면도이다.

<12> 도 17은 도 16의 박막 트랜지스터 표시판을 XVII-XVII선을 따라 잘라 도시한 단면도이다.

<13> 도 18은 도 16의 박막 트랜지스터 표시판을 XVIII-XVIII선을 따라 잘라 도시한 단면도이다.

<14> 도 19 및 도 20은 도 17 및 도 18의 다음 단계에서의 단면도로서 각각 도 16의 XVII-XVII선 및 XVIII-XVIII선을 따라 잘라 도시한 단면도이다.

<15> 도 21 및 도 22는 도 19 및 도 20의 다음 단계에서의 단면도이다.

<16> 도 23 및 도 24는 도 21 및 도 22의 다음 단계에서의 단면도이다.

<17> 도 26은 도 25의 박막 트랜지스터 표시판을 XVI-XVI선을 따라 잘라 도시한 단면도이다.

<18> 도 27은 도 25의 박막 트랜지스터 표시판을 XVII-XVII선을 따라 잘라 도시한 단면도이다.

<19> 도 29는 도 28의 박막 트랜지스터 표시판을 XXIX-XXIX선을 따라 잘라 도시한 단면도이다.

<20> 도 30은 도 28의 박막 트랜지스터 표시판을 XXXX-XXXX선을 따라 잘라 도시한 단면도이다.

<21> 도 31은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

<22> 도 32는 도 31의 박막 트랜지스터 표시판을 XXXII-XXXII선을 따라 잘라 도시한 단면도이다.

<23> 도 33은 도 31의 박막 트랜지스터 표시판을 XXXIII-XXXIII선을 따라 잘라 도시한 단면도이다.

<24> *도면의 주요 부호 설명*

<25> 33: 요철용 금속층 34: 요철

<26> 81, 82:접촉 보조 부재 110: 기판

<27> 121: 게이트선 124: 게이트 전극

<28> 129: 게이트 패드 131: 유지 전극선

<29> 133:유지 전극 140: 게이트 절연막

<30> 141, 145, 181, 182, 185: 접촉 구멍

<31> 150: 진성 비정질 규소층 160: 불순물 비정질 규소층

<32> 161, 163, 165: 저항성 접촉 부재

<33> 164: 저항성 접촉 부재 패턴

<34> 171: 데이터선 173: 소스 전극

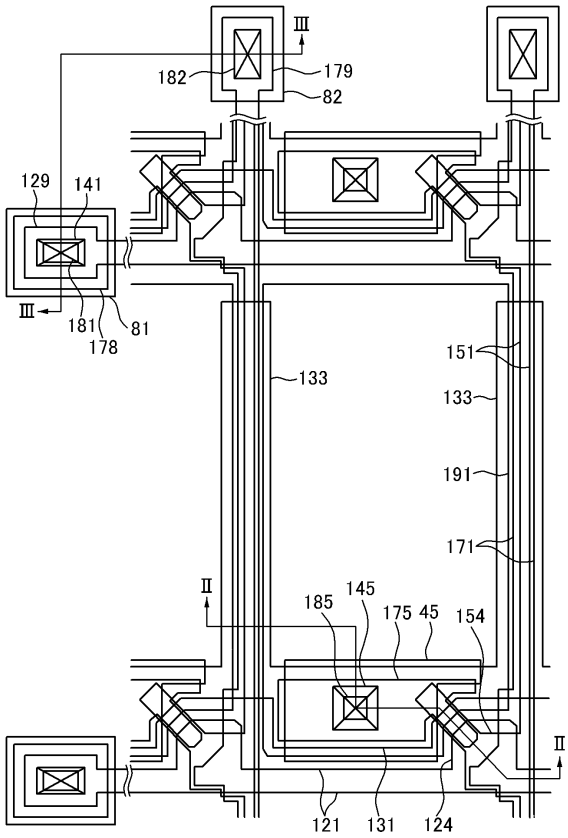
<35> 175: 드레인 전극 178: 접촉 매개 부재

<36> 179: 데이터 패드 180: 보호막

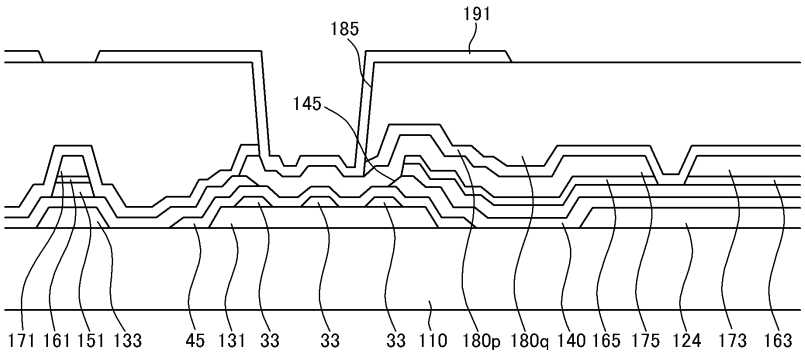
<37> 191: 화소 전극

도면

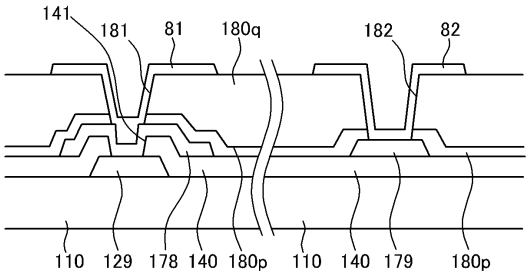
도면1


Ⅲ
182
179
82
129
141
Ⅲ
181
178
81
133
151
133
191
171
Ⅱ
185
145
175
45
154
Ⅱ
121
131
124

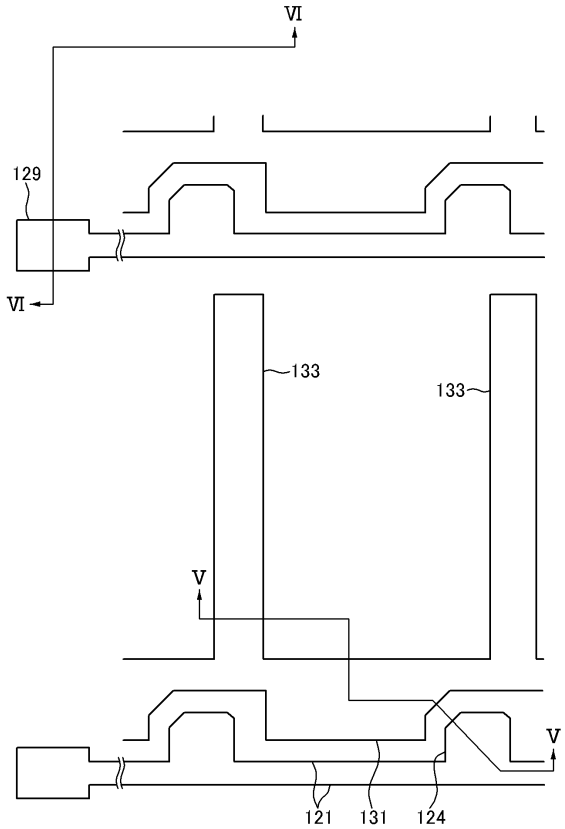
도면2


191
185
145
171
161
151
133
45
131
33
33
33
110
180p
180q
140
165
175
124
173
163

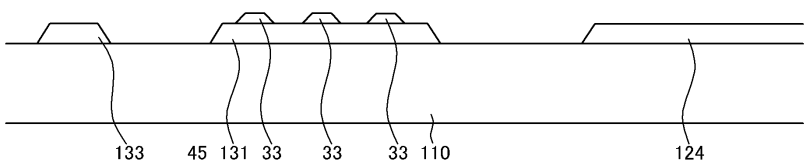
도면3


141
181
81
180q
182
82
110
129
178
140
180p
110
140
179
180p

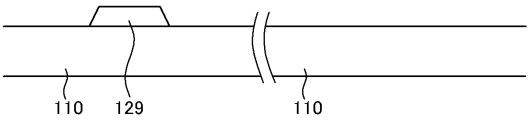
도면4


VI
129
VI
133
133
V
V
121
131
124

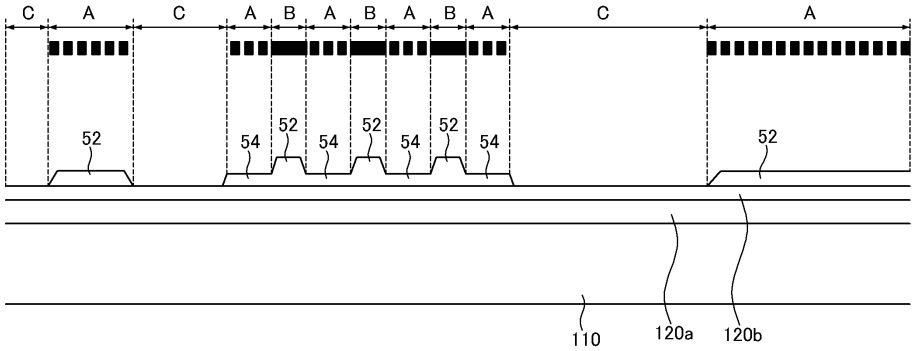
도면5


133
45
131
33
33
33
110
124

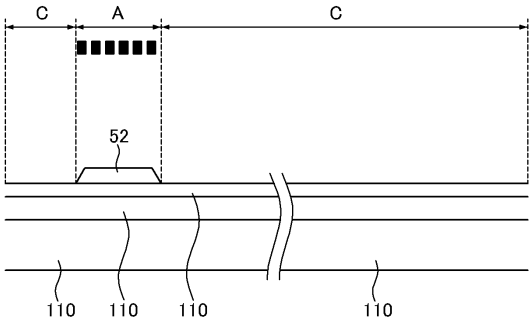
도면6



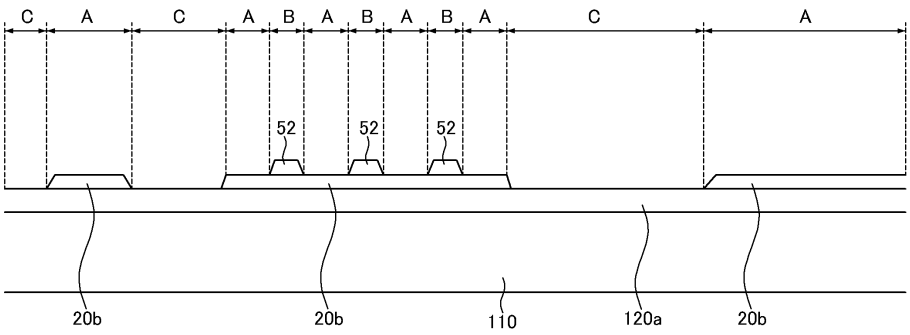
도면7



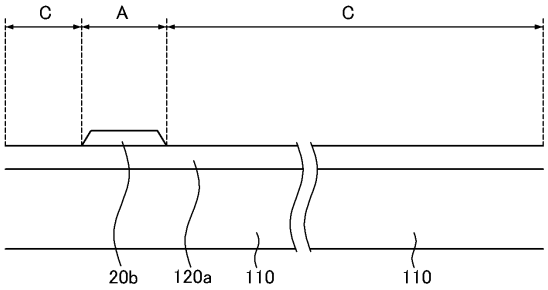
도면8



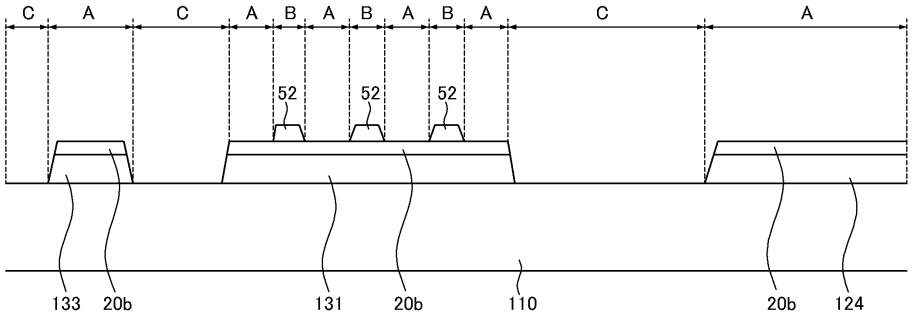
도면9



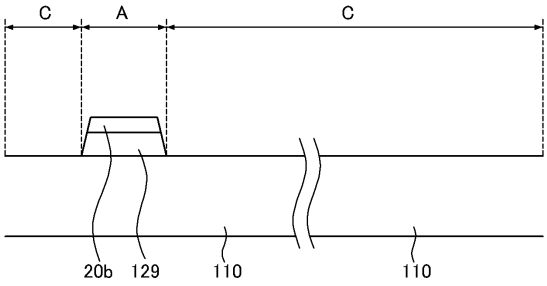
도면10



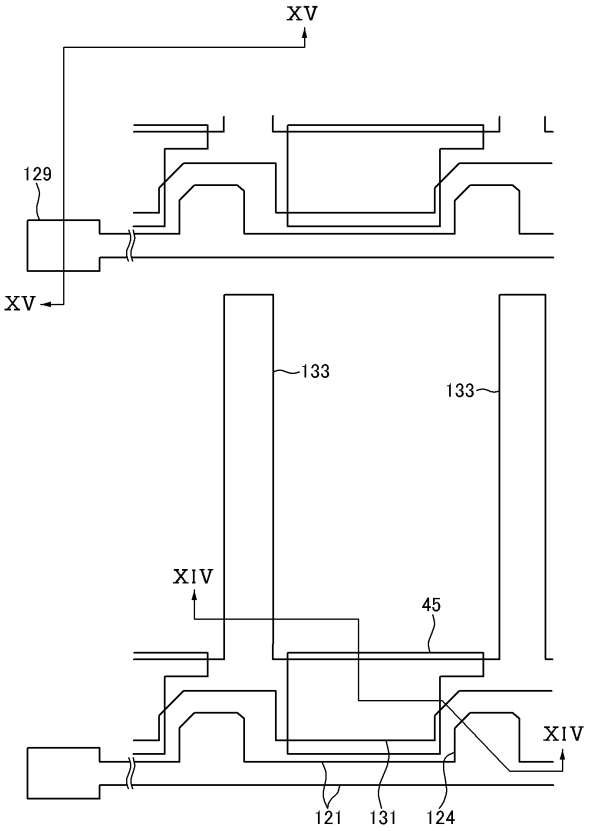
도면11



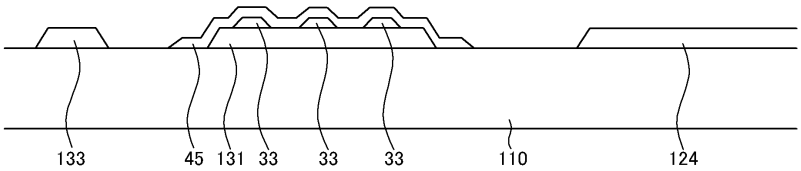
도면12



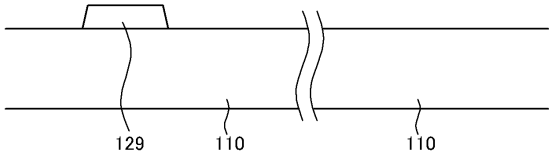
도면13



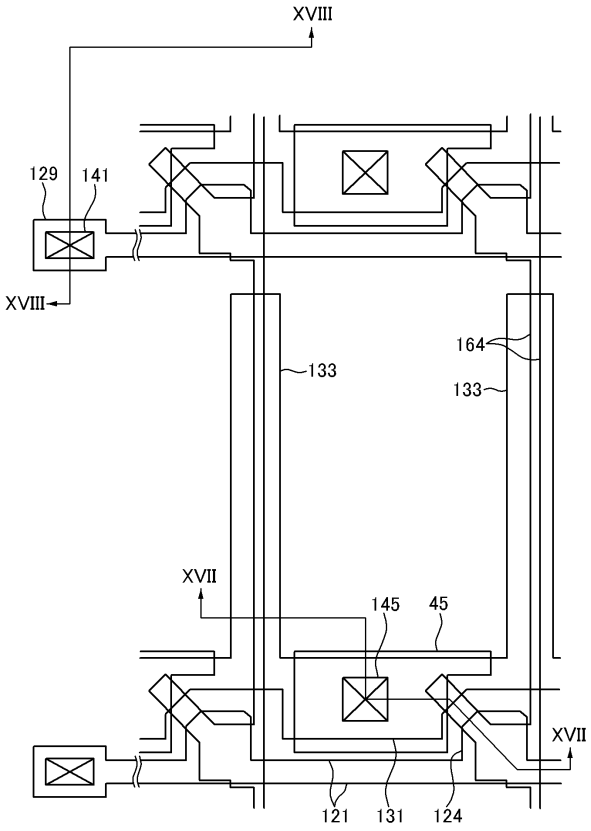
도면14



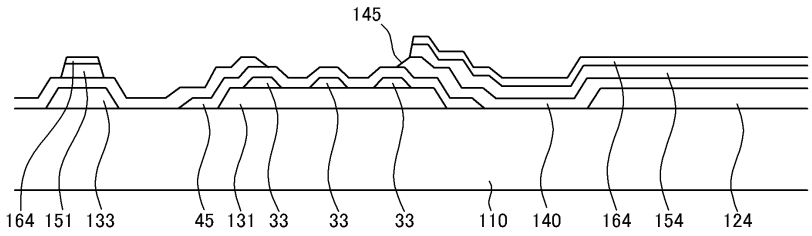
도면15



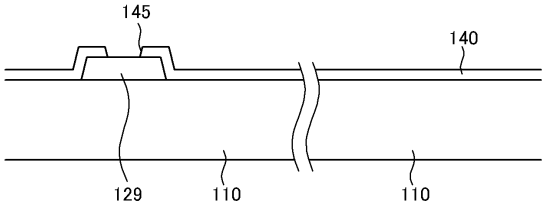
도면16



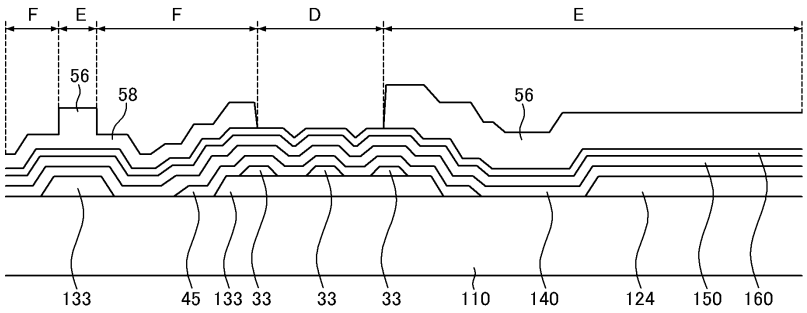
도면17



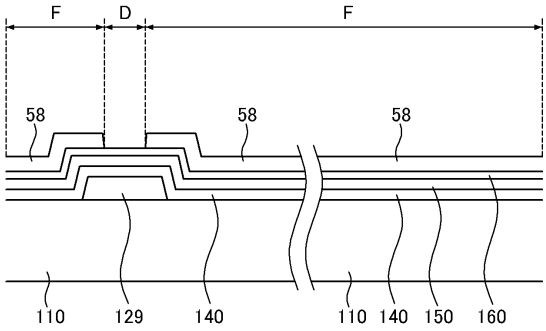
도면18



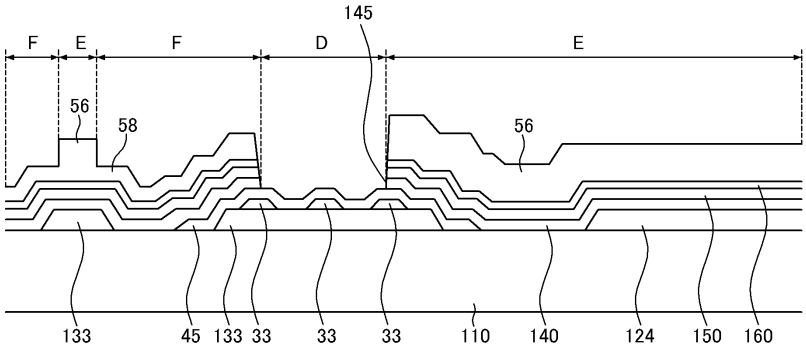
도면19



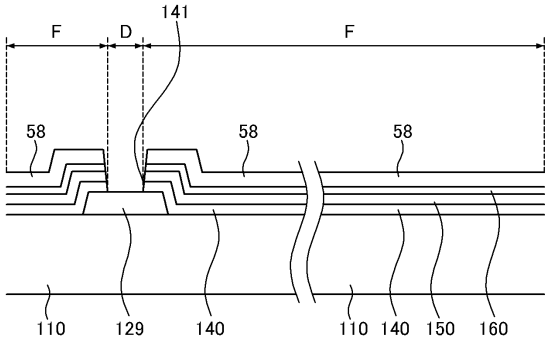
도면20



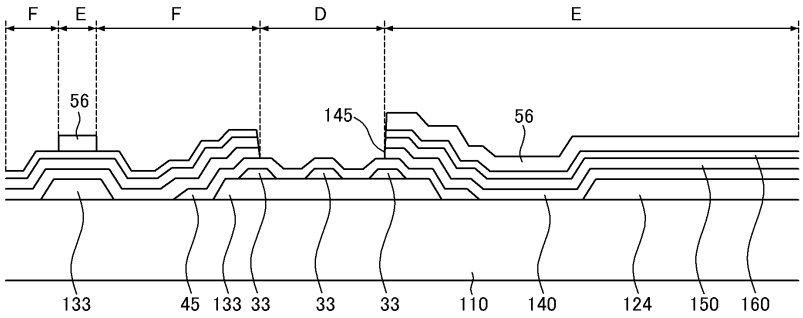
도면21



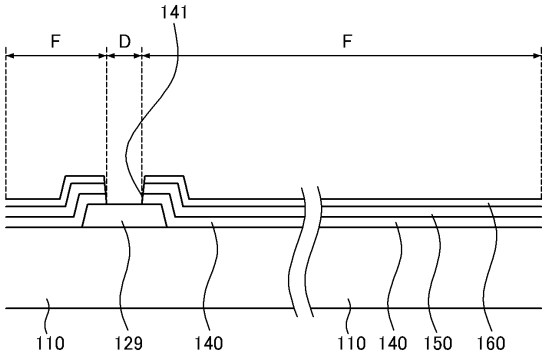
도면22



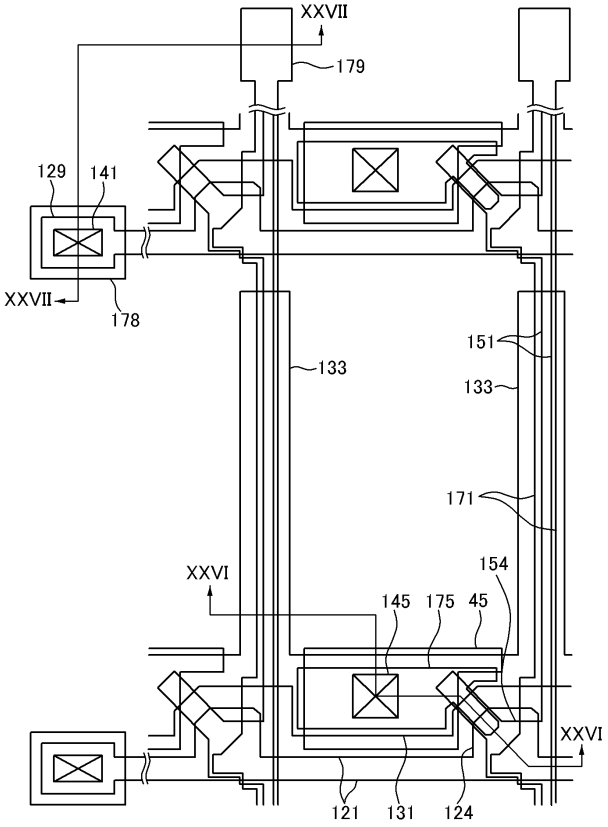
도면23



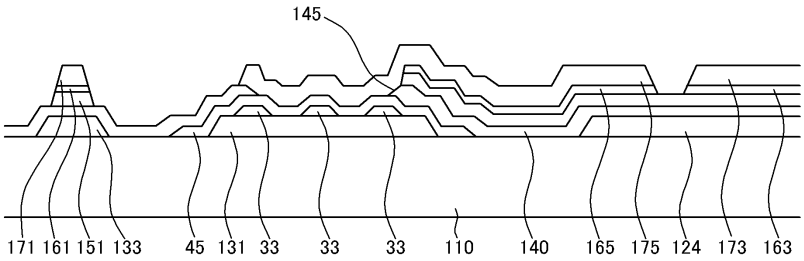
도면24



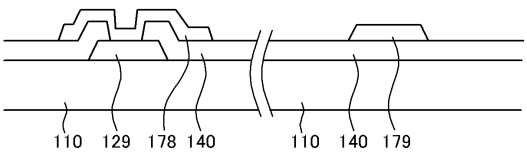
도면25



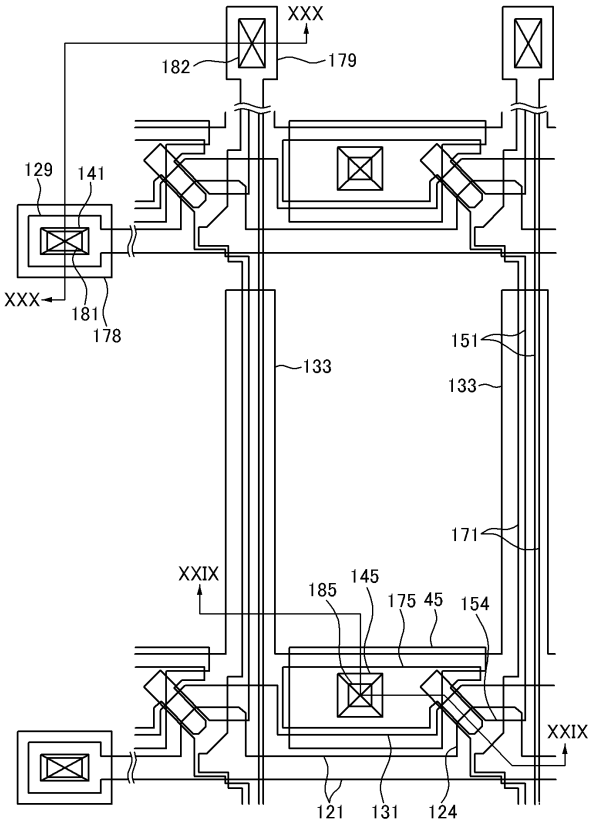
도면26



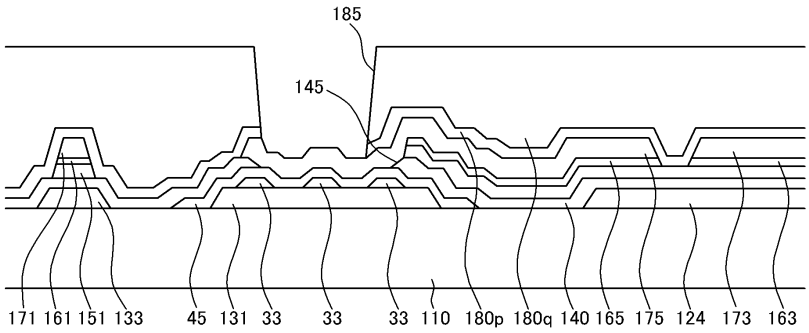
도면27



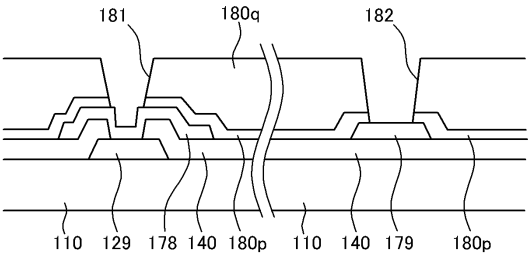
도면28



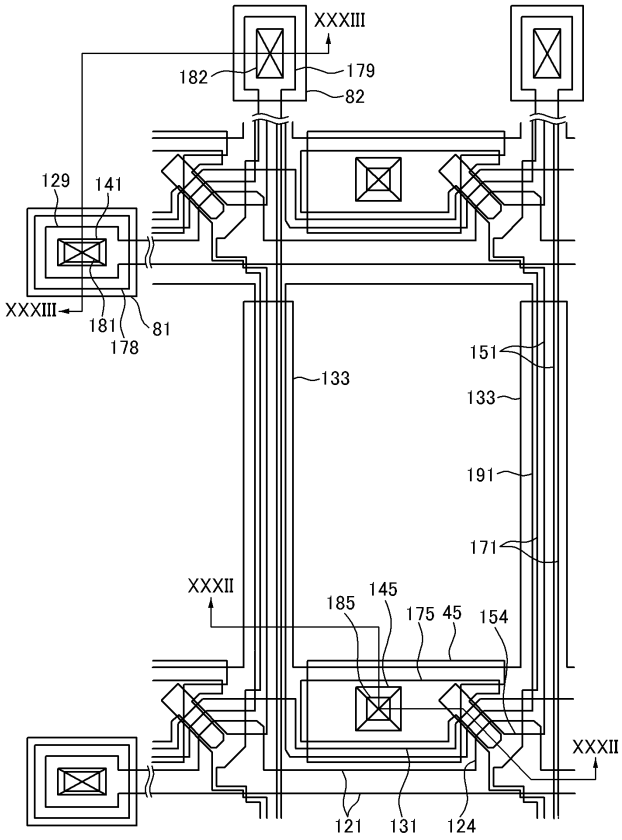
도면29



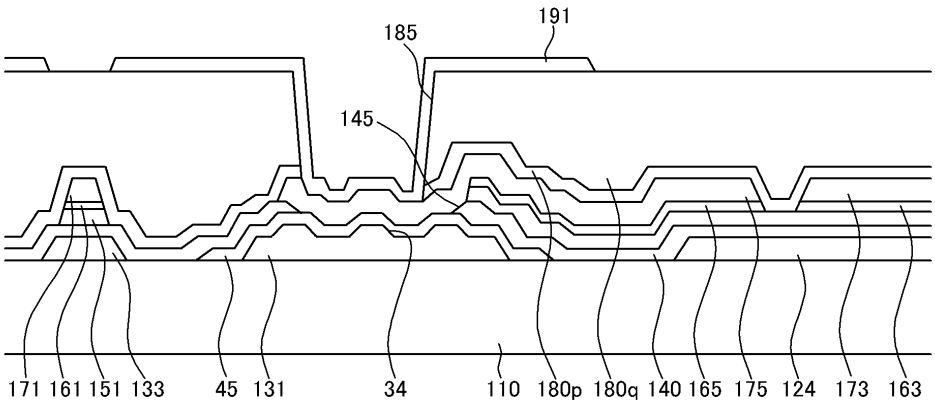
도면30



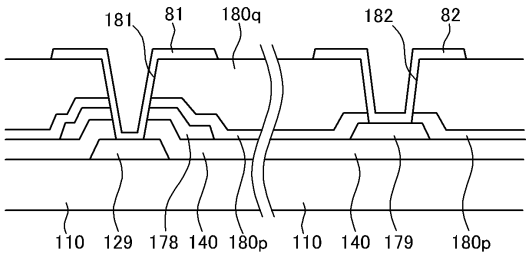
도면31


XXXIII
182
179
82
129
141
XXXIII
181
178
81
133
151
133
191
171
XXXII
185
145
175
45
154
XXXII
121
131
124

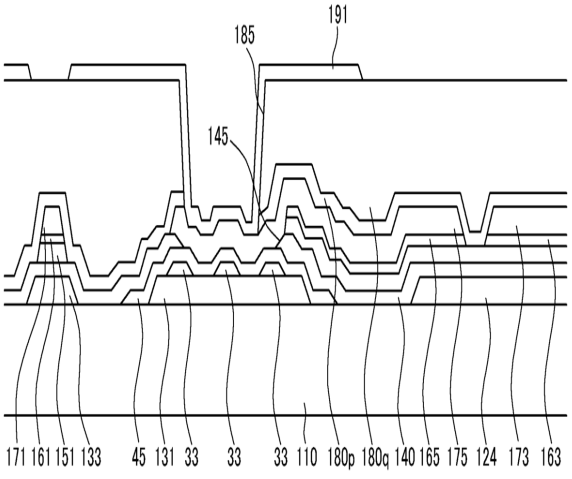
도면32


191
185
145
171
161
151
133
45
131
34
110
180p
180q
140
165
175
124
173
163

도면33



专利名称(译)	薄膜晶体管显示面板及其制造方法		
公开(公告)号	KR1020080027582A	公开(公告)日	2008-03-28
申请号	KR1020060092816	申请日	2006-09-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI MIN HYUK 최민혁 YOU CHUN GI 유춘기 KIM BONG JU 김봉주 KIM YOUNG IL 김영일		
发明人	최민혁 유춘기 김봉주 김영일		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136227 G02F1/1368		
外部链接	Espacenet		

摘要(译)

根据本发明的薄膜晶体管面板包括基板，形成在基板上的栅极线，形成在基板上并具有形成在其上的凹凸的维持电极线，覆盖凹凸的电介质，第一接触孔形成在栅极绝缘膜上的半导体层，通过第一接触孔与半导体重叠并与电介质接触的漏极，具有与半导体重叠并面向漏极的源极的数据线，并且第二接触孔暴露漏电极，像素电极形成在钝化层上并通过第二接触孔连接到漏电极。