

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0036005
G02F 1/1368 (2006.01) (43) 공개일자 2006년04월27일

(21) 출원번호 10-2004-0085110
(22) 출원일자 2004년10월23일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 김덕희
서울 동작구 사당동 105번지 신동아아파트 402-1504
(74) 대리인 정상빈
김동진

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터의 제조 방법

요약

액정 표시 장치용 박막 트랜지스터의 제조 방법이 제공된다. 액정 표시 장치용 박막 트랜지스터의 제조 방법은, 먼저, 투명 절연 기판 상에 제1 마스크의 사진 공정을 수행하여 반도체층을 형성한다. 다음, 반도체층 상에 게이트 절연막을 형성한다. 이어, 부분 노광법을 이용한 제2 마스크의 사진 공정을 수행하여 게이트 전극이 형성될 영역의 게이트 절연막 상부에 감광막 패턴을 형성하되, 반도체층에 LDD(Lightly Doped Drain) 영역이 형성될 영역과 대향하는 부분의 감광막 패턴의 두께를 반도체층에 채널 영역이 형성될 영역과 대향하는 상기 감광막 패턴의 두께보다 작게 한다. 다음, 감광막 패턴을 마스크로하여 게이트 절연막을 건식 식각하여 이중 두께의 게이트 절연막 패턴을 형성한다. 이어, 상기 결과물 상에 불순물이 도핑된 이산화 실리콘막을 증착하고 레이저를 조사하여, 반도체층에 불순물을 확산시킨다.

대표도

도 2

색인어

액정 표시 장치, LDD(Lightly Doped Drain), 확산

명세서

도면의 간단한 설명

도 1은 전형적인 액정 표시 장치의 개략 구성도이다.

도 2는 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터를 나타내는 단면도이다.

도 3a 내지 도 3g는 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 공정 단계별 각각의 단면도들이다.

도 4는 도 3b의 제2 마스크의 평면도이다.

(도면의 주요부분에 대한 부호의 설명)

410: 버퍼층 420: 반도체층

421: 채널 영역 422, 423: LDD 영역

424: 소스 영역 425: 드레인 영역

430: 게이트 절연막 440: 게이트 전극

451 내지 453: 층간 절연막 461: 소스 전극

462: 드레인 전극 470: 보호층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치(Liquid Crystal Display; LCD)용 박막 트랜지스터(Thin Film Transistor; TFT)의 제조 방법에 관한 것으로, 더욱 상세하게는 폴리 실리콘 타입의 박막 트랜지스터를 이온도핑 설비 없이 제조하는 액정 표시 장치용 박막 트랜지스터의 제조 방법에 관한 것이다.

최근에 텔레비전 등의 표시 장치의 대형화 추세에 따라 음극선관 표시 장치(Cathode Ray Tube; CRT) 대신에 액정 표시 장치(LCD), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 이엘 표시 장치(Organic ElectroLuminiscent Display; OLED) 등과 같은 평판 패널형 표시 장치가 개발되고 있다. 이러한 평판 패널형 표시 장치 중에서 경량화 및 박형화가 가능한 액정 표시 장치가 특히 주목 받고 있다.

액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기관과 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 투명 절연 기관 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘이 주로 이용되었는데, 이는 저온 공정이 저가의 절연 기관을 사용할 수 있기 때문이다. 그러나 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합 또는 덩글링 본드가 존재하여 빛 조사나 전기 인가시 준안정 상태(quasi-steady state)로 변화되어 수소화된 비정질 실리콘으로 제조된 박막 트랜지스터 소자는 안정성의 문제점이 대두되었다. 또한 전기적 특성(예를 들면, 이동도(mobility): 0.1 ~ 1.0 cm²/V·s)이 좋지 않아서 구동 회로(예를 들면, 게이트 구동 회로 또는 데이터 구동 회로)로 이용되기 어려웠다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 이동도가 크기 때문에 폴리 실리콘으로 제조된 박막 트랜지스터 소자는 구동 회로로 이용될 수 있다. 이로 인해서, 폴리 실리콘으로 제조된 박막 트랜지스터는 액정 표시 장치용 박막 트랜지스터로서 널리 이용되고 있다.

상기 폴리 실리콘으로 제조되는 박막 트랜지스터를 구현하기 위해서는, 공정 과정 중에 이온도핑 및 활성화 공정을 필요로 하게 된다. 상기 이온 도핑은 게이트 절연막 증착후에 이온 도핑 설비를 이용하여 도핑하는 것이 일반적인데, 이때의 고에너지에 의하여 게이트 절연막과 반도체층 계면이 이온 주입시 데미지(damage)를 받게 된다.

또한, 고가 장비인 상기 이온 도핑 설비의 도입에 따른, 투자 비용 및 유지 비용이 크다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 이온도핑 설비 없이 제조하는 폴리 실리콘 타입의 액정 표시 장치용 박막 트랜지스터의 제조 방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 이온 도핑 설비 없이 제조하여 LDD 영역, 소스 및 드레인 영역을 동시에 형성하는 폴리 실리콘 타입의 액정 표시 장치용 박막 트랜지스터의 제조 방법을 제공하는데 있다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법은, 먼저, 투명 절연 기판 상에 제1 마스크의 사진 공정을 수행하여 반도체층을 형성한다. 다음, 상기 반도체층 상에 게이트 절연막을 형성한다. 이어, 부분 노광법을 이용한 제2 마스크의 사진 공정을 수행하여 게이트 전극이 형성될 영역의 상기 게이트 절연막 상부에 감광막 패턴을 형성하되, 상기 반도체층에 LDD(Lightly Doped Drain) 영역이 형성될 영역과 대향하는 부분의 상기 감광막 패턴의 두께를 상기 반도체층에 채널 영역이 형성될 영역과 대향하는 상기 감광막 패턴의 두께보다 작게 한다. 다음, 상기 감광막 패턴을 마스크로하여 상기 게이트 절연막을 건식 식각하여 상기 감광막 패턴과 유사한 형태로 이중 두께의 게이트 절연막 패턴을 형성한다. 이어, 상기 결과물 상에 불순물이 도핑된 이산화 실리콘막을 증착하고 레이저를 조사하여, 상기 반도체층에 불순물을 확산시킨다. 다음, 상기 불순물 확산 공정을 완료한 후 잔여하는 상기 불순물이 도핑된 이산화 실리콘막을 제거한다. 이어, 상기 결과물 상에 게이트 전극용 도전막을 형성하고 패터닝하여 상기 게이트 절연막 패턴 상부의 단차를 따라 형성된 게이트 전극을 형성한다.

여기서, 상기 불순물이 도핑된 이산화 실리콘막을 화학 기상 증착 방식으로 형성하는 것이 바람직하다.

또한, 상기 불순물이 도핑된 이산화 실리콘막은 포스포실리케이트막 또는 보로 실리케이트막일 수 있다.

이때, 상기 반도체층에 불순물을 확산시키는 단계는 고압 및 고온의 챔버내에서 수행하는 것이 바람직하다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

먼저, 도 1을 참조하여 전형적인 액정 표시 장치에 대해서 설명한다.

도 1은 전형적인 액정 표시 장치의 개략 구성도이다. 전형적인 액정 표시 장치는 도 1에 도시된 것처럼, 액정 패널(100), 게이트 구동부(200) 및 데이터 구동부(300)를 포함한다.

액정 패널(100)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있는 다수의 화소들을 포함하며, 각 화소는 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결된 스위칭 소자(M)와 이에 연결된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 포함한다.

행 방향으로 형성되어 있는 다수의 게이트 라인(G1 내지 Gn)은 스위칭 소자(M)에 게이트 신호를 전달하며 열 방향으로 형성되어 있는 다수의 데이터 라인(D1 내지 Dm)은 스위칭 소자(M)에 데이터 신호에 해당되는 게조 전압을 전달한다. 그리고 스위칭 소자(M)는 삼단자 소자로서, 제어 단자는 게이트 라인(G1 내지 Gn)에 연결되어 있고, 입력 단자는 데이터 라인(D1 내지 Dm)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)의 한 단자에 연결되어 있다. 액정 커패시터(Clc)는 스위칭 소자(M)의 출력 단자와 공통 전극(도시하지 않음) 사이에 연결되고, 스토리지 커패시터(Cst)는 스위칭 소자(M)의 출력 단자와 공통 전극 사이에 연결(독립 배선 방식)되거나 스위칭 소자(M)의 출력 단자와 바로 위의 게이트 라인(G1 내지 Gn) 사이에 연결(전단 게이트 방식)될 수 있다.

게이트 구동부(200)는 다수의 게이트 라인(G1 내지 Gn)에 연결되어 있고, 스위칭 소자(M)를 활성화시키는 게이트 신호를 다수의 게이트 라인(G1 내지 Gn)으로 제공하며, 데이터 구동부(300)는 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있다.

여기에서 스위칭 소자(M)는 모스 트랜지스터가 이용되며, 이러한 모스 트랜지스터는 폴리 실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다. 그리고 게이트 구동부(200)나 데이터 구동부(300)도 모스 트랜지스터로 구성되며, 이러한 모스 트랜지스터는 폴리 실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다.

다음은, 도 2를 참조하여, 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터에 대하여 상세히 설명한다.

도 2는 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터를 나타내는 단면도이다.

도 2에 도시된 바와 같이, 본 발명의 일실시예에 따른 박막 트랜지스터는 투명 절연 기관(400)의 상부에 산화 규소 또는 질화 규소 등의 절연막으로 이루어진 버퍼층(410)이 투명 절연 기관(400)의 전면에 걸쳐 형성되어 있다. 상기 버퍼층(410)의 상부에는 채널 영역(421) 및 LDD 영역(422, 423), 소스 영역(424) 및 드레인 영역(425)을 포함하는 반도체층(420)이 형성되어 있다. 이러한 상기 반도체층(420)의 상부에는 게이트 절연막(430)이 형성되어 있으며, 상기 게이트 절연막(430)의 상부에는 게이트 전극(440)이 형성되어 있다. 이때, 상기 게이트 절연막(430)은 제1 및 제2 두께(a, b)의 이중 두께를 갖는 형태로 형성되어 있으며, 상기 게이트 전극(440)은 상기 게이트 절연막(430) 상부를 덮도록 상기 게이트 절연막(430)의 단차를 따라 형성되어 있다.

상기 게이트 전극(440)의 상부에는 콘택홀(454, 455)들을 포함하는 층간 절연막(451, 452, 453)이 형성되어 있다. 또한, 상기 콘택홀(454, 455)을 통해서 소스 영역(424) 및 드레인 영역(425)과 각각 연결되며, 게이트 전극(440)과 소정의 간격으로 각각 이격되는 소스 전극(461) 및 드레인 전극(462)이 형성되어 있다. 그리고 상기 소스 전극(461) 및 드레인 전극(462)의 상부에는 보호층(470)이 형성되어 있다.

한편, 상기 반도체층(420)을 구성하는 상기 채널 영역(421) 및 LDD 영역(422, 423)은 게이트 전극(440)과 대향하여 형성되어 있고, 상기 소스 영역(424) 및 드레인 영역(425)은 상기 콘택홀(454, 455)을 통해 상기 소스 전극(461) 및 상기 드레인 전극(462)에 각각 연결되어 있다.

이때, 상기 LDD 영역(422, 423)은, 게이트 전극(440)에 오버랩되어 형성되어 있고, 소스 영역(424) 및 드레인 영역(425)의 제1 불순물(예를 들면, n 형 불순물)의 도핑 농도보다 낮은 농도의 제1 불순물로 도핑되어 형성되어 있다. 이러한 LDD 영역(422, 423)은 게이트 전극(440)과 오버랩되어 형성되어 있으므로, 소스 영역(424)의 정션이나 드레인 영역(425)의 정션에 인가되는 전계를 완화시킬 수 있다. 이에 따라, 채널 영역(421) 내에서 발생될 수 있는 열전자(hot electron)들을 효과적으로 분산시켜 열전자들에 의한 박막 트랜지스터의 열화(degradation)를 효과적으로 개선할 수 있다.

그러면, 도 3a 내지 도 3g 및 도 4를 참조하여, 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법에 대해서 설명한다.

도 3a 내지 도 3g는 본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 공정 단계별 각각의 단면도들이다.

본 발명의 일실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법은 도 3a에 도시된 바와 같이, 먼저, 투명 절연 기관(400) 전면에 버퍼층(410)을 형성한다. 이러한 버퍼층(410)은 질화 규소나 산화 규소 등을 증착하여 형성한다.

이어, 상기 버퍼층(410) 상부에 비정질 실리콘을 증착하고, 탈수소화 과정을 수행한 후, 레이저 결정화 단계를 거쳐 폴리 실리콘을 형성한다. 이러한 폴리 실리콘에 제1 마스크(481)의 사진 공정과 식각 공정을 수행하여 반도체층(420)을 형성한다.

다음, 도 3b에 도시된 바와 같이, 상기 반도체층(420) 상에 질화 규소 또는 산화 규소 등으로 이루어진 게이트 절연막(430)을 형성한다. 여기서, 상기 게이트 절연막(430)은 후속 공정인 불순물 확산 공정시에 채널 영역(421)이 될 부분에 불순물이 침투되지 않도록 하기 위하여 충분히 두껍게 형성한다.

이어, 상기 게이트 절연막(430) 상부에 감광막을 도포하고, 제2 마스크(482)의 사진 공정과 식각 공정을 수행하여 이중 두께를 갖는 감광막 패턴(491, 492, 493)을 형성한다.

여기서, 상기 감광막 패턴(491, 492, 493)은 상기 반도체층(420)에 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분(491, 492)의 두께(t1, t2)가 반도체층(420)에 채널 영역(421)이 형성될 영역과 대향하는 부분(493)의 두께(t3)보다 작게 형성시킨다. 이와 같이, 이중 두께를 갖는 상기 감광막 패턴(491, 492, 493)은 도 4에 도시된 바와 같은 마스크 패턴(482)을 이용하여 형성한다.

도 4는 도 3b의 제2 마스크의 평면도이다. 구체적으로, 상기 제2 마스크(482)는 도 4에 도시된 바와 같이, 상기 채널 영역(421)과 대향하는 부분에는 채널 영역 패턴(483)이 형성되어 있고 LDD 영역(422, 423)과 대향하는 부분에는 다수의 슬릿들(484, 485)이 형성되어 있어, 다수의 슬릿들(484, 485)과 대향하는 부분의 감광막에는 사진 공정에서의 광원이 부분적으로 노출될 수 있다. 그럼으로써 상기 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분의 감광막 패턴(491, 492)의 두께(t1, t2)는 상기 채널 영역(421)이 형성될 영역과 대향하는 감광막 패턴(493)의 두께(t3)보다 더 작게 형성될 수 있다. 상기 다수의 슬릿들(484, 485)의 폭(w1, w2)이 커질수록 상기 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분의 감광막 패턴(491, 492)의 두께(t1, t2)는 작아질 수 있으므로, 상기 다수의 슬릿들(484, 485)의 폭(w1, w2)을 조정하여 상기 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분의 감광막 패턴(491, 492)의 두께(t1, t2)를 조절할 수 있다. 그리고 상기 다수의 슬릿들(484, 485)의 길이(l3, l4)가 커질수록 상기 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분의 감광막 패턴(491, 492)의 길이(l1, l2)는 커질 수 있으므로, 상기 다수의 슬릿들(484, 485)의 길이(l3, l4)를 조정하여 상기 LDD 영역(422, 423)이 형성될 영역과 대향하는 부분의 감광막 패턴(491, 492)의 길이(l1, l2)를 조절할 수 있다.

다음, 도 3c에 도시된 바와 같이, 상기 이중 두께를 갖는 감광막 패턴(491, 492, 493)을 마스크로 하고, 플라즈마를 이용한 건식 식각을 수행하여, 이중 두께를 갖는 게이트 절연막 패턴(430a, 430b)을 형성한다. 즉, 상기 게이트 절연막(430)을 상기 이중 두께를 갖는 감광막 패턴(491, 492, 493)을 마스크로 하여 건식 식각하면, 상기 감광막 패턴(491, 492, 493)이 덮이지 않은 위치의 상기 게이트 절연막(430)은 완전히 제거되고, 상기 감광막 패턴(491, 492) 하부의 게이트 절연막(430)은 일부 제거된다. 구체적으로, 상기 t1, t2의 두께를 갖는 감광막 패턴(491, 492) 하부의 게이트 절연막(430)의 두께가 상기 t3의 두께를 갖는 감광막 패턴(493) 하부의 게이트 절연막(430)의 두께보다 얇게 형성되어 이루어진 이중 두께를 갖는 게이트 절연막 패턴(430a, 430b)이 형성된다. 이때, 상기 건식 식각 후에 잔여하는 감광막 찌꺼기는 애싱 및 PR-strip 공정을 통해 제거한다.

다음, 도 3d에 도시된 바와 같이, 도 3c에 도시된 결과물 상의 단차를 따라 불순물이 도핑된 이산화 실리콘막(480)을 화학 기상 증착(CVD; Chemical Vapor Deposition) 공정을 이용하여 증착한다. 여기서, 상기 불순물이 도핑된 이산화 실리콘막(480)은 포스포실리케이트막(Phosphosilicate; 인이 도핑된 이산화 실리콘) 또는 보로실리케이트막(Borosilicate)일 수 있다. 한편, 상기 불순물이 도핑된 이산화 실리콘막(480)은 CVD 증착시에 가스 유량 및 압력 등을 통해 불순물 양을 일정하게 생성시킴으로써 후속 공정들을 통해 제조되는 박막 트랜지스터의 특성 균일성을 향상시킬 수 있다.

이어, 레이저 조사(Laser irradiation)를 실시하여 상기 불순물이 도핑된 이산화 실리콘막(480)에 도핑되어 있는 불순물들이 상기 반도체층(420)으로 확산(diffusion)되도록 한다.

이에 따라, 상기 게이트 절연막 패턴(430a, 430b)에 의해 덮이지 않은 반도체층(420)에는 상부의 불순물이 도핑된 이산화 실리콘막(480)으로부터 확산되어 나온 불순물이 침투되어 드레인 영역(425) 및 소스 영역(424)이 형성된다.

또한, 상기 이중 두께의 게이트 절연막 패턴(430a, 430b) 중 가장 자리의 얇은 두께로 형성된 게이트 절연막 패턴(430a)이 형성되어 있는 부분 하부의 반도체층(420)에는 게이트 절연막 패턴(491, 492)에 의해서 확산되는 이온들의 일부가 차단되기 때문에 소스 영역(424) 및 드레인 영역(425)의 불순물의 도핑 농도보다 낮은 농도의 불순물로 도핑되어 LDD 영역(422, 423)이 형성된다. 그리고 상기 얇은 두께(a)의 게이트 절연막 패턴(130a)보다 두껍게 형성된 게이트 절연막 패턴

(130b)이 형성되어 있는 부분 하부의 반도체층(420)에는 두꺼운 게이트 절연막 패턴(130b)에 확산되는 이온들이 대부분 차단되기 때문에 불순물이 도핑되지 않는 채널 영역(421)이 형성된다. 이러한 게이트 절연막 패턴(430a)의 두께(a)가 클수록 확산되는 이온들의 차단 정도가 커지므로, 게이트 절연막 패턴(430a)의 두께(a)를 조절하여 LDD 영역(422, 423)의 도핑 농도를 조절할 수 있다. 또한, 게이트 절연막 패턴(130a)의 길이가 길수록 LDD 영역(422, 423)의 길이도 커지므로, 게이트 절연막 패턴(130a)의 길이를 조절하여 LDD 영역(422, 423)의 길이를 조절할 수 있다.

한편, 레이저를 조사하여 실시하는 상기 확산 공정은, 고압 및 고온의 공정 조건의 챔버 내에서 실시하는 고압 고온 어닐링(High pressure thermal annealing)법을 이용하여 더욱 최적화할 수 있다.

다음, 도 3e에 도시된 바와 같이, 상기 불순물이 도핑된 이산화 실리콘막(480)을 완전히 제거하고, 상기 게이트 절연막 패턴(430) 상에 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al) 등의 게이트 전극용 도전막(441)을 형성한다.

이어, 도 3f에 도시된 바와 같이, 상기 게이트 전극용 도전막(441) 상에 감광막을 도포하고 제 3 마스크(483)의 사진 공정 및 식각 공정을 수행하여, 상기 게이트 절연막 패턴(430a, 430b) 상부를 덮는 게이트 전극(440)을 형성한다. 이때, 상기 게이트 전극(440)은 상기 게이트 절연막 패턴(430a, 430b)의 단차를 따라 형성되어 진다.

다음, 도 3g에 도시된 바와 같이, 질화 규소 또는 산화 규소 등의 물질로 게이트 전극(440)의 상부에 콘택홀(454, 455)을 포함하는 층간 절연막(451 내지 453)을 형성하고, 몰리브덴(Mo) 또는 알루미늄 네오디뮴(AlNd) 등의 물질로 콘택홀(454, 455)을 통해서 소스 영역(424) 및 드레인 영역(425)과 각각 연결되며 게이트 전극(440)과 소정의 간격으로 각각 이격되는 소스 전극(461) 및 드레인 전극(462)을 형성한다. 그리고, 소스 전극(461) 및 드레인 전극(462) 상에 질화 규소 등의 물질로 보호층(470)을 형성한다.

본 발명의 실시예에 따르면, 별도의 이온 주입 공정을 실시하지 않고, 불순물이 도핑된 이산화 실리콘막을 증착하고 레이저 조사를 통해 불순물 확산이 진행되도록 하여 소스 및 드레인 영역, LDD영역이 형성되도록 한다.

또한, 이중 두께를 갖는 게이트 절연막 패턴을 이용하여 한번의 확산 공정을 수행하여 소스 및 드레인 영역, LDD 영역을 동시에 형성할 수 있어 제조 과정을 단순화할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고 본 발명의 기술적 요지를 벗어나지 않는 범위 내에서 당업자에 의해 다양하게 변형 실시될 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 폴리실리콘 타입의 박막 트랜지스터를 이온도핑 설비 없이 제조하여 제조 비용을 절감할 수 있다. 또한, 이와 동시에 이중 두께의 게이트 절연막 패턴을 마스크로하여 LDD 영역, 소스 및 드레인 영역을 동시에 형성할 수 있어 공정 과정을 단순화할 수 있다.

(57) 청구의 범위

청구항 1.

투명 절연 기판 상에 제1 마스크의 사진 공정을 수행하여 반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연막을 형성하는 단계;

부분 노광법을 이용한 제2 마스크의 사진 공정을 수행하여 게이트 전극이 형성될 영역의 상기 게이트 절연막 상부에 감광막 패턴을 형성하되, 상기 반도체층에 LDD(Lightly Doped Drain) 영역이 형성될 영역과 대향하는 부분의 상기 감광막 패턴의 두께를 상기 반도체층에 채널 영역이 형성될 영역과 대향하는 상기 감광막 패턴의 두께보다 작게 형성하는 단계;

상기 감광막 패턴을 마스크로하여 상기 게이트 절연막을 건식 식각하여 상기 감광막 패턴과 유사한 형태로 이중 두께의 게이트 절연막 패턴을 형성하는 단계;

상기 결과물 상에 불순물이 도핑된 이산화 실리콘막을 형성하고 레이저를 조사하여, 상기 반도체층에 불순물을 확산시키는 단계;

상기 불순물 확산 공정을 완료한 후 잔여하는 상기 불순물이 도핑된 이산화 실리콘막을 제거하는 단계; 및

상기 결과물 상에 게이트 전극용 도전막을 형성하고 패터닝하여 상기 게이트 절연막 패턴 상부의 단차를 따라 형성된 게이트 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터의 제조 방법.

청구항 2.

제1항에서,

상기 반도체층에 불순물을 확산시키는 단계에서,

상기 불순물이 도핑된 이산화 실리콘막은 화학 기상 증착 방식으로 형성하는 액정 표시 장치용 박막 트랜지스터의 제조 방법.

청구항 3.

제2항에서,

상기 불순물이 도핑된 이산화 실리콘막은 포스포실리케이트막 또는 보로 실리케이트막인 액정 표시 장치용 박막 트랜지스터의 제조 방법.

청구항 4.

제1항에서,

상기 반도체층에 불순물을 확산시키는 단계는 고압 및 고온의 챔버내에서 수행하는 액정 표시 장치용 박막 트랜지스터의 제조 방법.

청구항 5.

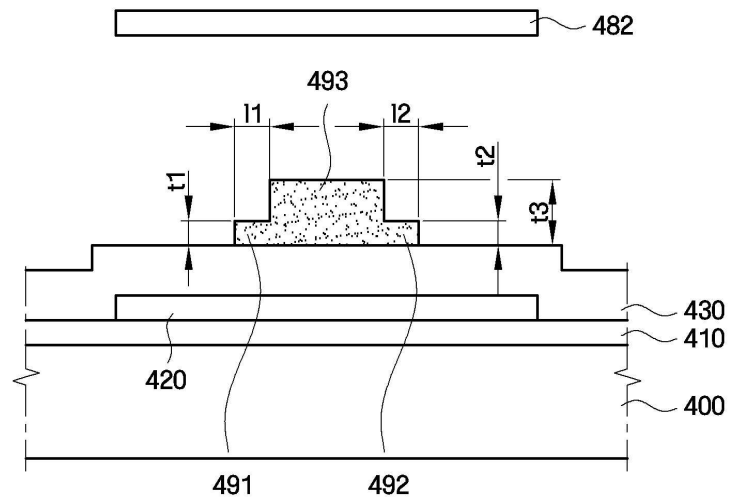
제1항에서,

상기 반도체층에 불순물을 확산시키는 단계는,

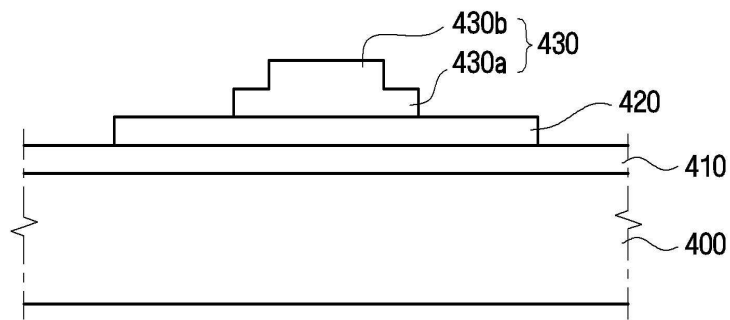
상기 이중 두께의 게이트 절연막 패턴을 마스크로 하여 상기 불순물이 도핑된 이산화 실리콘막 내의 불순물들을 상기 반도체층으로 확산시켜 드레인 영역, 소스 영역, 채널 영역 및 LDD 영역을 동시에 형성하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터의 제조 방법.

도면

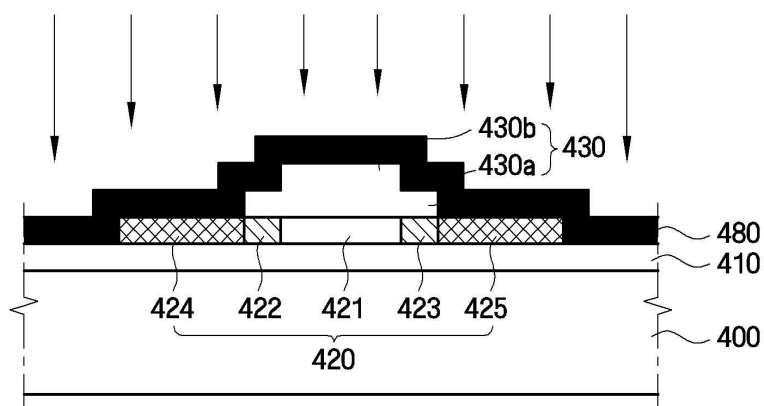
도면3b



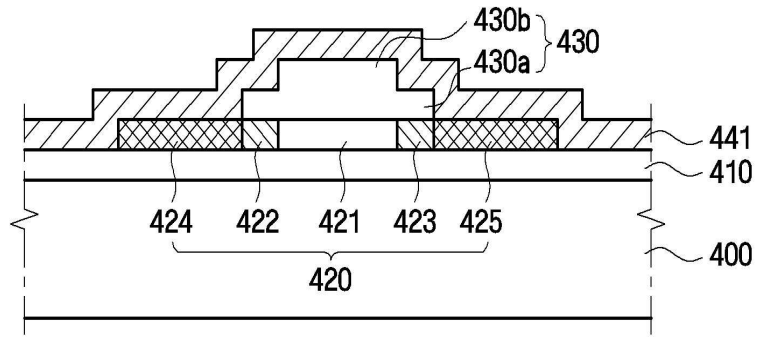
도면3c



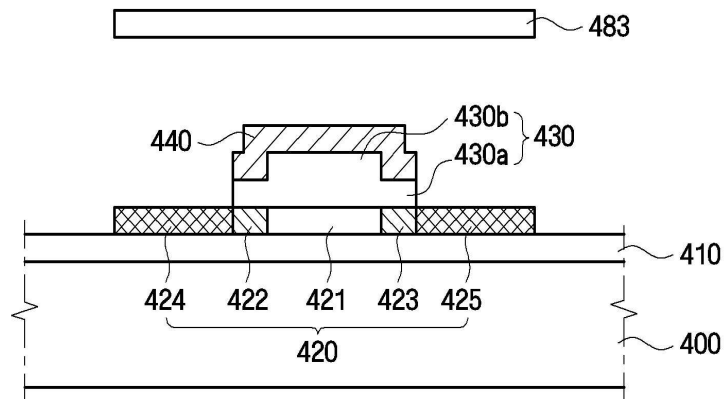
도면3d



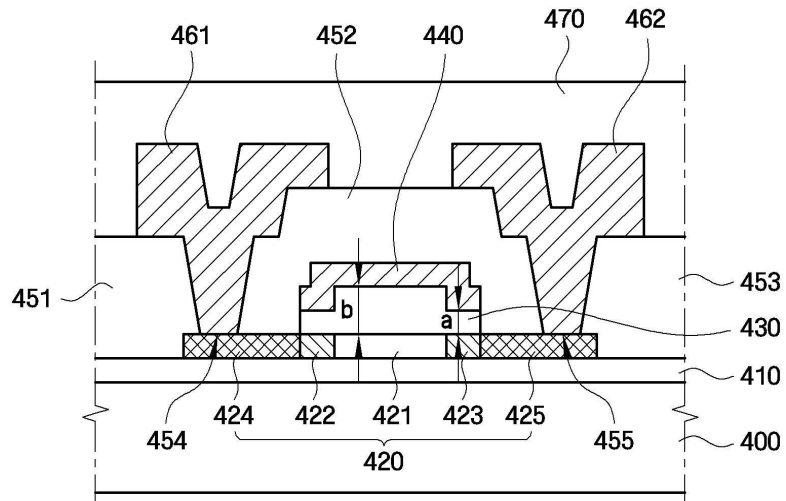
도면3e



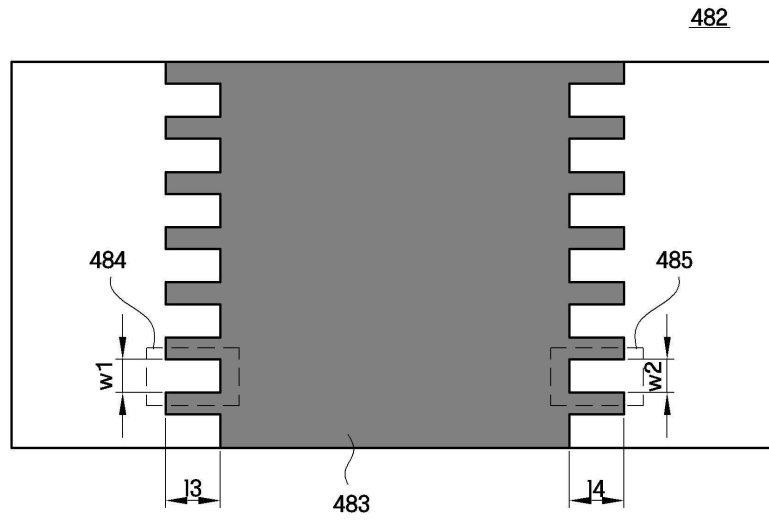
도면3f



도면3g



도면4



专利名称(译)	制造用于液晶显示装置的薄膜晶体管的方法		
公开(公告)号	KR1020060036005A	公开(公告)日	2006-04-27
申请号	KR1020040085110	申请日	2004-10-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DEOKHOI		
发明人	KIM,DEOKHOI		
IPC分类号	G02F1/1368		
CPC分类号	H01L29/78627 G02F1/1368 H01L21/2251 H01L29/42384 H01L29/66757		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种用于液晶显示器的薄膜晶体管的制造方法。用于LCD的薄膜晶体管的制造方法执行第一掩模的光刻，并且首先在透明绝缘基板上形成半导体层。栅极绝缘层形成在下一个半导体层上。随后，使面对形成沟道区的区域的光敏图案的厚度小于光敏图案的厚度，作为面对执行光刻的区域的半导体层中的部分，并形成光敏图案在其中形成栅电极的区域的栅极绝缘层的上部，并且使用部分曝光方法在第二掩模的半导体层中形成LDD（轻掺杂漏极）区域。下一个光敏图案是掩模，并且蚀刻干燥的栅极绝缘层，并且形成双倍厚度的栅极介电层图案。随后，沉积结果掺杂的二氧化硅膜上的杂质并照射激光。杂质在半导体层上扩散。液晶显示器，LDD（轻掺杂漏极）和扩散。

