

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0027624
G09G 3/36 (2006.01) (43) 공개일자 2006년03월28일

(21) 출원번호 10-2004-0076500
(22) 출원일자 2004년09월23일

(71) 출원인 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 정진영
서울 중랑구 신내동 신내아파트 607동 502호
(74) 대리인 강성배

심사청구 : 있음

(54) 액정표시장치의 게이트 라인 구동장치

요약

본 발명은 다수의 화소에 구비된 각 캐패시터와 연결되는 게이트 라인 중 첫번째 화소의 캐패시터에 연결된 게이트 라인을 구동시키기 위한 액정표시장치의 게이트 라인 구동장치에 관한 것이다. 개시된 본 발명은, 매트릭스 형태로 배열된 다수의 게이트 라인과 데이터 라인 사이에 배치된 다수의 단위 화소는 각각 하나의 스토리지 캐패시터를 구비하며, 상기 스토리지 캐패시터와 각각 대응하여 연결된 다수의 게이트 라인을 구동하는 액정표시장치의 게이트 라인 구동장치가 제공되며: 이 액정표시장치의 게이트 라인 구동장치는, 상기 다수의 단위 화소 중 첫번째 게이트 라인과 상기 다수의 데이터 라인사이에 배치된 단위 화소의 스토리지 캐패시터는 보조 게이트 라인에 연결되며, 상기 보조 게이트 라인을 포함한 모든 게이트 라인을 연결하여 동일한 주기를 갖는 일정 레벨의 펄스신호를 모든 게이트 라인에 순차적으로 인가하는 것을 특징으로 한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 설명하기 위한 도면.

도 2는 본 발명에 따른 액정표시장치를 설명하기 위한 도면.

도 3은 본 발명에 따른 액정표시장치의 게이트 라인 구동장치의 일예를 도시한 도면.

도 4는 본 발명에 따른 액정표시장치의 동작을 도시한 파형도.

* 도면의 주요 부분에 대한 부호의 설명 *

110,210,310: 액정 패널 120,220,320: 게이트 구동부

130,230: 소스 구동부 321,322,323: 게이트 구동 칩

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치에 관한 것으로, 보다 상세하게는, 다수의 화소에 구비된 각 캐패시터와 연결되는 게이트 라인 중 첫번째 화소의 캐패시터에 연결된 게이트 라인을 구동시키기 위한 액정표시장치의 게이트 라인 구동장치에 관한 것이다.

액정표시장치는 두 기관 사이에 개재된 액정에 전계를 인가하고, 이 전계의 세기를 조절하여 기관에 투과되는 빛의 양을 조절함으로써, 사용자가 원하는 화상신호를 얻는다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어 화상을 표시하는 액정 패널 및 상기 액정 패널을 구동하기 위한 구동장치를 구비한다. 상기 구동장치는 액정 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버, 데이터 라인들을 구동하기 위한 데이터 드라이버, 상기 게이트 드라이버 및 데이터 드라이버에 타이밍 제어신호와 화소 데이터를 공급하는 타이밍 제어부, 및 전원전압을 공급하는 전원부를 포함한다.

이하에서는 도 1을 참조하여 종래의 액정표시장치를 설명하도록 한다.

도시한 바와 같이, 종래의 액정표시장치는, 액정 패널(110), 이에 연결된 게이트 구동부(120) 및 소스 구동부(130), 상기 게이트 구동부(120)와 소스 구동부(130)에 전압을 인가하는 전압 발생부(도시안됨), 및 이들을 제어하는 타이밍 제어부(도시안됨)를 구비한다.

상기 액정 패널(110)은 평행하게 배열된 다수의 게이트 라인($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)과 상기 게이트 라인($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)과 교차하여 배열된 다수의 데이터 라인($D_1, D_2, D_3, \dots, D_n$)을 포함한다. 이렇게 매트릭스 형태로 배열된 게이트 라인($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)과 데이터 라인($D_1, D_2, D_3, \dots, D_n$)에 의해 둘러싸인 영역에는 단위 화소(pixel)가 형성되고, 각 단위 화소의 게이트 라인과 데이터 라인이 교차하는 부분에는 박막트랜지스터(TFT)가 구비된다. 상기 박막트랜지스터의 게이트 전극과 소스 전극 및 드레인 전극에는 각각 게이트 라인($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)과 데이터 라인($D_1, D_2, D_3, \dots, D_n$) 및 화소 전극이 연결된다. 상기 화소 전극과 공통 전극 사이에는 액정 캐패시터(liquid crystal capacitor, Clc)가 구비되고, 상기 화소 전극과 바로 전 단 게이트 라인(이하, 전 단 게이트 라인이라고 함, $G_0, G_1, G_2, \dots, G_{m-1}$) 사이에는 스토리지 캐패시터(storage capacitor, Cst)가 구비된다.

한편, 상기 게이트 라인($G_1, G_2, \dots, G_{m-1}, G_m$)과 연결된 게이트 구동부(120)는 전압 발생부로부터 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트 라인($G_1, G_2, \dots, G_{m-1}, G_m$)에 인가한다. 그리고, 상기 소스 구동부(130)는 데이터 라인($D_1, D_2, D_3, \dots, D_n$)에 연결되어 전압 발생부로부터 전압을 인가 받아 데이터 신호를 데이터 라인($D_1, D_2, D_3, \dots, D_n$)에 인가한다. 상기 타이밍 제어부는 게이트 구동부(120), 소스 구동부(130) 및 전압 발생부의 동작을 제어하는 제어신호를 발생하여 전달한다.

이러한 구조로 이루어진 액정표시장치는 게이트 구동부(120)를 통해 선택하고자 하는 게이트 라인에 게이트 온 전압(V_{on})을 인가하면, 상기 게이트 라인에 연결된 박막트랜지스터(TFT)가 턴온된다. 이 때, 소스 구동부(130)를 통해 데이터 라인에 화상신호를 나타내는 데이터 전압을 소스 전극에 인가하여 인가된 데이터 전압이 드레인 전극을 통해 화소 전극에 인가된다. 상기 화소 전극에 걸리는 화소 전압과 공통 전극에 걸리는 공통 전압(V_{com})의 차이에 의해 전계가 액정 캐패시터(ClC)에 인가되며, 상기 전계의 세기에 대응하는 투과율로 빛이 투과되도록 하여 화상 신호를 얻는다.

한편, 스토리지 캐패시터(Cst)에는 전 단 게이트 라인으로 인가되는 게이트 오프 전압과 화소 전극에 걸리는 화소 전압의 차이에 해당하는 전압이 충전되며, 선택된 게이트 라인의 구동에 따라 화소 전압을 1프레임 동안 유지하게 된다. 상기 스토리지 캐패시터(Cst)와 연결된 전 단 게이트 라인($G_1, G_2, \dots, G_{m-1}, G_m$)은 게이트 구동부(120)로부터 순차적으로 인가된 교류신호에 의해 구동된다.

그러나, 첫번째 게이트 라인(G1)에 의해 형성된 단위 화소의 스토리지 캐패시터(Cst)는 보조 게이트 라인(G0)과 연결되는데, 상기 보조 게이트 라인(G0)은 게이트 오프 전압(Voff), 공통 전압(Vcom), 또는, 접지 전압과 같은 직류신호에 의해 구동된다. 그 결과, 소스 구동부(130)로부터 출력되는 데이터 신호가 액정 패널 (110) 전체에 동일한 데이터 신호로 출력되더라도, 첫번째 게이트 라인(G1)과 그 외의 게이트 라인(G2, ..., Gm-1, Gm)에 연결된 스토리지 캐패시터(Cst)를 구동하는 신호의 차이에 의해 액정표시장치의 화질이 저하될 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와 같은 선행 기술에 따른 게이트 라인 구동장치에 내재되었던 문제점을 해결하기 위해 창작된 것으로, 본 발명의 목적은, 액정표시장치의 각 화소에 구비된 캐패시터에 인가되는 신호의 차이를 제거함으로써 액정표시장치의 화질 저하를 방지할 수 있는 액정표시장치의 게이트 라인 구동장치를 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 일면에 따라, 매트릭스 형태로 배열된 다수의 게이트 라인과 데이터 라인 사이에 배치된 다수의 단위 화소는 각각 하나의 스토리지 캐패시터를 구비하며, 상기 스토리지 캐패시터와 각각 대응하여 연결된 다수의 게이트 라인을 구동하는 액정표시장치의 게이트 라인 구동장치가 제공되며: 이 액정표시장치의 게이트 라인 구동장치는, 상기 다수의 단위 화소 중 첫번째 게이트 라인과 상기 다수의 데이터 라인 사이에 배치된 단위 화소의 스토리지 캐패시터는 보조 게이트 라인에 연결되며, 상기 보조 게이트 라인을 포함한 모든 게이트 라인을 연결하여 동일한 주기를 갖는 일정 레벨의 펄스신호를 모든 게이트 라인에 순차적으로 인가하는 것을 특징으로 한다.

본 발명의 다른 일면에 따라, 보조 출력단자를 포함한 다수의 출력단자가 구비된 다수의 구동 칩을 구비하며, 모드신호에 의해 상기 보조 출력단자를 인에이블시켜 상기 보조 게이트 라인을 포함한 모든 게이트 라인을 상기 보조 출력단자 및 다수의 출력단자에 대응하도록 연결한다.

(실시예)

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상술하도록 한다.

도 2는 본 발명에 따른 액정표시장치의 게이트 라인 구동장치를 설명하기 위한 도면이다.

도시한 바와 같이, 본 발명에 따른 액정표시장치는, 액정 패널(210), 이에 연결된 게이트 구동부(220) 및 소스 구동부(230), 상기 게이트 구동부(220)와 소스 구동부(230)에 전압을 인가하는 전압 발생부(도시안됨), 및 이들을 제어하는 타이밍 제어부(도시안됨)를 구비한다.

상기 액정 패널(210)은 평행하게 배열된 다수의 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 상기 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 교차하여 배열된 다수의 데이터 라인(D1, D2, D3, ..., Dn)을 포함한다. 이렇게 매트릭스 형태로 배열된 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 데이터 라인(D1, D2, D3, ..., Dn)에 의해 둘러싸인 영역에는 단위 화소(pixel)가 형성되고, 각 단위 화소의 게이트 라인과 데이터 라인이 교차하는 부분에 박막트랜지스터(TFT)가 구비된다. 상기 박막트랜지스터의 게이트 전극과 소스 전극 및 드레인 전극에는 각각 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 데이터 라인(D1, D2, D3, ..., Dn) 및 화소 전극이 연결된다. 상기 화소 전극과 공통 전극 사이에는 액정 캐패시터(Clc)가 구비되고, 화소 전극과 전 단 게이트 라인 (G0, G1, G2, ..., Gm-1) 사이에는 스토리지 캐패시터(Cst)가 구비된다.

한편, 상기 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 연결된 게이트 구동부(120)는 전압 발생부로부터 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)에 인가한다. 상기 소스 구동부(230)는 데이터 라인(D1, D2, D3, ..., Dn)에 연결되어 전압 발생부로부터 전압을 인가 받아 데이터 신호를 데이터 라인(D1, D2, D3, ..., Dn)에 인가한다. 상기 타이밍 제어부는 게이트 구동부(220), 소스 구동부(230) 및 전압 발생부의 동작을 제어하는 제어신호를 발생하여 전달한다.

이와 같은 본 발명에 따른 액정표시장치의 게이트 라인 구동장치에 있어서, 게이트 구동부(220)는 종래의 그것과는 달리 보조 게이트 라인(G0)을 포함한 모든 게이트 라인(G0, G1, G2, ..., Gm-1, Gm)과 연결되며, 상기 모든 게이트 라인

(G0,G1,G2, ...,Gm-1,Gm)에 동일한 교류신호를 순차적으로 인가한다. 그 결과, 액정표시장치에 구비된 모든 스토리지 캐패시터(Cst)는 동일한 교류신호에 의해 동작하게 되며, 따라서, 스토리지 캐패시터(Cst) 간의 신호 차이가 발생되지 않는다.

이하에서는 일예를 통해 게이트 라인(G0,G1,G2, ...,Gm-1,Gm)과 게이트 구동부 (220)의 연결을 설명하도록 한다.

도 3은 보조 게이트(G0)를 포함한 769개의 게이트 라인(G0,G1,G2, ...,G767, G768)과 이를 구동하는 게이트 구동부를 설명하기 위한 도면이다.

도시한 바와 같이, 게이트 구동부는 3개의 게이트 구동 칩(321,322,323)을 구비하며, 각 게이트 구동 칩(321,322,323)의 출력단자는 대응하여 게이트 라인 (G0,G1,G2, ...,G767,G768)과 연결된다. 상기 게이트 구동 칩(321,322,323)은 각각 256개의 출력단자와 1개의 보조 출력단자를 포함하며, 상기 1개의 보조 출력단자는 게이트 구동 칩(321,322,323)의 모드 신호(mode)에 의해 인에이블된다. 즉, 모드신호(mode)가 로우레벨일 경우, 보조 출력단자는 디스에이블되어 게이트 구동 칩 (321,322,323)의 출력단자 수는 각각 256개가 되며, 모드신호(mode)가 하이레벨일 경우, 보조 출력단자는 인에이블 되어 게이트 구동 칩(321,322,323)의 출력단자 수는 각각 257개가 된다.

따라서, 첫번째 게이트 구동 칩(321)에 하이레벨의 모드신호(mode)를 인가하여 보조 출력단자(out0)를 인에이블시켜 보조 게이트 라인(G0)을 포함한 257개의 게이트 라인(G0,G1,G2, ...,G256)을 출력단자(out0,out1, ...,out256)에 연결한다. 나머지 2개의 게이트 구동 칩(322,323)에는 로우레벨의 모드신호(mode)를 인가하여 보조 출력단자를 디스에이블시키고, 각각 256개의 게이트 라인(G257,G258,G259, ..., G512과, G513,G514,G515, ...,G768)을 출력단자(out1, ...,out256)에 연결한다. 그 결과, 게이트 구동 칩(321,322,323)은 출력단자를 통해 게이트 라인(G0,G1,G2, ..., G767,G768)에 순차적으로 동일한 주기의 일정 레벨을 갖는 펄스신호를 전달한다.

이상에서는 첫번째 게이트 구동 칩(321)에 하이레벨의 모드신호(mode)를 인가하여 보조 출력단자를 인에이블시키고, 게이트 구동부(320)에 게이트 라인(G0, G1,G2, ...,G767,G768)을 연결하여 펄스신호를 전달하는 것에 대해서 설명하였지만, 3개의 게이트 구동 칩(321,322,323) 중 하나 이상의 게이트 구동 칩에 하이레벨의 모드신호(mode)를 인가하여 보조 출력단자를 인에이블시키고, 게이트 구동부(320)의 출력단자와 각각 대응하도록 게이트 라인(G0,G1,G2, ...,G767,G768)을 연결하여 상기 게이트 라인(G0,G1,G2, ...,G767,G768)에 순차적으로 동일한 주기의 일정 레벨을 갖는 펄스신호를 전달할 수 있다.

도 4는 본 발명에 따른 액정표시장치의 게이트 라인 구동장치를 구비한 액정표시장치의 동작 파형도이다.

도시한 바와 같이, 본 발명에 따른 액정표시장치의 게이트 라인 구동장치를 구비한 액정표시장치에는 R, G, B 화상 데이터 신호와 라인을 구별하기 위한 수평동기신호(Hsync)가 하이레벨인 구간 동안에 화상신호인 입력데이터(ID)가 인가되고, 상기 입력데이터(ID)는 소스 구동부로의 입력 시작을 명령하는 수평시작신호 (STH)에 의해 소스 구동부에 전달된다. 상기 입력데이터(ID)는 소스 구동부 내에서 데이터를 쉬프트하기 위한 클럭신호에 의해 딜레이되며, 상기 딜레이된 데이터 (DATA)는 액정 패널에 인가할 것을 명령하는 데이터 로딩신호(DL)에 의해 액정 패널에 전달된다.

한편, 게이트 라인에 게이트 온 전압의 인가 시작을 명령하는 수직시작신호 (STV)와, 상기 게이트 온 전압이 각각의 게이트 라인에 순차적으로 인가되도록 하기 위한 게이트 클럭신호(VC)가 게이트 구동부에 인가된다. 그러면, 게이트 라인 (G0,G1,G2)에는 순차적으로 펄스신호가 인가되며, 또한 상기 펄스신호에 따라 데이터가 로딩된다. 이 때, 보조 게이트 라인(G0)에는 펄스신호가 전달되나 데이터 (DATA)는 로딩되지 않으며, 첫번째 게이트 라인(G1)부터 펄스신호가 하이레벨 인 구간 동안 데이터(DATA)가 로딩된다. 상기 게이트 라인(G0,G1,G2)에 인가되는 펄스신호의 주기는 동일하며, 보조 게이트 라인(G0)에 인가되는 펄스신호의 진폭과 하이레벨 구간은 아래 조건을 만족함이 바람직하다.

$$A/2 < A' < 2A, 0 < B' < 10B$$

여기서, A'은 보조 게이트 라인(G0)에 인가되는 펄스신호의 진폭이고, A는 상기 보조 게이트 라인(G0)을 제외한 게이트 라인(G1,G2)에 인가되는 펄스신호의 진폭이다. 또한, B'은 보조 게이트 라인(G0)에 인가되는 펄스신호의 하이레벨 구간 이고, B는 상기 보조 게이트 라인(G0)을 제외한 게이트 라인(G1,G2)에 인가되는 펄스신호의 하이레벨 구간이다.

발명의 효과

이상에서 알 수 있는 바와 같이, 본 발명은 액정 패널의 스토리지 캐패시터와 연결되는 모든 게이트 라인 ($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)을 게이트 구동부에 연결하며, 또한, 게이트 구동부에서 일정 레벨을 갖는 동일한 주기의 펄스 신호를 모든 게이트 라인($G_0, G_1, G_2, \dots, G_{m-1}, G_m$)에 인가함으로써, 액정 패널 내의 화소간 신호의 차이를 제거하여 화질 저하를 방지할 수 있다.

본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구범위에 의해 마련되는 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에 통상의 지식을 가진 자가 용이하게 알 수 있다.

(57) 청구의 범위

청구항 1.

매트릭스 형태로 배열된 다수의 게이트 라인과 데이터 라인 사이에 배치된 다수의 단위 화소는 각각 하나의 스토리지 캐패시터를 구비하며, 상기 스토리지 캐패시터와 각각 대응하여 연결된 다수의 게이트 라인을 구동하는 액정표시장치의 게이트 라인 구동장치에 있어서,

상기 다수의 단위 화소 중 첫번째 게이트 라인과 상기 다수의 데이터 라인사이에 배치된 단위 화소의 스토리지 캐패시터는 보조 게이트 라인에 연결되며,

상기 보조 게이트 라인을 포함한 모든 게이트 라인을 연결하여 동일한 주기를 갖는 일정 레벨의 펄스신호를 모든 게이트 라인에 순차적으로 인가하는 것을 특징으로 하는 액정표시장치의 게이트 라인 구동장치.

청구항 2.

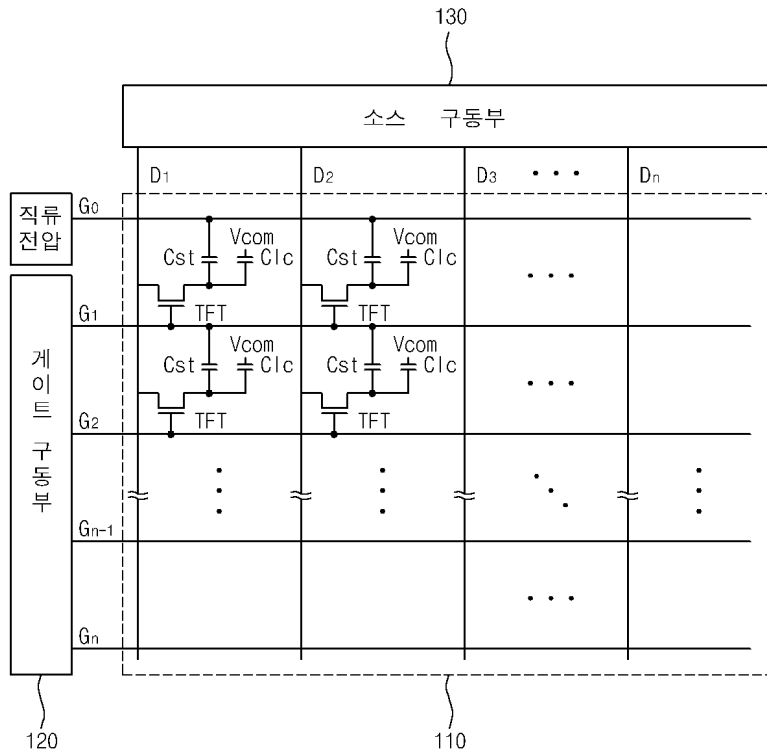
제 1 항에 있어서,

보조 출력단자를 포함한 다수의 출력단자가 구비된 다수의 구동 칩을 구비하며,

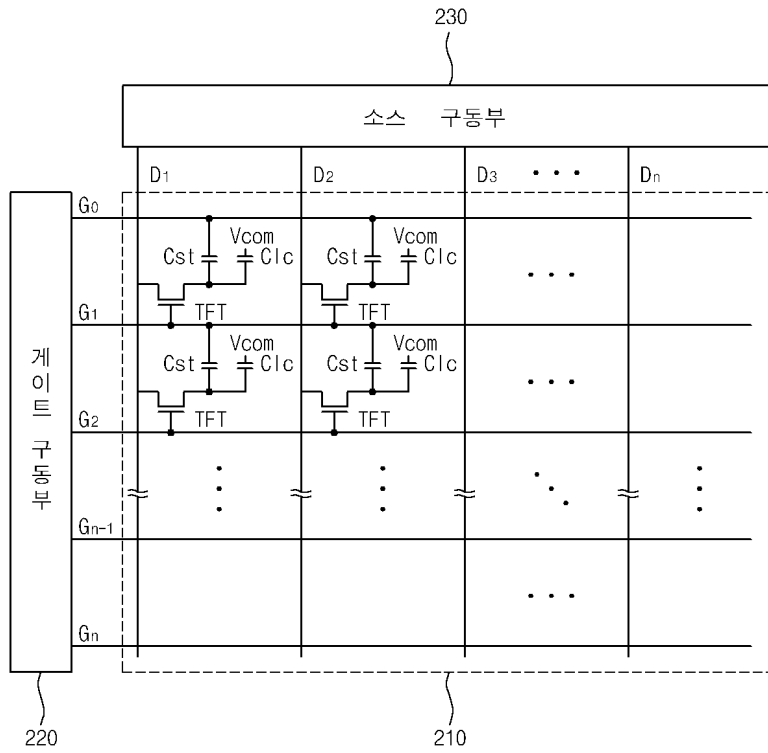
모드신호에 의해 상기 보조 출력단자를 인에이블시켜 상기 보조 게이트 라인을 포함한 모든 게이트 라인을 상기 보조 출력단자 및 다수의 출력단자에 대응하도록 연결하는 것을 특징으로 하는 액정표시장치의 게이트 라인 구동장치.

도면

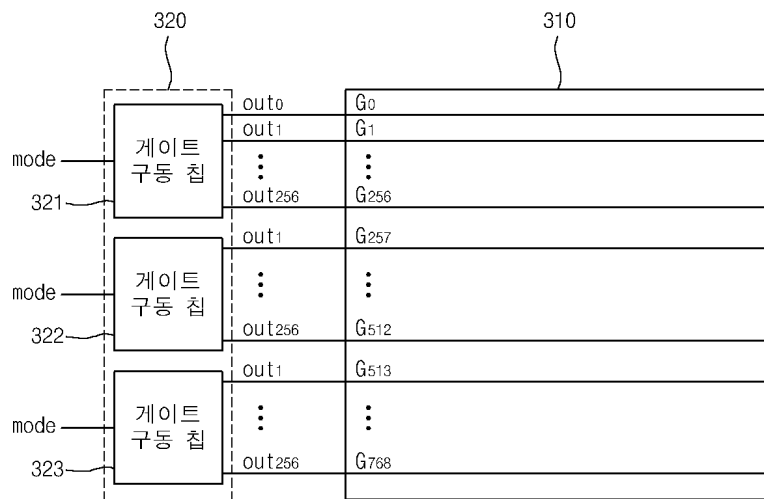
도면1



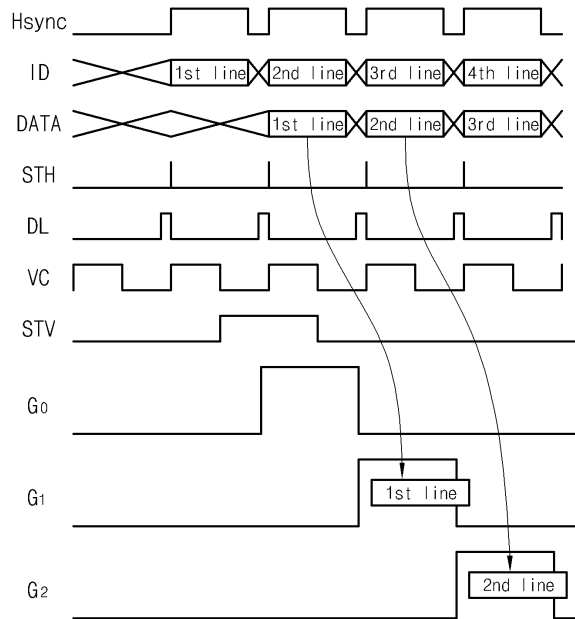
도면2



도면3



도면4



专利名称(译)	液晶显示器的栅极线驱动装置		
公开(公告)号	KR1020060027624A	公开(公告)日	2006-03-28
申请号	KR1020040076500	申请日	2004-09-23
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	JEONG JINYOUNG		
发明人	JEONG, JINYOUNG		
IPC分类号	G09G3/36		
CPC分类号	G02F1/136286 G09G3/3677 G09G2320/0219		
其他公开文献	KR100697388B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种装置和方法，通过去除施加到液晶显示器中的各个像素的像素信号之间的差异来维持图像质量。

