



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0080781  
(43) 공개일자 2008년09월05일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0020941

(22) 출원일자 2007년03월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조현상

충남 천안시 불당동 동일하이빌 206동 1801호

(74) 대리인

박영우

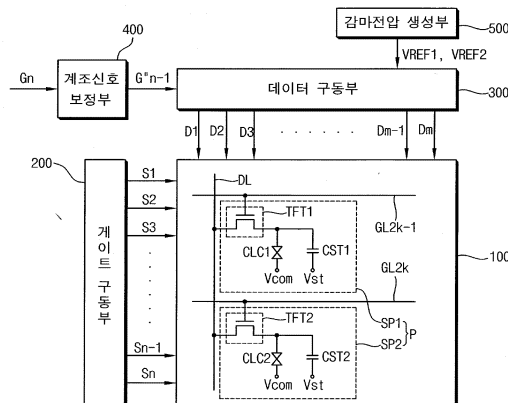
전체 청구항 수 : 총 7 항

(54) 표시 장치

(57) 요약

액정의 응답속도를 향상시키기 위한 표시 장치가 개시된다. 표시 장치는 표시 패널, 제1 계조 보정부, 제2 계조 보정부 및 데이터 구동부를 포함한다. 표시 패널은 복수의 화소부들을 포함하고, 각 화소부는 제1 서브 화소부 및 제2 서브 화소부를 포함한다. 제1 계조 보정부는 n-1번째 프레임의 계조신호와 n-2번째 프레임의 계조신호를 이용하여 n-1번째 프레임의 제1 보정 계조신호를 생성한다. 제2 계조 보정부는 n-1번째 프레임의 제1 보정 계조신호와 n번째 프레임의 계조신호를 이용하여, n-1번째 프레임의 제2 보정 계조신호를 생성한다. 데이터 구동부는 n-1번째 프레임의 제2 보정 계조신호를 대응하는 제1 계조전압 및 제2 계조전압으로 각각 변환하여 제1 서브 화소부 및 제2 서브 화소부에 제공한다. 이에 따라, 액정의 응답속도를 향상시킬 수 있다.

대표도



## 특허청구의 범위

### 청구항 1

복수의 화소부들을 포함하고, 각 화소부는 제1 서브 화소부 및 제2 서브 화소부를 포함하는 표시 패널;

n-1번째 프레임의 계조신호와 n-2번째 프레임의 계조신호를 이용하여 n-1번째 프레임의 제1 보정 계조신호를 생성하는 제1 계조 보정부;

상기 n-1번째 프레임의 제1 보정 계조신호와 n번째 프레임의 계조신호를 이용하여, n-1번째 프레임의 제2 보정 계조신호를 생성하는 제2 계조 보정부; 및

상기 n-1번째 프레임의 제2 보정 계조신호를 대응하는 제1 계조전압 및 제2 계조전압으로 각각 변환하여 상기 제1 서브 화소부 및 제2 서브 화소부에 제공하는 데이터 구동부를 포함하는 표시 장치.

### 청구항 2

제1항에 있어서, 상기 제2 계조 보정부는 상기 n-1번째 프레임의 제1 보정 계조신호와 상기 n번째 프레임의 계조신호에 대응하는 상기 n-1번째 프레임의 제2 보정 계조신호가 맵핑된 룩업 테이블을 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 3

제2항에 있어서, 입력되는 상기 n번째 프레임의 계조신호를 저장하고, 기저장된 상기 n-1번째 프레임의 계조신호를 출력하는 제1 프레임 메모리; 및

상기 n-1번째 프레임의 계조신호를 저장하고, 기저장된 상기 n-2번째 프레임의 계조신호를 출력하는 제2 프레임 메모리를 더 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 4

제3항에 있어서, 상기 데이터 구동부는 제1감마 기준전압들 및 제2 감마 기준전압들을 이용해 상기 제1 계조전압 및 제2 계조전압으로 변환하는 것을 특징으로 하는 표시 장치.

### 청구항 5

제4항에 있어서, 상기 제1 서브 화소부는 홀수 번째 게이트 배선 및 소스 배선에 연결된 제1 박막 트랜지스터와, 제1 액정 커패시터 및 제1 스토리지 커패시터를 포함하고,

상기 제2 서브 화소부는 짝수 번째 게이트 배선 및 상기 소스 배선에 연결된 제2 박막 트랜지스터와, 제2 액정 커패시터 및 제2 스토리지 커패시터를 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 6

제5항에 있어서, 상기 데이터 구동부는 초기 1/2H(H는 수평구간) 동안 상기 소스 배선에 상기 제1 계조전압을 출력하고, 후기 1/2H 동안 상기 소스 배선에 상기 제2 계조 전압을 출력하는 것을 특징으로 하는 표시 장치.

### 청구항 7

제6항에 있어서, 상기 게이트 구동부는 상기 초기 1/2H 동안 상기 홀수 번째 게이트 배선에 게이트 신호를 출력하고, 상기 후기 1/2H 동안 상기 짝수 번째 게이트 배선에 게이트 신호를 출력하는 것을 특징으로 하는 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

**발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 액정의 응답속도를 향상시키기 위한 표시 장치에 관한 것이다.
- <19> 일반적으로 액정표시장치는 각각 화소 전극 및 공통 전극이 형성된 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정에 인위적으로 전기장(electric field)을 인가하여, 전기장의 세기에 따라 달라지는 광투과율을 조절함으로써, 원하는 화상 신호를 얻는 표시 장치이다. 이러한 액정표시장치는 휴대가 간편한 대표적인 평판형 표시장치로서, 박막 트랜지스터(Thin Film Transistor: TFT)를 스위칭 소자로 이용한 액정표시장치가 주로 이용되고 있다.
- <20> 액정표시장치는 시야각이 좁은 단점을 가지며, 이를 개선하기 위해 수직 배향(Vertically Aligned: VA)모드가 개발되었다. 특히 화소 전극 및 공통 전극이 패턴되어 있고, 화소전극을 분리하여 서로 다른 전압을 인가하여 시야각을 향상시키는 방식이 제안되었다.
- <21> 한편, 최근 액정표시장치가 컴퓨터용 모니터뿐만 아니라 텔레비전까지 그 영역을 확대하여 사용됨에 따라 동화상을 구현할 필요가 증가되는 반면, 액정은 응답속도가 느리기 때문에 동화상을 구현하기 어렵다는 단점이 있다. 이러한, 응답속도의 개선을 위해 종래에는 OCB(Optically Compensated Band) 모드를 사용하거나, 강유전성 액정(FLC; Ferro-Electric Liquid Crystal) 물질을 사용하는 액정표시장치를 사용하였다.
- <22> 그러나, 이와 같은 OCB 모드나 FLC를 사용하기 위해서는 액정 표시 장치의 패널 구조를 바꾸거나, 액정 물질을 바꾸어야 하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <23> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 계조신호의 보정을 통해 액정의 응답속도를 향상시킬 수 있는 표시 장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <24> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 장치는 표시 패널, 제1 계조 보정부, 제2 계조 보정부 및 데이터 구동부를 포함한다. 상기 표시 패널은 복수의 화소부들을 포함하고, 각 화소부는 제1 서브 화소부 및 제2 서브 화소부를 포함한다. 상기 제1 계조 보정부는 n-1번째 프레임의 계조신호와 n-2번째 프레임의 계조신호를 이용하여 n-1번째 프레임의 제1 보정 계조신호를 생성한다. 상기 제2 계조 보정부는 상기 n-1번째 프레임의 제1 보정 계조신호와 n번째 프레임의 계조신호를 이용하여, n-1번째 프레임의 제2 보정 계조신호를 생성한다. 상기 데이터 구동부는 상기 n-1번째 프레임의 제2 보정 계조신호를 대응하는 제1 계조전압 및 제2 계조전압으로 각각 변환하여 상기 제1 서브 화소부 및 제2 서브 화소부에 제공한다.
- <25> 이러한 표시 장치에 의하면, n-2번째 프레임의 계조신호 및 n번째 프레임의 계조신호를 이용하여 보정된 계조신호를 표시 패널에 인가함으로써, 액정의 응답속도를 향상시킬 수 있다.
- <26> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <27> 도 1은 본 발명의 실시예에 따른 표시 장치를 나타낸 구성 블록도이고, 도 2는 도 1에 도시된 표시 패널 중 어레이 기판의 화소부를 도시한 확대 평면도이다.
- <28> 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 표시 장치는 영상이 표시되는 표시 패널(100)과, 게이트 구동부(200), 데이터 구동부(300), 계조신호 보정부(400) 및 감마전압 생성부(500)를 포함한다. 여기서, 상기 게이트 구동부(200), 데이터 구동부(300), 계조신호 보정부(400) 및 감마전압 생성부(500)는 상기 표시 패널(100)을 구동하기 위한 구동 장치로 기능한다.
- <29> 상기 표시 패널(100)은 대향 결합된 어레이 기판(110) 및 대향 기판(미도시)과 상기 어레이 기판(110)과 대향 기판 사이에 개재된 이방성 유전율을 갖는 액정층(미도시)으로 이루어진다.
- <30> 상기 어레이 기판(100)에는 복수의 게이트 배선(GL)들이 일방향으로 서로 나란하게 연장되고, 복수의 소스 배선(DL)들이 상기 게이트 배선(GL)들과 교차하는 방향으로 서로 나란하게 연장되며, 상기 게이트 배선(GL)들과 상기 소스 배선(DL)들에 의해 복수의 화소부(P)들이 정의된다. 즉, 상기 화소부(P)는 제2k-1 게이트 배선(GL2k-1) 및 제2k 게이트 배선(GL2k)과 데이터 배선(DL)에 의해 둘러싸인 영역으로 정의된다. 여기서, k는 자연수이다.

또한, 상기 어레이 기관(110)에는 상기 게이트 배선(GL)들과 나란한 방향으로 복수의 스토리지 배선(SL)들이 형성되며, 상기 스토리지 배선(SL)은 상기 게이트 배선(GL)들의 1/2배수이며 상기 화소부(P)에 중첩된다.

- <31> 상기 각 화소부(P)에는 상기 제2k-1 게이트 배선(GL2k-1) 및 소스 배선(SL)에 각각 게이트 전극 및 소스 전극이 연결되는 제1 박막 트랜지스터(TFT1)와, 상기 제2k 게이트 배선(GL2k) 및 소스 배선(DL)에 각각 게이트 전극 및 소스 전극이 연결되는 제2 박막 트랜지스터(TFT2)가 형성된다. 또한, 상기 제1 박막 트랜지스터(TFT1)의 드레인 전극에 연결되어 제1 화소 전극(PE1)과 제1 스토리지 커패시터(CST1)가 형성되고, 상기 제2 박막 트랜지스터(TFT2)의 드레인 전극에 연결되어 제2 화소 전극(PE2)과 제2 스토리지 커패시터(CST2)가 형성된다. 여기서, 상기 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)은 각각 제1 액정 커패시터(CLC1) 및 제2 액정 커패시터(CLC2)의 제1 전극으로 기능하며, 상기 스토리지 배선(SL)의 일부와 중첩된다. 상기 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)은 상기 게이트 배선(GL) 방향을 기준으로 대칭되며, 사선 방향으로 연장된 평판 형상(예컨대 "V"자 평판형)으로 형성된다.
- <32> 도시되지 않은 상기 대향 기관에는 상기 각 화소부(P)에 대응하는 위치마다 컬러 구현을 위한 컬러 필터가 형성되며, 기관의 전면에 걸쳐 공통 전압(Vcom)이 인가되는 공통 전극이 형성된다. 상기 공통 전극은 상기 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)에 각각 대응하는 영역이 상기 제1 액정 커패시터(CLC1) 및 제2 액정 커패시터(CLC2)의 공통 전극으로 기능한다. 따라서, 상기 제1 액정 커패시터(CLC1)는 상기 제1 화소 전극(PE1) 및 이에 대응하는 공통 전극 영역을 두 전극으로 하고, 상기 액정층이 유전체로 기능하여 구성되며, 상기 제2 액정 커패시터(CLC2)는 상기 제2 화소 전극(PE2) 및 이에 대응하는 공통 전극 영역을 두 전극으로 하고, 상기 액정층이 유전체로 기능하여 구성된다.
- <33> 상기 표시 패널(100)의 각 화소부(P)는 제1 서브 화소부(SP1) 및 제2 서브 화소부(SP2)로 구분된다. 상기 제1 서브 화소부(SP1)는 상기 제1 박막 트랜지스터(TFT1), 상기 제1 액정 커패시터(CLC1) 및 상기 제1 스토리지 커패시터(CST1)를 포함하고, 상기 제2 서브 화소부(SP2)는 상기 제2 박막 트랜지스터(TFT2), 상기 제2 액정 커패시터(CLC2) 및 상기 제2 스토리지 커패시터(CST2)를 포함한다.
- <34> 상기 게이트 구동부(200)는 상기 표시 패널(100)에 형성된 게이트 배선(GL)을 활성화시키는 게이트 신호(S1 ~ Sn)를 순차적으로 출력하며, 상기 게이트 신호(S1 ~ Sn)는 1/2H의 펄스 폭을 갖는다. 여기서 H는 1수평기간이다. 즉, 초기 1/2H 동안 홀수 번째 게이트 배선(GL2k-1)에 게이트 신호(S2k-1)를 출력하고, 후기 1/2H 동안 짝수 번째 게이트 배선(GL2k)에 게이트 신호(S2k)를 출력한다.
- <35> 상기 감마전압 생성부(500)는 복수의 제1 감마 기준전압들(VREF1) 및 복수의 제2 감마 기준전압들(VREF2)을 생성하여 상기 데이터 구동부(300)에 교번하여 제공한다. 상기 초기 1/2H 동안 상기 제1 감마 기준전압들(VREF1)을 상기 데이터 구동부(300)에 제공하고, 상기 후기 1/2H 동안 상기 제2 감마 기준전압들(VREF2)을 상기 데이터 구동부(300)에 제공한다. 여기서, 상기 제1 감마 기준전압들(VREF1)은 제1 감마곡선에 따른 레벨로 생성되고, 상기 제2 감마 기준전압들(VREF2)은 제2 감마곡선에 따른 레벨로 생성되며, 상기 제1 감마 기준전압들(VREF1)은 상기 제2 감마 기준전압들(VREF2)보다 높은 전압레벨을 갖는다.
- <36> 상기 계조신호 보정부(400)는 n번째 프레임의 계조신호(Gn)를 수신한 후, 기저장된 n-2번째 프레임의 계조신호와, n-1번째 프레임의 계조신호 및 상기 n번째 프레임의 계조신호(Gn)를 이용하여 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 출력한다. 따라서, 상기 계조신호 보정부(400)에 의해 상기 표시 패널(100)에 제공되는 계조신호는 1프레임 지연된다.
- <37> 도면에서는 상기 계조신호 보정부(400)를 독립적인 구성으로 도시하였으나, 상기 데이터 구동부(300) 등에 통합하여 구성할 수 있다. 상기 계조신호 보정부(400)에 대해서는 추후 도면을 첨부하여 더욱 상세히 설명하기로 한다.
- <38> 상기 데이터 구동부(300)는 상기 계조신호 보정부(400)에서 제공되는 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 상기 감마전압 생성부(500)에서 제공되는 감마 기준전압들(VREF1, VREF2)을 이용하여 대응하는 계조전압으로 변환한 후, 이를 데이터 신호(D1 ~ Dm)로 상기 소스 배선(DL)들에 출력한다.
- <39> 즉, 상기 초기 1/2H 동안 상기 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 상기 제1 감마 기준전압들(VREF1)을 이용하여 대응하는 제1 계조전압으로 변환한 후, 상기 소스 배선(DL)들에 출력하여 상기 제1 서브 화소부(SP1)에 인가한다. 또한, 상기 후기 1/2H 동안 상기 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 상기 제2 감마 기준전압들(VREF2)을 이용하여 대응하는 제2 계조전압으로 변환한 후, 상기 소스 배선(DL)들에 출력하여 상기 제2 서브 화소부(SP2)에 인가한다.

- <40> 따라서, 상기 제1 서브 화소부(SP1)에는 상대적으로 높은 레벨의 제1 계조전압이 인가되고, 상기 제2 서브 화소부(SP2)에는 상대적으로 낮은 레벨의 제2 계조전압이 인가된다.
- <41> 이하, 도 3을 참조하여 상기 계조신호 보정부(400)에 대하여 좀 더 상세히 설명한다.
- <42> 도 3은 도 1에 도시된 계조신호 보정부를 나타낸 구성 블록도이다.
- <43> 도 3을 참조하면, 상기 계조신호 보정부(400)는 입력 버퍼부(410), 제1 프레임 메모리(420), 제2 프레임 메모리(430), 계조신호 변경부(440), 제어부(450) 및 출력 버퍼부(460)를 포함한다.
- <44> 상기 제어부(450)는 외부에서 제공되는 동기신호(Sync)에 기초하여 라이트 클럭(WR), 어드레스 클럭(AD) 및 리드 클럭(RE)을 생성하여 상기 제1 프레임 메모리(420) 및 상기 제2 프레임 메모리(430)에 제공하고, 상기 리드 클럭(RE)을 상기 계조신호 변경부(440)에 제공한다.
- <45> 상기 입력 버퍼부(410)는 n번째 프레임의 계조신호(Gn)를 수신하여 내부에서 처리 가능한 속도로 데이터의 주파수를 변경한 후, 상기 제1 프레임 메모리(420) 및 상기 계조신호 변경부(440)에 제공한다.
- <46> 상기 제1 프레임 메모리(420)는 상기 제어부(450)에서 제공되는 어드레스 클럭(AD) 및 리드 클럭(RE)에 응답하여 기저장된 n-1번째 프레임의 계조신호(Gn-1)를 출력한다. 이와 동시에 상기 제어부(450)에서 제공되는 라이트 클럭(WR) 및 어드레스 클럭(AD)에 응답하여 상기 입력 버퍼부(410)에서 제공되는 n번째 프레임의 계조신호(Gn)를 저장한다.
- <47> 상기 제2 프레임 메모리(430)는 상기 제어부(450)에서 제공되는 어드레스 클럭(AD) 및 리드 클럭(RE)에 응답하여 기저장된 n-2번째 프레임의 계조신호(Gn-2)를 출력한다. 이와 동시에 상기 제어부(450)에서 제공되는 라이트 클럭(WR) 및 어드레스 클럭(AD)에 응답하여 상기 제1 프레임 메모리(420)에서 제공되는 n-1번째 프레임의 계조신호(Gn-1)를 저장한다.
- <48> 상기 계조신호 변경부(440)는 상기 제어부(450)에서 제공되는 리드 클럭(RE)에 응답하여, 제공받은 n-1번째 프레임의 계조신호(Gn-1)와 n-2번째 프레임의 계조신호(Gn-2) 및 n번째 프레임의 계조신호(Gn)를 이용하여 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 상기 출력 버퍼부(360)에 제공한다. 즉, 상기 계조신호 변경부(440)는 상기 n-1번째 프레임의 계조신호(Gn-1)와 상기 n-2번째 프레임의 계조신호(Gn-2)를 이용하여 n-1번째 프레임의 제1 보정 계조신호(G'n-1)를 생성하고, 상기 n-1번째 프레임의 제1 보정 계조신호(G'n-1)와 상기 n번째 프레임의 계조신호(Gn)를 이용하여 상기 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 생성하여 출력한다.
- <49> 상기 출력 버퍼부(460)는 상기 계조신호 변경부(440)에서 제공되는 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 전송 시스템에서 처리할 수 있는 속도로 데이터의 주파수를 변경하여 출력한다.
- <50> 도 4는 도 3에 도시된 계조신호 변경부를 나타낸 구성 블록도이다.
- <51> 도 3 및 도 4를 참조하면, 상기 계조신호 변경부(440)는 제1 계조 보정부(442) 및 제2 계조 보정부(444)를 포함한다.
- <52> 상기 제1 계조 보정부(442)는 제1 룩업 테이블(Look Up Table, LUT1)로 이루어지며, 상기 제1 프레임 메모리(420)에서 제공되는 상기 n-1번째 프레임의 계조신호(Gn-1)와 상기 제2 프레임 메모리(430)에서 제공되는 상기 n-2번째 프레임의 계조신호(Gn-2)를 이용하여 오버슈트(overshoot) 발생을 위한 상기 n-1번째 프레임의 제1 보정 계조신호(G'n-1)를 생성한다. 상기 제1 룩업 테이블(LUT1)은 상기 n-1번째 프레임의 계조신호(Gn-1)를 X 축 변수로 하고, 상기 n-2번째 프레임의 계조신호(Gn-2)를 Y 축 변수로 하여, 상기 n-1번째 프레임의 계조신호(Gn-1)와 상기 n-2번째 프레임의 계조신호(Gn-2)에 대응하는 상기 n-1번째 프레임의 제1 보상 계조신호(G'n-1)가 맵핑(mapping)된 구조를 갖는다.
- <53> 구체적으로, 상기 제1 계조 보정부(442)는 상기 제1 룩업 테이블(LUT1)에 따라서 상기 n-1번째 프레임의 계조신호(Gn-1)가 상기 n-2번째 프레임의 계조신호(Gn-2)보다 높은 계조이면, 상기 n-1번째 프레임의 계조신호(Gn-1)보다 높은 계조의 상기 n-1번째 프레임의 제1 보정 계조신호(G'n-1)를 생성한다. 반대로, 상기 n-1번째 프레임의 계조신호(Gn-1)가 상기 n-2번째 프레임의 계조신호(Gn-2)보다 낮은 계조이면, 상기 n-1번째 프레임의 계조신호(Gn-1)보다 낮은 계조의 상기 n-1번째 프레임의 제1 보정 계조신호(G'n-1)를 생성한다.
- <54> 상기 제2 계조 보정부(444)는 제2 룩업 테이블(LUT2)로 이루어지며, 상기 제1 계조 보정부(442)에서 제공되는 상기 제1 보정 계조신호(G'n-1)와 상기 입력 버퍼부(410)에서 제공되는 상기 n번째 프레임의 계조신호(Gn)를 이용하여 액정을 프리틸트(Pretilt)시키기 위한 상기 n-1번째 프레임의 제2 보정 계조신호(G'n-1)를 생성한다. 상

기 제2 룩업 테이블(LUT2)은 상기 n-1번째 프레임의 제1 보정 계조신호( $G'n-1$ )를 X 축 변수로 하고, 상기 n번째 프레임의 계조신호( $G_n-1$ )를 Y 축 변수로 하여, 상기 n-1번째 프레임의 제1 보정 계조신호( $G'n-1$ )와 상기 n-1번째 프레임의 계조신호( $G_n-1$ )에 대응하는 상기 n-1번째 프레임의 제2 보정 계조신호( $G''n-1$ )가 맵핑된 구조를 갖는다.

- <55> 여기서, 액정을 프리틸트 시키기 위한 상기 n-1번째 프레임의 제2 보정 계조신호( $G''n-1$ )는 상기 n-1번째 프레임의 제1 보정 계조신호( $G'n-1$ )와 상기 n-1번째 프레임의 계조신호( $G_n-1$ )의 변화조건에 따라서 다른 레벨을 갖는 계조신호이며, 이에 대해서 도 5에 도시된 실험 그래프를 참조하여 설명한다.
- <56> 도 5는 액정을 프리틸트 시키기 위한 제2 보정 계조신호의 레벨에 따른 응답속도의 테스트 결과를 나타낸 도면이다.
- <57> 여기서, 도면은 0 ~ 256 계조를 구현하는 임의의 표시 장치의 테스트 결과로 절대적인 기준이 되지 않는다는 것을 말해준다.
- <58> 도 5를 참조하면, 테스트용 표시 장치에서 0 계조에서 160 계조로 변하는 경우(510)와, 0 계조에서 255 계조로 변하는 경우(520)에 액정을 프리틸트 시키기 위한 계조신호를 120 계조에서 200 계조까지 변경하면서 응답속도를 테스트한 결과를 도시하였다.
- <59> 도면을 통해 알 수 있듯이, 액정을 프리틸트용 계조신호로 120 계조신호를 사용하면, 0 계조에서 160 계조로 변하는 경우(510)는 응답속도가 9.9[ms]로 최소가 되지만, 0 계조에서 255 계조로 변하는 경우(520)는 응답속도가 17.1[ms]가 된다. 액정의 프리틸트용 계조신호로 150 계조신호를 사용하면, 0 계조에서 160 계조로 변하는 경우(510)는 응답속도가 13.1[ms]로 120 계조신호를 사용하는 것보다 느리지만, 0 계조에서 255 계조로 변하는 경우(520)는 응답속도가 15.9[ms]로 최소가 된다. 즉, 0 계조에서 160 계조로 변하는 경우(510)는 최소의 응답속도를 구현하기 위한 최적의 프리틸트용 계조신호가 120 계조신호이고, 0 계조에서 255 계조로 변하는 경우(520)는 최적의 프리틸트용 계조신호가 150 계조신호이다.
- <60> 이처럼, 프레임간 계조신호의 변화 조건에 따라서 최소의 응답속도를 구현하기 위한 최적의 프리틸트용 계조신호가 다르며, 이는 표시 패널의 특성 등에 따라서도 다르게 된다.
- <61> 따라서, 본 발명의 실시예에 따른 표시 장치는 상기 제2 계조 보정부(444)에서 액정을 프리틸트 시키기 위하여 보정되는 상기 n-1번째 프레임의 제2 보정 계조신호( $G''n-1$ )를 상기 n-1번째 프레임의 제1 보정 계조신호( $G'n-1$ )와 n번째 프레임의 계조신호( $G_n$ )에 따라서 다른 레벨의 계조신호로 구성된다. 상기 n-1번째 프레임의 제2 보정 계조신호( $G''n-1$ )의 레벨은 상기 n-1번째 프레임의 제1 보정 계조신호( $G'n-1$ ) 및 상기 n번째 프레임의 계조신호( $G_n$ )의 각각의 계조에 따라서 구성하거나, 일정 범위의 계조를 그룹으로 묶어 그룹 단위로 구성할 수 있다.

**발명의 효과**

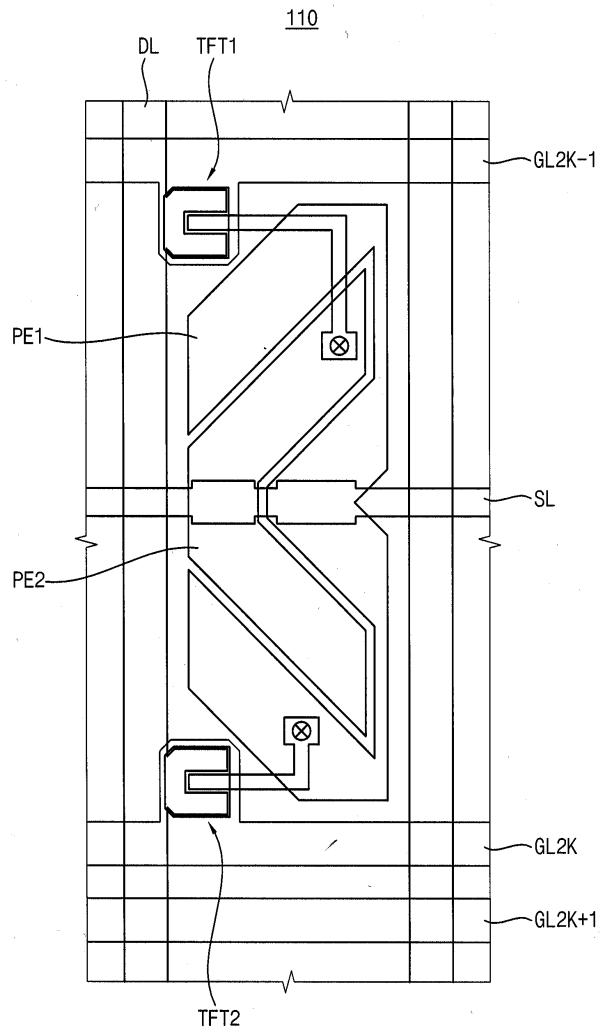
- <62> 이상에서 설명한 바와 같이, 본 발명에 따르면 n-1번째 프레임의 계조신호와 n-2번째 프레임의 계조신호를 이용하여 오버슈트 발생을 위한 제1 보정 계조신호를 생성하고, 상기 제1 보정 계조신호와 n번째 프레임의 계조신호를 이용하여 액정을 프리틸트 시키기 위한 제2 보정 계조신호를 출력함으로써, 액정의 프리틸트 및 오버슈트 구동을 통해 액정의 응답속도를 향상시킬 수 있다. 특히, 액정을 프리틸트 시키기 위한 최적의 제2 보정 계조신호가 되도록 계조신호의 변화 조건에 따라 다른 레벨로 구성함으로써, 액정의 응답속도를 더욱 향상시킬 수 있다.
- <63> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

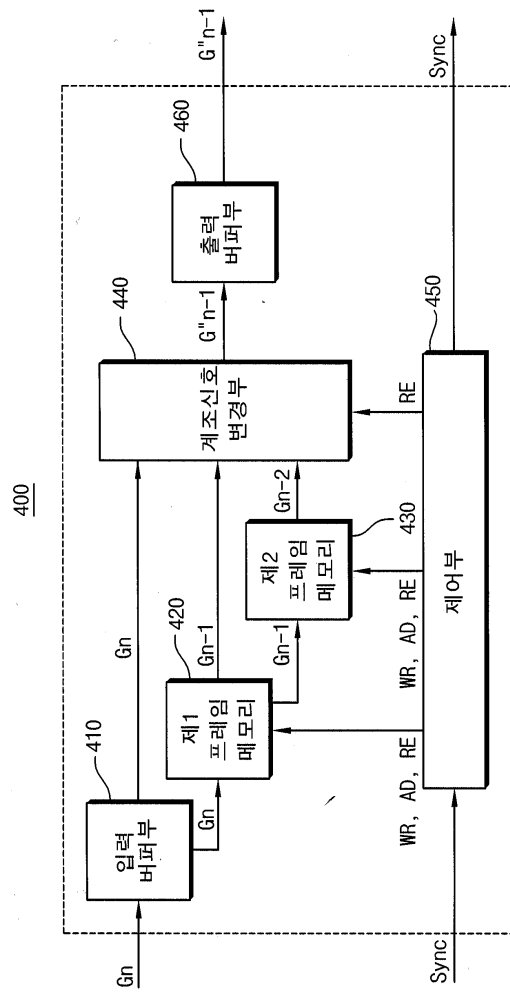
- <1> 도 1은 본 발명의 실시예에 따른 표시 장치를 나타낸 구성 블록도이다.
- <2> 도 2는 도 1에 도시된 표시 패널 중 어레이 기관의 화소부를 도시한 확대 평면도이다.
- <3> 도 3은 도 1에 도시된 계조신호 보정부를 나타낸 구성 블록도이다.
- <4> 도 4는 도 3에 도시된 계조신호 변경부를 나타낸 구성 블록도이다.
- <5> 도 5는 액정을 프리틸트 시키기 위한 제2 보정 계조신호의 레벨에 따른 응답속도의 테스트 결과를 나타낸 도면



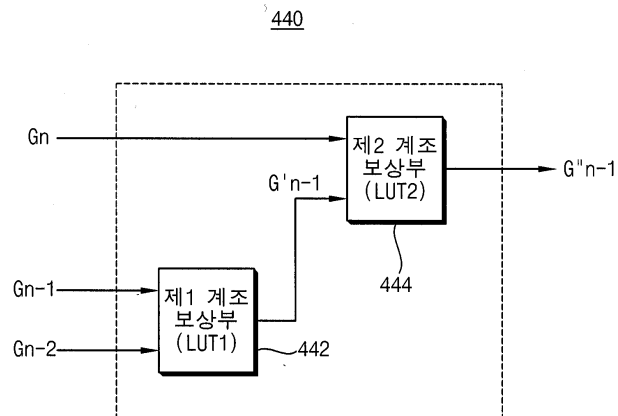
도면2



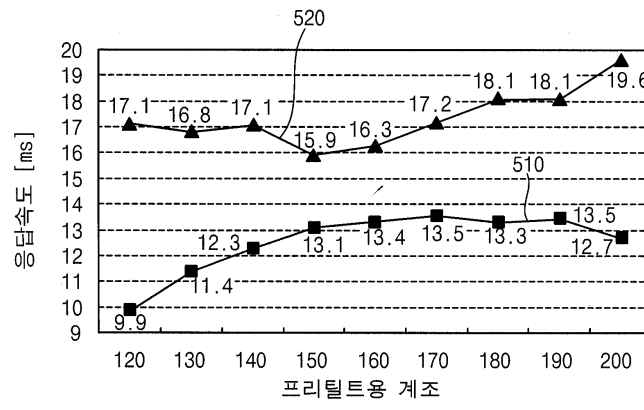
도면3



도면4



도면5



专利名称(译)	显示设备		
公开(公告)号	<a href="#">KR1020080080781A</a>	公开(公告)日	2008-09-05
申请号	KR1020070020941	申请日	2007-03-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHO HYUN SANG		
发明人	CHO HYUN SANG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
代理人(译)	PARK , YOUNG WOO		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种用于提高液晶响应速度的显示装置。显示装置包括显示面板，第一色调校正器，第二色调校正器和数据驱动器。显示面板包括多个像素部分，并且每个像素部分包括第一子像素部分和第二子像素部分。第一色调校正单元使用第 (n-1) 帧的色调信号和第 (n-2) 帧的色调信号产生第 (n-1) 帧的第一校正音调信号。第二色调校正部分通过使用第 (n-1) 帧的第一校正音调信号和第n帧的音调信号产生第 (n-1) 帧的第二校正音调信号。数据驱动器将第 (n-1) 帧的第二校正灰度信号分别转换为对应的第一灰度电压和第二灰度电压，并将转换的第一灰度电压和第二灰度电压提供给第一子像素部分和第二子像素部分。因此，可以改善液晶的响应速度。

