

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0070861
G02F 1/136 (2006.01) (43) 공개일자 2006년06월26일

(21) 출원번호 10-2004-0109674
(22) 출원일자 2004년12월21일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 김덕희
서울 동작구 사당동 105번지 신동아아파트 402-1504
(74) 대리인 정상빈
김동진

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터의 제조 방법

요약

문턱 전압을 제어할 수 있는 액정 표시 장치용 박막 트랜지스터의 제조 방법을 제공한다. 액정 표시 장치용 박막 트랜지스터의 제조 방법은 실리콘층이 형성되어 있는 기판 전면에서 채널 도핑을 행하고, 실리콘층을 결정화하고 패터닝하여 반도체층을 형성한 후, 반도체층에 채널 영역을 한정하고 채널 영역을 제외한 영역에 저농도의 제 2 도전형 불순물 이온을 도핑하고 활성화한 다음, 채널 영역 및 제 2 도전형 불순물 이온이 도핑된 영역 중 채널 영역과 인접한 일부 영역 상에 게이트 절연막과 게이트 전극을 형성한 후 게이트 절연막과 게이트 전극을 이온 주입 마스크로 하여 고농도의 제 2 도전형 불순물 이온을 도핑하여 소오스/드레인 영역을 형성한다.

대표도

도 3e

색인어

액정 표시 장치, 채널 도핑, 문턱 전압

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따라 제조된 박막 트랜지스터를 포함하는 액정 표시 장치의 개략 구성도이다.

도 2는 본 발명의 일 실시예에 따라 제조된 액정 표시 장치용 박막 트랜지스터를 나타내는 단면도이다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 공정 단계별 각각의 단면도들이다.

<도면의 주요부분에 대한 부호의 설명>

- 410: 버퍼층 420: 비정질 실리콘층
- 420': 반도체층 421: 채널 영역
- 422', 423': LDD 영역 424: 소오스 영역
- 425: 드레인 영역 430: 게이트 절연막
- 440: 게이트 전극 451 내지 453: 층간 절연막
- 461: 소오스 전극 462: 드레인 전극
- 470: 보호층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치(Liquid Crystal Display; LCD)용 박막 트랜지스터(Thin Film Transistor; TFT)의 제조 방법에 관한 것으로, 특히 문턱 전압을 제어할 수 있는 액정 표시 장치용 박막 트랜지스터의 제조 방법에 관한 것이다.

최근에 텔레비전 등의 표시 장치의 대형화 추세에 따라 음극선관 표시 장치(Cathode Ray Tube; CRT) 대신에 액정 표시 장치(LCD), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 이엘 표시 장치(Organic ElectroLuminescent Display; OLED) 등과 같은 평판 패널형 표시 장치가 개발되고 있다. 이러한 평판 패널형 표시 장치 중에서 경량화 및 박형화가 가능한 액정 표시 장치가 특히 주목받고 있다.

액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기판과 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 투명 절연 기판 사이에 이방성 유전율을 갖는 액정 물질을 도포해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기장의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기판에 투과되는 빛의 양을 제어함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘이 주로 이용되었는데, 이는 저온 공정이 저가의 절연 기판을 사용할 수 있기 때문이다. 그러나 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합 또는 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기 인가시 준안정 상태(quasi-steady state)로 변화되어 수소화된 비정질 실리콘으로 제조된 박막 트랜지스터 소자는 안정성의 문제점이 대두되었다. 또한 전기적 특성(예를 들면, 이동도(mobility): 0.1 ~ 1.0 cm²/V·s)가 좋지 않아서 구동 회로(예를 들면, 게이트 구동 회로 또는 데이터 구동 회로)로 이용되기 어려웠다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 이동도가 크기 때문에 폴리 실리콘으로 제조된 박막 트랜지스터 소자는 구동 회로로 이용될 수 있다. 이로 인해서, 폴리 실리콘으로 제조된 박막 트랜지스터는 액정 표시 장치용 박막 트랜지스터로서 널리 이용되고 있다.

그러나, 이러한 폴리 실리콘으로 제조된 박막 트랜지스터의 경우 문턱 전압(threshold voltage: V_{th}) 값이 (+) 값으로 이동하면서, V_{gs}=0V에서의 I_{on} 값이 일정 수준 이상으로 증가한다. 이로 인하여, 특정 게이트 라인의 박막 트랜지스터에서 누설 전류가 유발하는 것으로 알려져 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터의 문턱 전압을 제어하기에 용이한 액정 표시 장치용 박막 트랜지스터의 제조 방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 문턱 전압 증가에 따른 박막 트랜지스터의 누설 전류를 최소화하기에 적합한 액정 표시 장치용 박막 트랜지스터의 제조 방법을 제공하는 것이다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법은 실리콘층이 형성되어 있는 기판 전면에 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온을 도핑하고 활성화하는 단계, 상기 실리콘층을 결정화하고 패터닝하여 반도체층을 형성하는 단계, 상기 반도체층에 채널 영역을 한정하고, 상기 채널 영역을 제외한 영역에 저농도의 제 2 도전형 불순물 이온을 도핑하고 활성화하는 단계 및 상기 채널 영역 및 상기 제 2 도전형 불순물 이온이 도핑된 영역 중 상기 채널 영역과 인접한 일부 영역 상에 게이트 절연막과 게이트 전극을 형성한 후 상기 게이트 절연막과 상기 게이트 전극을 이온 주입 마스크로 하여 고농도의 제 2 도전형 불순물 이온을 도핑하여 소오스/드레인 영역을 형성하는 단계를 포함한다.

기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 도 1 내지 도 3f를 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1을 참조하여, 본 발명의 일 실시예에 따라 제조된 박막 트랜지스터를 포함하는 액정 표시 장치에 대해서 설명한다. 도 1은 본 발명의 일 실시예에 따라 제조된 박막 트랜지스터를 포함하는 액정 표시 장치의 개략 구성도이다. 전형적인 액정 표시 장치는 도 1에 도시된 것처럼, 액정 패널(100), 게이트 구동부(200) 및 데이터 구동부(300)를 포함한다.

액정 패널(100)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있는 다수의 화소들을 포함하며, 각 화소는 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결된 스위칭 소자(M)와 이에 연결된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 포함한다.

행 방향으로 형성되어 있는 다수의 게이트 라인(G1 내지 Gn)은 스위칭 소자(M)에 게이트 신호를 전달하며 열 방향으로 형성되어 있는 다수의 데이터 라인(D1 내지 Dm)은 스위칭 소자(M)에 데이터 신호에 해당되는 게조 전압을 전달한다. 그리고 스위칭 소자(M)는 삼단자 소자로서, 제어 단자는 게이트 라인(G1 내지 Gn)에 연결되어 있고, 입력 단자는 데이터 라인(D1 내지 Dm)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)의 한 단자에 연결되어 있다. 액정 커패시터(Clc)는 스위칭 소자(M)의 출력 단자와 공통 전극(도시하지 않음) 사이에 연결되고, 스토리지 커패시터(Cst)는 스위칭 소자(M)의 출력 단자와 공통 전극 사이에 연결(독립 배선 방식)되거나 스위칭 소자(M)의 출력 단자와 바로 위의 게이트 라인(G1 내지 Gn) 사이에 연결(전단 게이트 방식)될 수 있다.

게이트 구동부(200)는 다수의 게이트 라인(G1 내지 Gn)에 연결되어 있고, 스위칭 소자(M)를 활성화시키는 게이트 신호를 다수의 게이트 라인(G1 내지 Gn)으로 제공하며, 데이터 구동부(300)는 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있다.

여기에서 스위칭 소자(M)는 모스 트랜지스터가 이용되며, 이러한 모스 트랜지스터는 폴리 실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다. 그리고 게이트 구동부(200)나 데이터 구동부(300)도 모스 트랜지스터로 구성되며, 이러한 모스 트랜지스터는 폴리 실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다.

도 2를 참조하여, 폴리 실리콘을 채널 영역으로 하는 박막 트랜지스터에 대해서 설명한다. 도 2는 폴리 실리콘을 채널 영역으로 하며 게이트 전극에 오버랩 되는 LDD를 포함하는 본 발명의 일 실시예에 따라 제조된 액정 표시 장치용 박막 트랜지스터이다.

폴리 실리콘을 채널 영역(421)으로 하는 박막 트랜지스터는 도 2에 도시된 것처럼, 투명 절연 기판(400)의 상부에 절연막의 버퍼층(410)이 투명 절연 기판(400)의 전면에 걸쳐 형성되어 있고, 상기 버퍼층(410)의 상부에는 폴리 실리콘의 반도체층(420')이 형성되어 있다. 이러한 상기 반도체층(420')의 상부에는 절연막의 게이트 절연막(430)이 형성되어 있고, 상기 게이트 절연막(430)의 상부에는 게이트 전극(440)이 형성되어 있다. 상기 게이트 전극(440)의 상부에는 콘택홀(454, 455)들을 포함하는 층간 절연막(451 내지 453)이 형성되어 있고, 상기 콘택홀(454, 455)을 통해서 소오스 영역(424) 및 드레인 영역(425)과 각각 연결되며, 게이트 전극(440)과 소정의 간격으로 각각 이격되는 소오스 전극(461) 및 드레인 전극(462)이 형성되어 있다. 그리고 상기 소오스 전극(461) 및 드레인 전극(462)의 상부에는 보호층(470)이 형성되어 있다.

여기에서 반도체층(420')은 게이트 전극(440)과 대향하는 채널 영역(421) 및 LDD 영역(422, 423), 소오스 전극(461)과 연결되는 소오스 영역(424) 및 드레인 전극(462)과 연결되는 드레인 영역(425)을 포함한다. 상기 LDD 영역(422, 423)은 도 2에 도시된 것처럼, 게이트 전극(440)에 오버랩 되어 형성되어 있고, 소오스 영역(424) 및 드레인 영역(425)의 고농도 불순물(예를 들면, n 형 불순물)의 도핑 농도보다 낮은 농도의 저농도 불순물로 도핑되어 형성되어 있다. 이러한 LDD 영역(422, 423)은 게이트 전극(440)과 오버랩 되어 형성되어 있으므로, 소오스 영역(424)의 정선이나 드레인 영역(425)의 정선에 인가되는 전계를 완화시킬 수 있다. 따라서 채널 영역(421) 내에서 발생할 수 있는 열전자들을 효과적으로 분산시켜 열전자들에 의한 박막 트랜지스터의 열화를 효과적으로 개선할 수 있다.

도 3a 내지 도 3f를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법에 대해서 설명한다. 도 3a 내지 도 3f는 각 단계별 공정 중간 단계 구조물의 단도면들이다.

도 3a를 참조하면, 투명 절연 기판(400) 상에 버퍼층(410)을 형성한다. 버퍼층(410)은 투명 절연 기판(400)의 불순물 성분이 후술하는 비정질 실리콘층(420)으로 확산되는 것을 방지하기 위한 것으로서 질화 실리콘이나 산화 실리콘 등을 이용하여 형성될 수 있다.

버퍼층(410)이 형성된 투명 절연 기판(400) 상에 비정질 실리콘층(420)을 증착한다. 비정질 실리콘층(420)은 SiH_4 및 H_2 혼합 가스를 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)법을 이용하여 형성할 수 있다.

계속해서, 도 3b를 참조하면 비정질 실리콘층(420)이 형성된 투명 기판(400) 전면에 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온을 도핑한다.

비정질 실리콘층(420)을 후술하는 바와 같이 결정화하여 폴리 실리콘으로 형성하는 경우, 이를 포함하는 박막 트랜지스터의 문턱 전압이 (+) 방향으로 이동하는 현상이 발생하게 된다. 상기한 바와 같은 문턱 전압 이동 현상을 제어하기 위하여 비정질 실리콘층(420) 전면에 소정 농도의 제 1 도전형 불순물 이온을 첨가하여 강제적으로 문턱 전압을 쉬프트(shift)시켜 원하는 문턱 전압으로 제어할 수 있다. 이러한 방법은 채널 도핑(channel doping)이라 한다.

채널 도핑에 사용하는 제 1 도전형 불순물 이온은 인, 비소 또는 안티몬의 제 13족 원소 또는, 붕소, 인듐 또는 갈륨의 제 15족 원소일 수 있고, 이들 중에서 선택된 제 1 도전형 불순물 이온을 5 내지 10keV의 에너지로 비정질 실리콘층(420) 전면에 도핑한다.

종래에는 후술하는 게이트 절연막을 투명 기판(400) 상에 형성한 후에 50 내지 60keV의 에너지로 채널 도핑을 수행하였다. 이 경우 제 1 도전형 불순물 이온이 게이트 절연막에 의해 블록킹되고, 당해 활성화 공정시 제 1 도전형 불순물 이온이 충분히 활성화되지 않았다. 또한, 비교적 높은 에너지를 이용하여 제 1 도전형 불순물 이온을 도핑함으로써, 게이트 절연

막에 데미지(damage)를 발생시킬 수 있다. 이에, 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 제조 방법에 있어서 제 1 도전형 불순물 이온을 비정질 실리콘층에 직접 도핑함으로써, 상대적으로 낮은 에너지를 이용하면서도 제 1 도전형 불순물 이온을 비정질 실리콘층에 충분히 도핑할 수 있고, 활성화할 수 있는 이점이 있다.

또한, 채널 도핑되는 제 1 도전형 불순물 이온의 도즈량(Charles Gates Dawes)은 실험적으로 미리 구해 두어야 한다. 즉, 채널 도핑을 행하지 않은 경우에 얼마만큼 문턱 전압이 쉬프트 할 지를 사전에 확인하여 원하는 문턱 전압을 얻기 위해서는 얼마만큼의 제 1 도전형 불순물 이온을 첨가할 필요가 있을 것인지를 미리 구해둔다.

이어서, 도 3c를 참조하면 비정질 실리콘에 함유되어 있는 수소(H₂)는 향후 결정화 공정에 있어서 결함의 원인이 되므로 비정질 실리콘층(도 3b의 420 참조)에 탈수소화 공정을 행한다. 이때, 비정질 실리콘층(도 3b의 420 참조)은 화학적으로 약한 결합을 하고 있어 열처리에 의해 비정질 실리콘층(도 3b의 420 참조) 내에 함유되어 있는 수소 성분을 제거할 수 있다. 따라서, 탈수소화 공정은 질소(N₂) 분위기하에서 400 내지 500°C의 온도에서 2시간 정도 열처리를 하여 비정질 실리콘층(도 3b의 420 참조) 내의 수소 성분들이 기체 상태로 날아가도록 할 수 있다. 탈수소화 공정 후, 비정질 실리콘층(도 3b의 420 참조)을 레이저를 이용하여 다결정화 하여 폴리 실리콘을 형성한다. 이러한 폴리 실리콘에 사진 공정과 식각 공정을 수행하여 반도체층(420')을 형성한다.

계속해서, 도 3d를 참조하면 기판 전면에 제 1 포토레지스트층을 형성한 후, 반도체층(도 3c의 420' 참조) 중 소정의 중앙부 영역을 덮도록 제 1 포토레지스트 패턴(491)을 형성한다. 그 후, 투명 기판 전면(400)에 저농도의 제 2 도전형 불순물 이온을 도핑한다. 즉, LDD(Lightly Doped Drain) 도핑을 실시하여 제 2 도전형 불순물 이온 도핑 영역(422, 423)을 형성한다. 이때, 도핑되지 않은 영역은 채널층(421)이 된다.

제 2 도전형 불순물 이온은 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온이 인, 비소 또는 안티몬의 제 13족 원소인 경우에는 붕소, 인듐 또는 갈륨의 제 15족 원소일 수 있다. 또한, 제 1 도전형 불순물 이온이 붕소, 인듐 또는 갈륨의 제 15족 원소인 경우에는 제 2 도전형 불순물 이온은 인, 비소 또는 안티몬의 제 13족 원소일 수 있다. 특히 제 2 도전형 불순물 이온은 붕소 또는 인일 수 있다. 또한, 제 2 도전형 불순물 이온의 도즈량은 10¹² 내지 10¹⁴ 원자개수/cm²일 수 있다.

계속해서, 도 3e와 같이 제 1 포토레지스트 패턴(도 3d의 491 참조)을 제거하고 제 2 도전형 불순물 이온 도핑 영역(422, 423)을 활성화시킨다.

이어서, 게이트 절연막(430), 게이트 전극(440) 및 제 2 포토레지스트층을 순차적으로 형성한 다음, 채널 영역(421) 및 저농도 제 2 도전형 불순물 도핑 영역(422, 423) 중 채널 영역과 인접한 일부영역이 겹치도록 제 2 포토레지스트 패턴(450)을 형성하고, 이를 마스크로 하여 게이트 절연막(430) 및 게이트 전극(440)을 패터닝 한다.

이때, 게이트 절연막(430)은 실리콘 산화물 또는 실리콘 질화물 등의 절연 물질을 화학 기상 증착(Chemical Vapor Deposition; CVD)법을 이용하여 증착할 수 있고, 게이트 전극(440)은 알루미늄 네오디뮴(AlNd), 몰리브덴(Mo), 또는 알루미늄 네오디뮴(AlNd)과 몰리브덴(Mo)의 합금과 같은 도전성 물질을 스퍼터링법을 이용하여 증착할 수 있다.

계속해서, 기판 전면에 고농도 제 2 도전형 불순물을 도핑하여 소오스 영역(424) 및 드레인 영역(425)을 형성한다. 여기서, 제 2 도전형 불순물 이온은 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온이 인, 비소 또는 안티몬의 제 13족 원소인 경우에는 붕소, 인듐 또는 갈륨의 제 15족 원소일 수 있다. 또한, 제 1 도전형 불순물 이온이 붕소, 인듐 또는 갈륨의 제 15족 원소인 경우에는 제 2 도전형 불순물 이온은 인, 비소 또는 안티몬의 제 13족 원소일 수 있다. 특히 제 2 도전형 불순물 이온은 붕소 또는 인일 수 있다.

이와 같은 공정으로 게이트 전극(440)과 저농도 불순물 도핑 영역(422, 423)이 중첩하게 되어 게이트 전극(440)에 오버랩되는 LDD 영역(422', 423')과 고농도의 불순물이 도핑되어 형성된 소오스 영역(424) 및 드레인 영역(425)이 형성된다. 이때, 고농도 제 2 도전형 불순물의 도즈량은 10¹⁵ 원자개수/cm² 일 수 있으며, 상기 소오스 영역(424) 및 드레인 영역(425)에서의 불순물 농도는, 상술한 저농도 불순물 도핑 농도가 함께 합쳐져 고농도의 불순물 도핑 영역을 이룬다.

다음으로, 도 3f에 도시된 것처럼 질화 실리콘 또는 산화 실리콘 등의 물질로 게이트 전극(440)의 상부에 콘택홀(454, 455)을 포함하는 층간 절연막(451 내지 453)을 형성하고, 몰리브덴(Mo) 또는 알루미늄 네오디뮴(AlNd) 등의 물질로 콘택홀(454, 455)을 통해서 소오스 영역(424) 및 드레인 영역(425)과 각각 연결되며 게이트 전극(440)과 소정의 간격으로 각각 이격되는 소오스 전극(461) 및 드레인 전극(462)을 형성하며, 소오스 전극(461) 및 드레인 전극(462) 상에 질화 실리콘 등의 물질로 보호층(470)을 형성한다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 제조 방법은 비정질 실리콘층 전면에서 채널 도핑함으로써 문턱 전압을 원하는 바대로 제어하는 것이 가능하여, 박막 트랜지스터의 전류가 누설되는 것을 방지할 수 있다. 따라서, 결과적으로 액정 표시 장치용 박막 트랜지스터의 생산 수율을 효과적으로 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

실리콘층이 형성되어 있는 기판 전면에서 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온을 도핑하고 활성화하는 단계;

상기 실리콘층을 결정화하고 패터닝하여 반도체층을 형성하는 단계;

상기 반도체층에 채널 영역을 한정하고, 상기 채널 영역을 제외한 영역에 저농도의 제 2 도전형 불순물 이온을 도핑하고 활성화하는 단계; 및

상기 채널 영역 및 상기 제 2 도전형 불순물 이온이 도핑된 영역 중 상기 채널 영역과 인접한 일부 영역 상에 게이트 절연막과 게이트 전극을 형성한 후, 상기 게이트 절연막과 상기 게이트 전극을 이온 주입 마스크로 하여 고농도의 제 2 도전형 불순물 이온을 도핑하여 소오스/드레인 영역을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 문턱 전압을 제어하기 위한 제 1 도전형 불순물 이온을 도핑하는 단계는 상기 제 1 도전형 불순물 이온을 5 내지 10keV의 에너지로 도핑하는 액정 표시 장치용 박막 트랜지스터 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 1 도전형 불순물 이온은 인, 비소 또는 안티몬의 제 13족 원소이고, 상기 제 2 도전형 불순물 이온은 붕소, 인듐 또는 갈륨의 제 15족 원소인 액정 표시 장치용 박막 트랜지스터의 제조 방법.

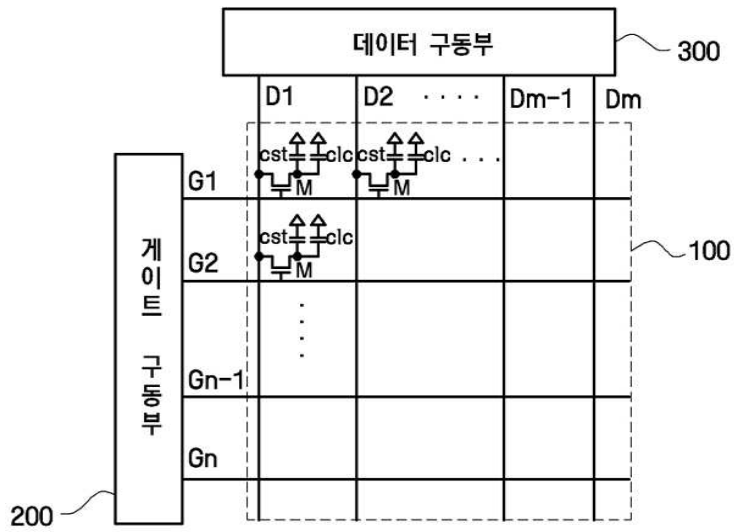
청구항 4.

제 1 항에 있어서,

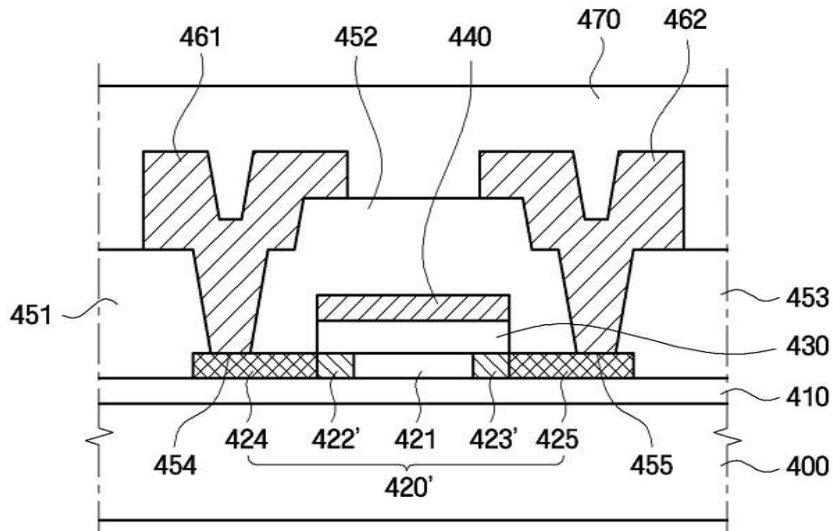
상기 제 1 도전형 불순물 이온은 붕소, 인듐 또는 갈륨의 제 15족 원소이고, 상기 제 2 도전형 불순물 이온은 인, 비소 또는 안티몬의 제 13족 원소인 액정 표시 장치용 박막 트랜지스터의 제조 방법.

도면

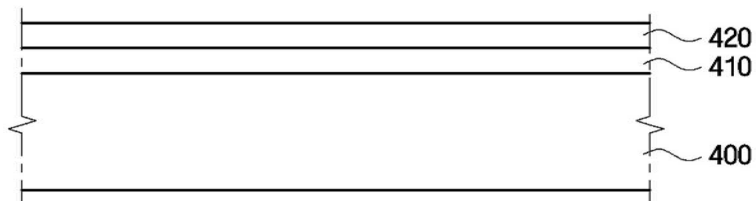
도면1



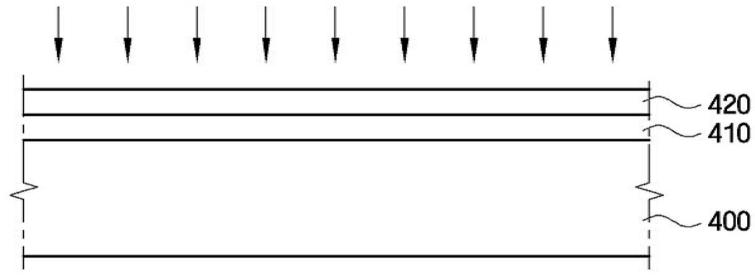
도면2



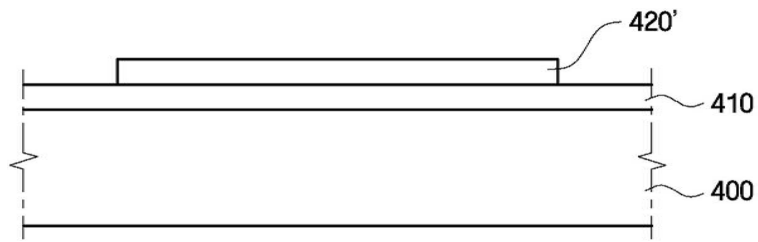
도면3a



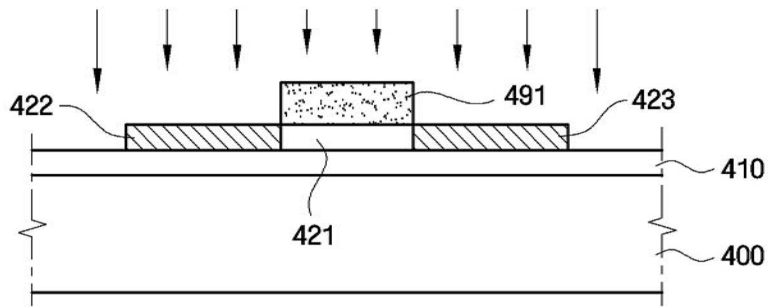
도면3b



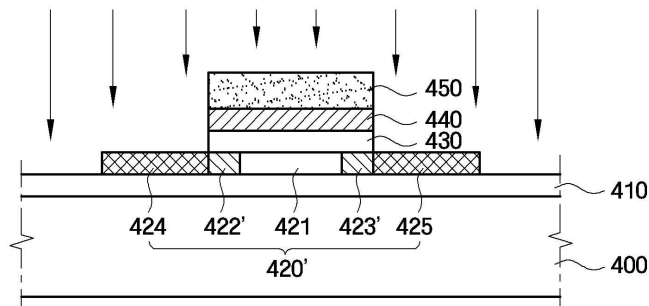
도면3c



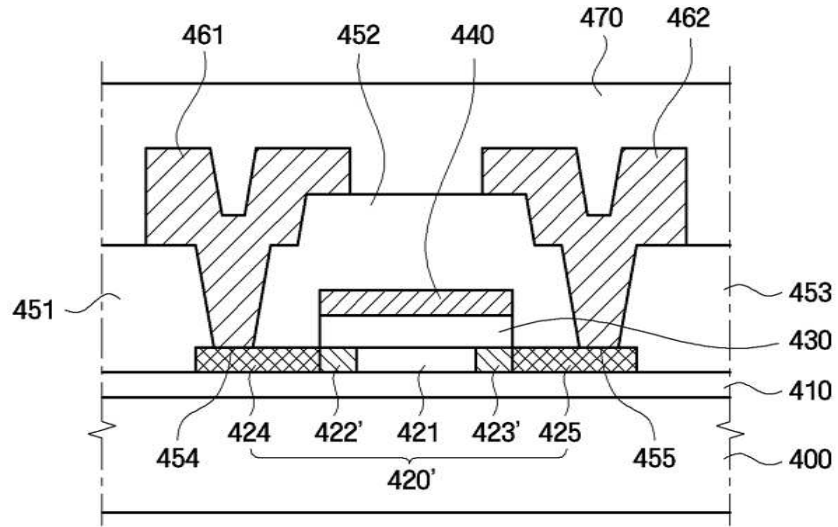
도면3d



도면3e



도면3f



专利名称(译)	制造用于液晶显示装置的薄膜晶体管的方法		
公开(公告)号	KR1020060070861A	公开(公告)日	2006-06-26
申请号	KR1020040109674	申请日	2004-12-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DEOKHOI		
发明人	KIM,DEOKHOI		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78696 G02F1/1368 G02F2001/13685 H01L29/66757 H01L29/78621		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种制造能够控制阈值电压的液晶显示器用薄膜晶体管的方法。在制造用于液晶显示装置的薄膜晶体管的方法中，在其上形成有硅层的基板的整个表面上进行沟道掺杂，进行硅层的结晶和图案化以形成半导体层，在半导体层中限定沟道区，然后，在沟道区的一部分上形成栅极绝缘膜和栅电极，并且掺杂有与沟道区相邻的第二导电类型杂质离子的区域的一部分，并且栅电极用作离子注入掩模，以通过掺杂高浓度的第二导电类型杂质离子来形成源/漏区。图3e 指数方面 液晶显示，沟道掺杂，阈值电压

