



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0067480
(43) 공개일자 2008년07월21일

(51) Int. Cl.

G02F 1/1335 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0004846

(22) 출원일자 2007년01월16일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

손경근

경기 수원시 장안구 율전동 신안아파트 105-202

조국래

충남 천안시 백석동 900 호반리젠시빌 115동 101호

김병주

경기 안양시 동안구 평촌동 932-2 꿈마을 금호아파트 803-102

(74) 대리인

정상빈, 특허법인가산

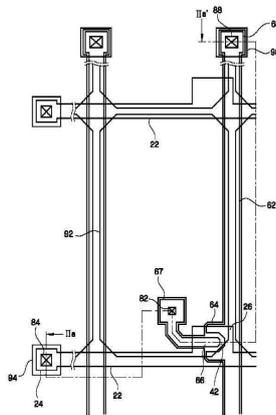
전체 청구항 수 : 총 10 항

(54) 박막 트랜지스터 표시판 및 이의 제조 방법

(57) 요약

공정을 단순화시켜 제조 원가를 절감할 수 있는 박막 트랜지스터 표시판 및 이의 제조 방법이 제공된다. 박막 트랜지스터 표시판은, 절연 기판 위에 게이트 전극을 포함하는 게이트 배선, 상기 게이트 배선을 덮는 게이트 절연막, 상기 게이트 절연막 위에 상기 게이트 전극과 오버랩되도록 형성된 반도체층, 상기 반도체층과 오버랩되며, 서로 분리되어 있는 소스 및 드레인 전극을 포함하는 데이터 배선, 상기 데이터 배선을 덮는 보호막, 상기 보호막 위에 형성되며, 상기 반도체층과 오버랩되는 상기 보호막 상부에 형성된 돌출부를 포함하는 컬러 필터층 및 상기 컬러 필터층 위에 형성되며, 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.

대표도 - 도1a



특허청구의 범위

청구항 1

절연 기판 위에 게이트 전극을 포함하는 게이트 배선;

상기 게이트 배선을 덮는 게이트 절연막;

상기 게이트 절연막 위에 상기 게이트 전극과 오버랩되도록 형성된 반도체층;

상기 반도체층과 오버랩되며, 서로 분리되어 있는 소스 및 드레인 전극을 포함하는 데이터 배선;

상기 데이터 배선을 덮는 보호막;

상기 보호막 위에 형성되며, 상기 반도체층과 오버랩되는 상기 보호막 상부에 형성된 돌출부를 포함하는 컬러 필터층; 및

상기 컬러 필터층 위에 형성되며, 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 2

제 1 항에 있어서,

상기 돌출부는 잉크 젯 방식에 의해 염색되어 광을 차단하는 박막 트랜지스터 표시판.

청구항 3

제 2 항에 있어서,

상기 돌출부는 상기 컬러 필터층보다 높은 단차를 갖는 박막 트랜지스터 표시판.

청구항 4

제 1 항에 있어서,

상기 컬러 필터층은 네거티브 타입의 수지로 형성된 박막 트랜지스터 표시판.

청구항 5

절연 기판 위에 게이트 전극을 포함하는 게이트 배선을 형성하는 단계;

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 상기 게이트 전극과 오버랩되도록 반도체층을 형성하는 단계;

상기 반도체층과 오버랩되며, 서로 분리되어 있는 소스 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

상기 데이터 배선을 덮는 보호막을 형성하는 단계;

상기 보호막 위에 형성되며, 상기 반도체층과 오버랩되는 상기 보호막 상부에 형성된 돌출부를 포함하는 컬러 필터층을 형성하는 단계;

상기 돌출부를 염색하는 단계; 및

상기 컬러 필터층 위에 형성되며, 상기 드레인 전극과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 돌출부를 염색하는 단계는,

잉크 젯 방식에 의해 상기 돌출부를 검은색으로 염색하는 박막 트랜지스터 표시판의 제조 방법.

청구항 7

제 5 항에 있어서,
상기 돌출부는 상기 컬러 필터층보다 높은 단차를 갖는 박막 트랜지스터 표시판의 제조 방법.

청구항 8

제 5 항에 있어서,
상기 돌출부는 상기 반도체층과 오버랩되는 보호막 상부의 컬러 필터층에 대응되는 위치에 슬릿 또는 격자 형태의 패턴이 형성된 감광막 패턴에 의해 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 9

제 5 항에 있어서,
상기 컬러 필터층은 네거티브 타입의 수지로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제 5 항에 있어서,
상기 컬러 필터층은 4 내지 8 μ m의 두께로 형성하는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 박막 트랜지스터 표시판 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 공정을 단순화시켜 제조 원가를 절감할 수 있는 박막 트랜지스터 표시판 및 이의 제조 방법에 관한 것이다.
- <22> 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.
- <23> 이러한 액정 표시 장치의 휘도를 향상시키기 위해서는 패널의 높은 개구율을 확보하는 것이 필요하다. 이를 위해 컬러필터를 상부기판이 아닌 하부기판에 형성하는 CFL(Color Filter Less) 구조가 제시되었다.
- <24> CFL 구조는 상부기판에 컬러필터가 형성되어 있지 않고, 블랙 매트릭스 위에 오버코트막이 형성되기 때문에 블랙 매트릭스가 형성되어 있는 부분과 블랙 매트릭스가 형성되어 있지 않은 부분에 단차가 발생하게 된다. 이 단차로 인해 공통 전극도 단차가 발생하게 되어 전기장이 왜곡되고, 배향막이 제대로 형성되지 않으며, 또한, 액정 배향이 제대로 이루어지지 않는다. 이러한 문제를 해결하기 위해 오버코트막은 두껍게 형성하고, 블랙 매트릭스는 얇게 형성하고 있다.
- <25> 그러나, 오버코트막을 두껍게 형성하므로 공정 시간 증가와 평탄도 불량 발생하며, 블랙 매트릭스의 두께 감소로 인한 빛샘 현상이 발생하여 광특성이 저하된다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명이 이루고자 하는 기술적 과제는, 공정을 단순화시켜 제조 원가를 절감할 수 있는 박막 트랜지스터 표시판을 제공하고자 하는 것이다.
- <27> 본 발명이 이루고자 하는 기술적 과제는, 공정을 단순화시켜 제조 원가를 절감할 수 있는 박막 트랜지스터 표시판의 제조 방법을 제공하고자 하는 것이다.
- <28> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적

과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <29> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은, 절연 기관 위에 게이트 전극을 포함하는 게이트 배선, 상기 게이트 배선을 덮는 게이트 절연막, 상기 게이트 절연막 위에 상기 게이트 전극과 오버랩되도록 형성된 반도체층, 상기 반도체층과 오버랩되며, 서로 분리되어 있는 소스 및 드레인 전극을 포함하는 데이터 배선, 상기 데이터 배선을 덮는 보호막, 상기 보호막 위에 형성되며, 상기 반도체층과 오버랩되는 상기 보호막 상부에 형성된 돌출부를 포함하는 컬러 필터층 및 상기 컬러 필터층 위에 형성되며, 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.
- <30> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 절연 기관 위에 게이트 전극을 포함하는 게이트 배선을 형성하는 단계, 상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 상기 게이트 전극과 오버랩되도록 반도체층을 형성하는 단계, 상기 반도체층과 오버랩되며, 서로 분리되어 있는 소스 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계, 상기 데이터 배선을 덮는 보호막을 형성하는 단계, 상기 보호막 위에 형성되며, 상기 반도체층과 오버랩되는 상기 보호막 상부에 형성된 돌출부를 포함하는 컬러 필터층을 형성하는 단계, 상기 돌출부를 염색하는 단계 및 상기 컬러 필터층 위에 형성되며, 상기 드레인 전극과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함한다.
- <31> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <32> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <33> 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.
- <34> 도 1a는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 1b는 본 발명의 일 실시예에 따른 공통 전극 표시판의 배치도이고, 도 1c 도 1a의 박막 트랜지스터 표시판과 도 1b의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 2a는 도 1a의 IIa-IIa' 선을 따라 절단한 단면도이고, 도 2b는 도 1c의 IIb-IIb'선에 대한 단면도이다.
- <35> 본 발명의 일 실시예에 따른 액정 표시 장치는 도 2b에 도시된 바와 같이 박막 트랜지스터 표시판(1)과 이와 마주보고 있는 공통 전극 표시판(2) 및 이들 두 표시판(1, 2) 사이에 개재되어 있는 액정층(3)으로 이루어진다.
- <36> 먼저, 도 1a 및 도 2a를 참조하여 박막 트랜지스터 표시판에 대하여 좀 더 상세히 설명한다.
- <37> 절연 기관(10) 위에는 가로 방향으로 게이트선(22)이 형성되어 있고, 게이트선(22)에는 돌기의 형태로 이루어진 게이트 전극(26)이 형성되어 있다. 그리고, 게이트선(22)의 끝에는 다른 층 또는 외부로부터 게이트 신호를 인가 받아 게이트선(22)에 전달하는 게이트선 끝단(24)이 형성되어 있고, 게이트선 끝단(24)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 이러한 게이트선(22), 게이트 전극(26) 및 게이트선 끝단(24)을 게이트 배선이라고 한다.
- <38> 게이트 배선(22, 24, 26)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 24, 26)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 24, 26)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 24, 26)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

- <39> 게이트 배선(22, 24, 26) 위에는 게이트 절연막(30)이 형성되어 있다.
- <40> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(42)이 형성되어 있다. 이러한 반도체층(42)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 게이트 전극(26) 상에 섬형으로 형성될 수 있다. 또한, 반도체층(42)이 선형으로 형성되는 경우, 데이터선(62) 아래에 위치하여 게이트 전극(26) 상부까지 연장된 형상을 가질 수 있다.
- <41> 반도체층(42)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 섬형의 저항성 접촉층 및 선형의 저항성 접촉층이 형성되어 있다. 본 실시예의 저항성 접촉층(52)은 섬형 저항성 접촉층으로서, 드레인 전극(66) 및 소스 전극(64) 아래에 위치한다. 선형의 저항성 접촉층의 경우, 데이터선(62)의 아래까지 연장되어 형성된다.
- <42> 저항성 접촉층(52) 및 게이트 절연막(30) 위에는 데이터선(62) 및 드레인 전극(66)이 형성되어 있다. 데이터선(62)은 길게 뻗어 있으며 게이트선(22)과 교차하여 화소를 정의한다. 데이터선(62)으로부터 가지 형태로 저항성 접촉층(52)의 상부까지 연장되어 있는 소스 전극(64)이 형성되어 있다. 그리고, 데이터선(62)의 끝에는 다른 층 또는 외부로부터 데이터 신호를 인가 받아 데이터선(62)에 전달하는 데이터선 끝단(68)이 형성되어 있고, 데이터선 끝단(68)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다. 드레인 전극(66)은 소스 전극(64)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(64)의 반대쪽 저항성 접촉층(52) 상부에 위치한다. 이러한 데이터선(62), 데이터선 끝단(68), 소스 전극(64) 및 드레인 전극(66)을 데이터 배선이라고 한다.
- <43> 여기서, 데이터선(62)은 화소의 길이를 주기로 하여 반복적으로 형성되어 있다. 데이터선(62)의 세로로 뻗은 부분에는 소스 전극(64)이 연결되어 있고, 이 부분이 게이트선(22)과 교차한다.
- <44> 데이터선(62), 소스 전극(64) 및 드레인 전극(66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- <45> 소스 전극(64)은 반도체층(42)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(64)과 대향하며 반도체층(42)과 적어도 일부분이 중첩된다. 여기서, 저항성 접촉층(52)은 그 하부의 반도체층(42)과, 그 상부의 소스 전극(64) 및 드레인 전극(66) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- <46> 드레인 전극(66)은 반도체층(42)과 중첩되는 막대형 끝 부분과 이로부터 연장되어 유지 전극(29)과 중첩하는 넓은 면적의 드레인 전극 확장부(67)를 가진다.
- <47> 데이터선(62), 드레인 전극(66) 및 노출된 반도체층(42) 위에는 유기 절연막으로 이루어진 보호막(69)이 형성되어 있다. 여기서 보호막은 질화규소 또는 산화규소로 이루어진 무기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다.
- <48> 보호막(69) 위에는 감광성의 R, G, B 컬러 수지로 이루어진 컬러 필터층(70)이 형성되어 있다. 이때, 반도체층(42)과 오버랩되는 보호막(69) 상부의 컬러 필터층(70)에는 돌출부(75)가 형성되어 있다. 이 돌출부(75)는 추후 잉크젯(inkjet) 방식에 의해 검은색으로 염색되어 광을 차단하는 블랙 매트릭스의 역할을 한다.
- <49> 컬러 필터층(70)에는 데이터선 끝단(68) 및 드레인 전극 확장부(67)를 각각 드러내는 콘택홀(contact hole)(88, 82)이 형성되어 있으며, 보호막(69)과 게이트 절연막(30)에는 게이트선 끝단(24)을 드러내는 콘택홀(84)이 형성되어 있다. 콘택홀(82)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있는 화소 전극(92)이 형성되어 있다.
- <50> 또한, 컬러 필터층(69) 위에는 콘택홀(84, 88)을 통하여 각각 게이트선 끝단(24)과 데이터선 끝단(68)과 연결되어 있는 보조 게이트선 끝단(94) 및 보조 데이터선 끝단(98)이 형성되어 있다. 여기서, 화소 전극(92)과 보조 게이트 및 데이터선 끝단(94, 98)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다. 보조 게이트선 및 데이터선 끝단(94, 98)은 게이트선 끝단(24) 및 데이터선 끝단(68)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다.
- <51> 화소 전극(92)은 콘택홀(82)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 드레인 전극(66)으로부터

터 데이터 전압을 인가 받는다.

- <52> 데이터 전압이 인가된 화소 전극(92)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 화소 전극(92)과 공통 전극 사이의 액정층의 액정 분자들의 배열을 결정한다.
- <53> 화소 전극(92), 보조 게이트선 및 데이터선 끝단(94, 98) 및 보호막(69) 위에는 액정층(3)을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- <54> 이하, 도 1b, 도 1c 및 도 2b를 참고로 하여 공통 전극 표시판에 대하여 설명한다.
- <55> 유리 등의 투명한 절연 물질로 이루어진 절연 기관(110)의 아래 면에 ITO 또는 IZO 등의 투명한 도전 물질로 이루어지는 공통 전극(130)이 형성되어 있다. 이때, 공통 전극(130)은 화소 전극(92)과 대향되도록 형성되어 있다.
- <56> 공통 전극(130) 위에는 지지 스페이서(150)가 형성되어 있다. 여기서, 지지 스페이서(150)는 박막 트랜지스터 표시판(1)과 공통 전극 표시판(2) 사이를 지지하며, 일정한 셀갭(cell gap)을 형성한다. 지지 스페이서(150)는 예를 들어 감광성 수지로 형성될 수 있다. 이때, 지지 스페이서(150)는 블랙 매트릭스(85)와 중첩되도록 배치되는 것이 바람직하나 이에 한정되는 것은 아니다.
- <57> 또한, 공통 전극(130) 위에는 액정 분자(미도시)들을 배향하는 배향막(미도시)이 도포될 수 있다.
- <58> 도 1c는 도 1a의 박막 트랜지스터 표시판과 도 1b의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이며, 이와 같은 구조의 박막 트랜지스터 표시판(1)과 공통 전극 표시판(2)을 정렬하여 결합하고 그 사이에 액정층(3)을 개재하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.
- <59> 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트, 보상판 등의 요소들을 배치하여 이루어진다. 이때 편광판(미도시)은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 둘 중 하나는 나란하고 나머지 하나는 수직을 이루도록 배치한다.
- <60> 한편, 박막 트랜지스터 표시판(1)과 공통 전극 표시판(2) 각각은 액정 분자(미도시)를 배향하기 위한 배향막(미도시)을 포함하고 있다.
- <61> 계속해서, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 자세히 설명한다.
- <62> 도 3a 및 도 4a는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순차적으로 나타낸 배치도들이고, 도 3b 내지 도 3d는 도 3a의 IIa-IIa' 선을 따라 절단한 공정 단계별 단면도들이고, 도 4b 내지 도 4e는 도 4a의 IIa-IIa' 선을 따라 절단한 공정 단계별 단면도들이다.
- <63> 도 3a 및 도 3b에 도시한 바와 같이, 절연 기관(10) 상에 이물질이나 유기성 물질의 제거와 증착될 게이트 물질의 금속 박막과 기관(10)의 접착성(adhesion)을 좋게하기 위하여 세정을 실시한 후, 스퍼터링을 통해 게이트 배선용 금속막을 형성한다.
- <64> 이때, 게이트 배선용 금속막은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 형성할 수 있다. 또한, 게이트 배선용 금속막은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조로 형성될 수 있으며, 이중 한 도전막은 게이트 배선의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면, 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 형성할 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 형성할 수 있다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선용 금속막은 다양한 여러 가지 금속과 도전체로 형성될 수 있다.
- <65> 이어서, 게이트 배선용 금속막을 감광막 패턴(미도시)을 형성하고, 감광막 패턴을 식각 마스크로 하여 게이트 배선(22, 24, 26)을 형성한다. 여기에서, 도면부호 22는 게이트선, 24는 게이트 끝단, 26은 게이트 전극을 나타낸다.
- <66> 그 다음, 도 3c에 도시된 바와 같이, 게이트 배선(22, 24, 26)을 포함한 기관 결과물 상에 게이트 절연막(30), 비정질 실리콘층(a-Si:H, 40)과 N형 불순물이 함유된 비정질 실리콘층(a-Si:H, 50)을 PECVD 방식을 사용하여

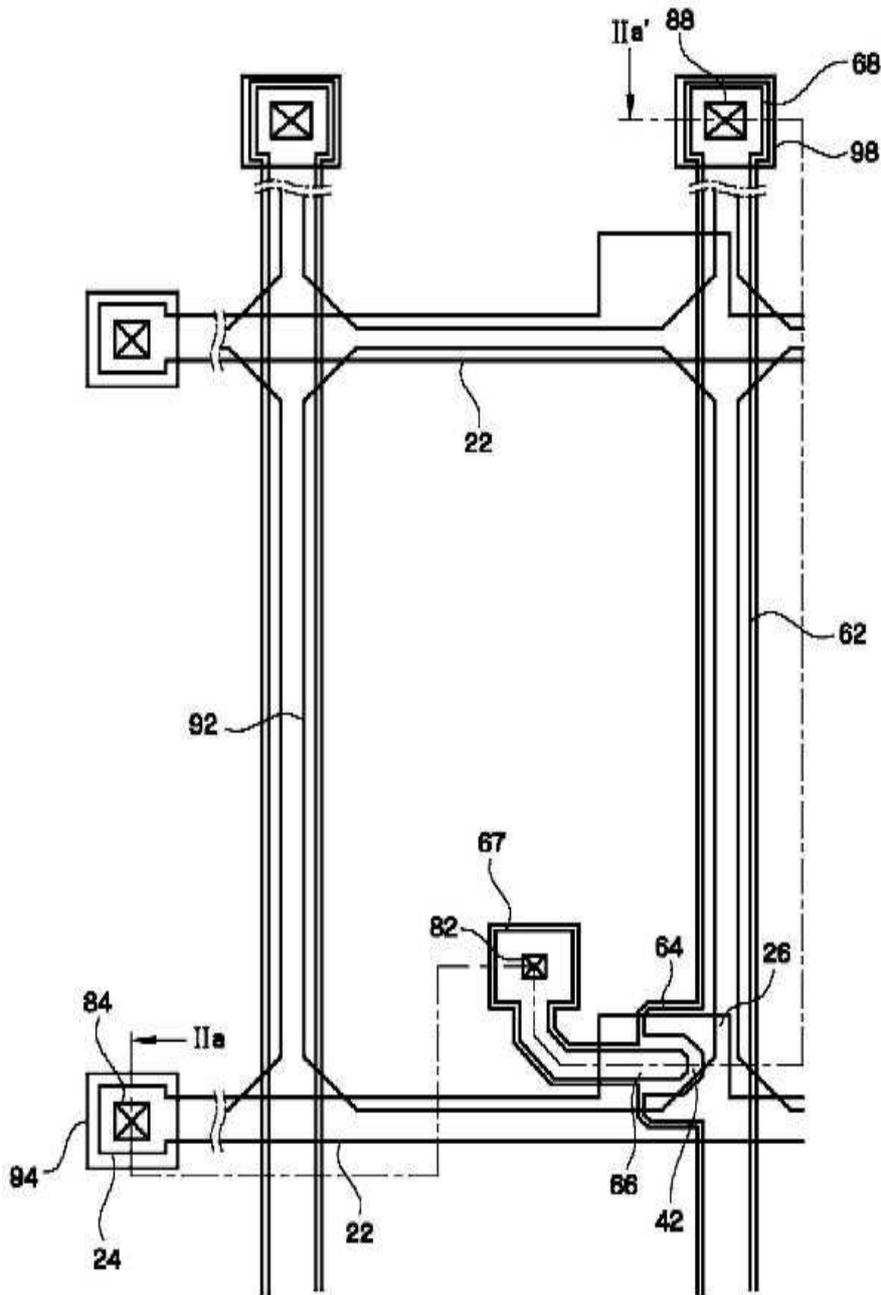
연속적으로 증착한다. 여기에서, 상기 게이트 절연막(30)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO₂) 등으로 형성한다. 이때, 상기 불순물이 함유된 비정질 실리콘층(50)은 추후 형성될 데이터 배선용 금속막과 비정질 실리콘층(40)과의 접촉저항을 줄이기 위해서 형성한다.

- <67> 이어서, 상기 불순물이 함유된 비정질 실리콘층(50) 상에 데이터 배선용 금속막(60)을 증착한 후, 데이터 배선용 금속막(60) 상에 감광막(110)을 도포한다. 여기에서, 상기 데이터 배선용 금속막(60)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 형성하는 것이 바람직하며, 내화성 금속 등의 하부막(미도시)과 그 상부에 위치한 저항 물질 상부막(미도시)으로 이루어진 다층막 구조로 형성될 수 있다. 이때, 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막으로 형성할 수 있다.
- <68> 그 다음, 도 3d에 도시된 바와 같이, 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(112, 114)을 형성한다.
- <69> 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부, 즉 소스 전극(64)과 드레인 전극(66) 사이에 위치한 제 1 부분(114)은 데이터 배선부, 즉 데이터 배선이 형성될 부분에 위치한 제 2 부분(112)보다 두께가 작게 되도록 형성하며, 채널부와 데이터 배선부 및 게이트선의 일부를 제외한 기타 부분의 감광막은 모두 제거한다. 이때, 채널부에 남아 있는 감광막(112)의 두께와 데이터 배선부에 남아 있는 감광막(114)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제 1 부분(114)의 두께를 제 2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하다.
- <70> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 빛 투과량을 조절하기 위하여 주로 슬릿(slit) 또는 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.
- <71> 이때, 슬릿 사이에 위치한 패턴의 선폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.
- <72> 이어서, 도 4a 및 도 4b에 도시된 바와 같이, 채널부와 데이터 배선부 및 게이트선의 일부분을 제외한 기타 부분의 노출된 데이터 배선용 금속막(60), 불순물이 함유된 비정질 실리콘층(50) 및 그 하부의 비정질 실리콘층(40)을 감광막의 제 1 부분(114)과 함께 동시에 제거한다. 이때의 식각은 감광막 패턴(112, 114)과 불순물이 함유된 비정질 실리콘층(50) 및 비정질 실리콘층(40)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건 하에서 행하여야 한다.
- <73> 그 다음, 채널부의 데이터 배선용 금속막(60) 표면에 잔류된 감광막을 애싱(ashing)을 통하여 제거한다.
- <74> 도 4b에 도시된 바와 같이, 데이터 배선용 금속막(60)을 식각하여 제거한 후, 불순물이 함유된 비정질 실리콘층(50)을 식각한다. 이때 건식 식각이 사용될 수 있으며, 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제 2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 67, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.
- <75> 이렇게 하면, 소스 전극(64)과 드레인 전극(66)이 분리되면서 데이터 배선과 그 하부의 저항성 접촉층(52)이 완성된다.
- <76> 이어서, 데이터 배선부에 남아 있는 감광막 제 2 부분(112)을 제거한다.
- <77> 그 다음, 기판 결과물 위에 보호막(69)을 형성한다.
- <78> 이어서, 도 4c에 도시된 바와 같이, 보호막(69) 위에 감광성의 R, G, B 컬러 수지로 이루어진 컬러 필터층(70)을 형성한다. 이때, 컬러 필터층(70)은 네거티브 타입(negative type)의 수지로 형성할 수 있으며, 이때에 컬러 필터층(70)은 4 내지 8 μ m의 두께로 형성될 수 있다.
- <79> 여기서, 컬러필터를 형성하는 방법은 박막 트랜지스터가 형성된 기판 상부에 사진 식각(Photolithography) 공정을 이용하여 R, G, B로 이루어지는 컬러필터를 형성할 수 있으며, 컬러필터의 R, G, B에 대응되는 위치에 염료 타입의 컬러 레진 잉크를 사용하여 기판 상에 디스펜싱(Dispensing)시켜서 형성할 수 있다. 또한, 박막 트랜지스터가 형성된 기판 상부에 스크린 프린팅(Screen Printing) 방식으로 R, G, B를 프린팅하여 형성할 수 있다.
- <80> 그 다음, 도 4d에 도시된 바와 같이, 마스크(미도시)를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(미도시)을 형성한다. 이때, 감광막 패턴 중에서 반도체층(42)과 오버랩되는 보호막(69) 상부의 컬러 필터층

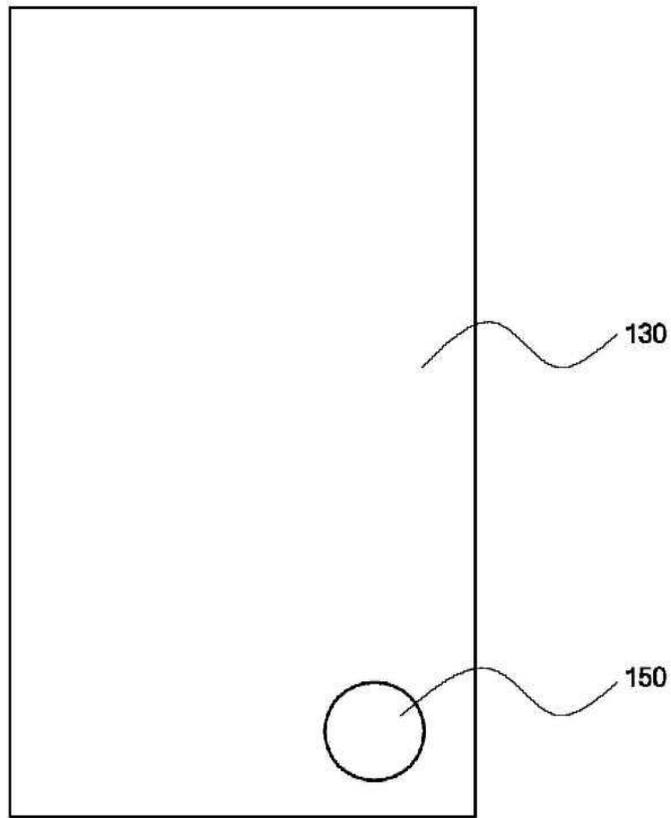
- | | | |
|------|----------------|-----------------|
| <14> | 64: 소스 전극 | 66: 드레인 전극 |
| <15> | 67: 드레인 전극 확장부 | 68: 데이터 끝단 |
| <16> | 69: 보호막 | 70: 컬러 필터층 |
| <17> | 75: 돌출부 | 82, 84, 88: 콘택홀 |
| <18> | 92: 화소 전극 | 94: 보조 게이트 끝단 |
| <19> | 98: 보조 데이터 끝단 | 302: 잉크젯 헤드 |
| <20> | 304: 노즐 | 306: 컬러 잉크 |

도면

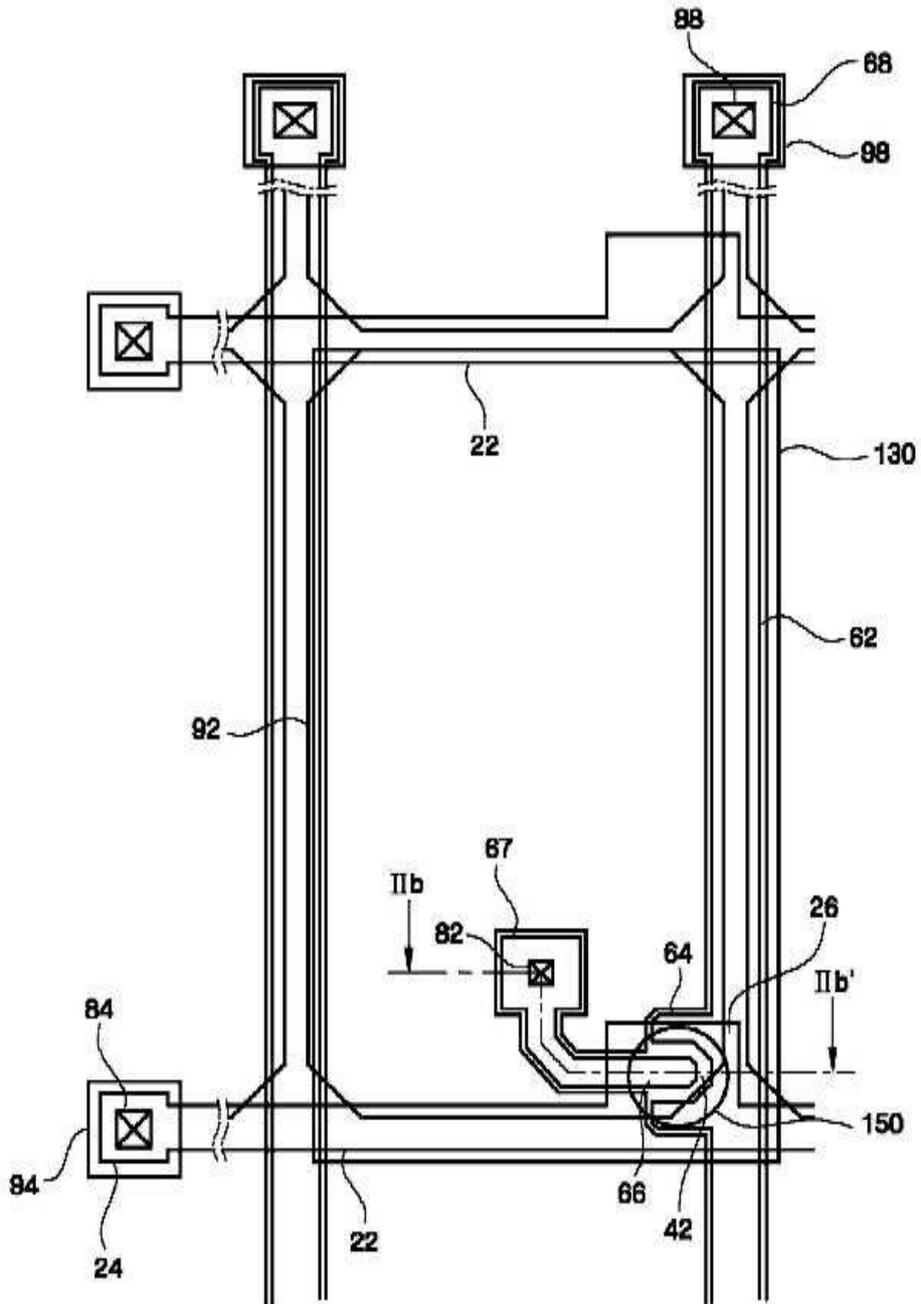
도면1a



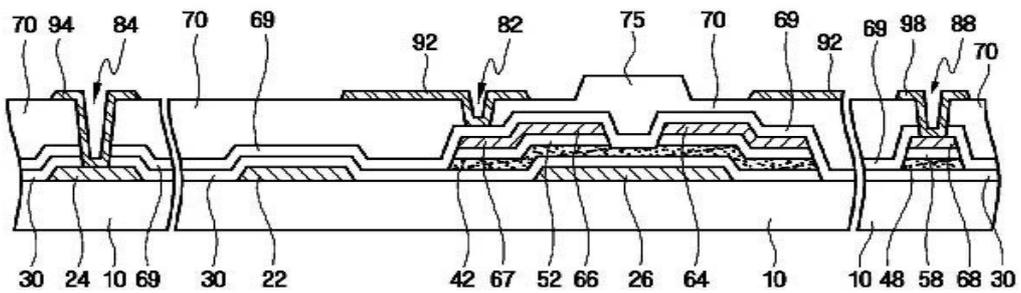
도면1b



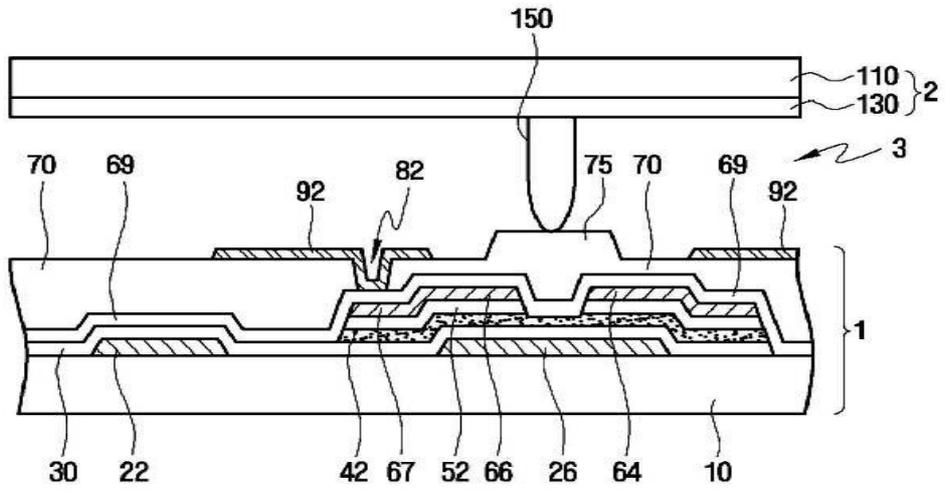
도면1c



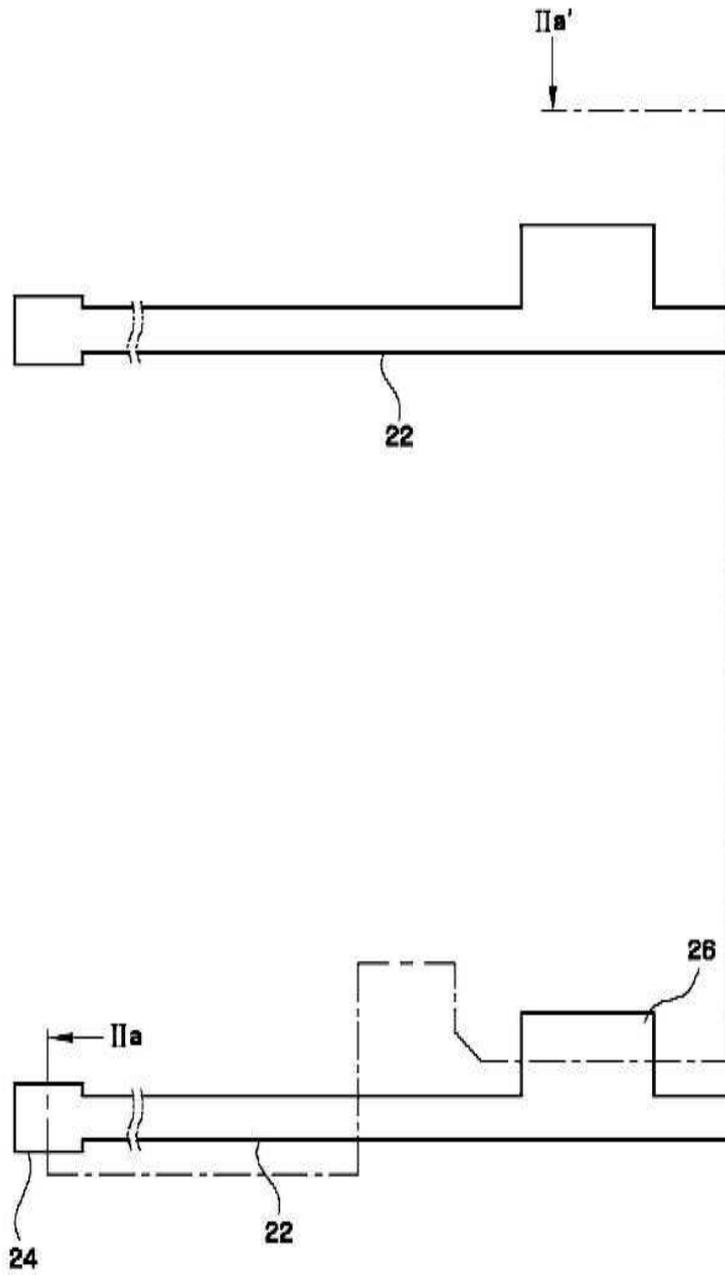
도면2a



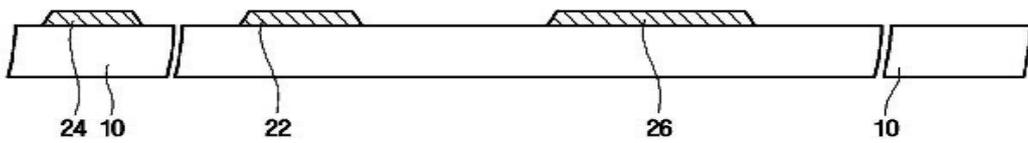
도면2b



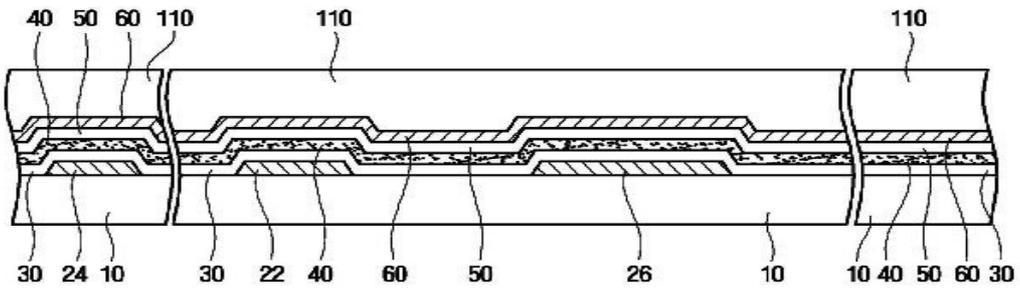
도면3a



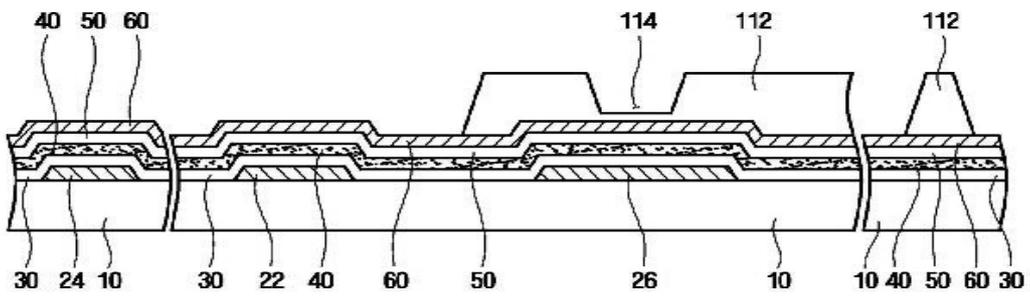
도면3b



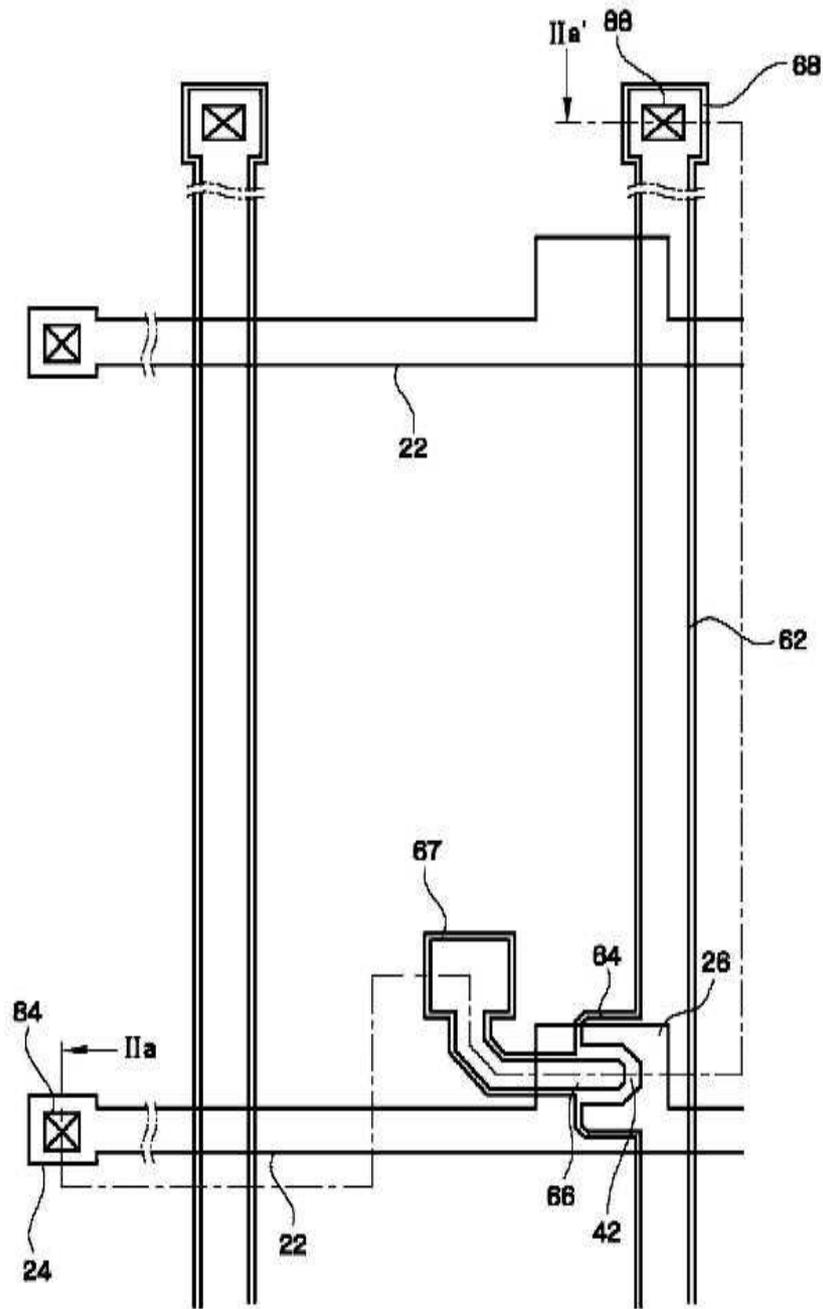
도면3c



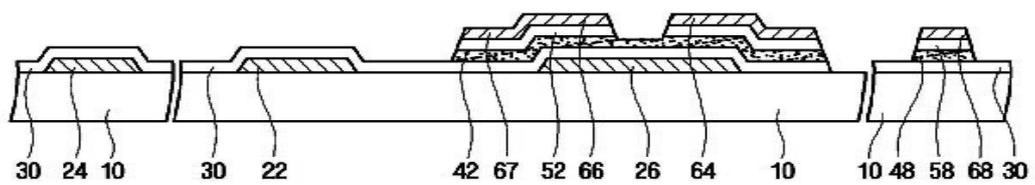
도면3d



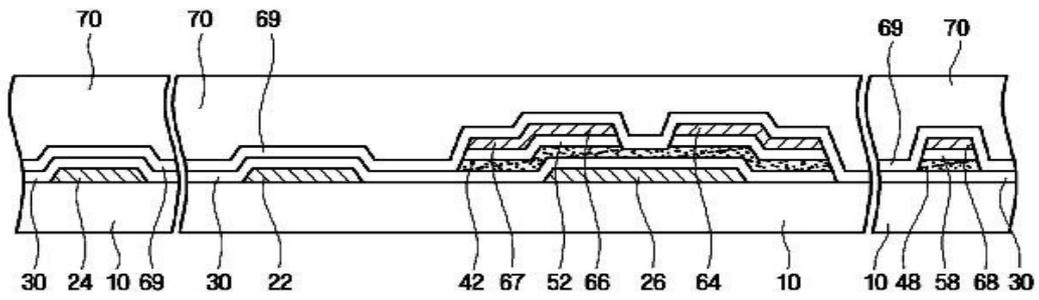
도면4a



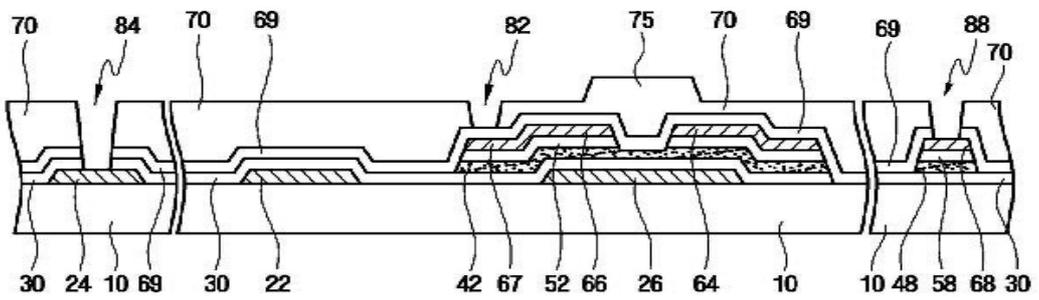
도면4b



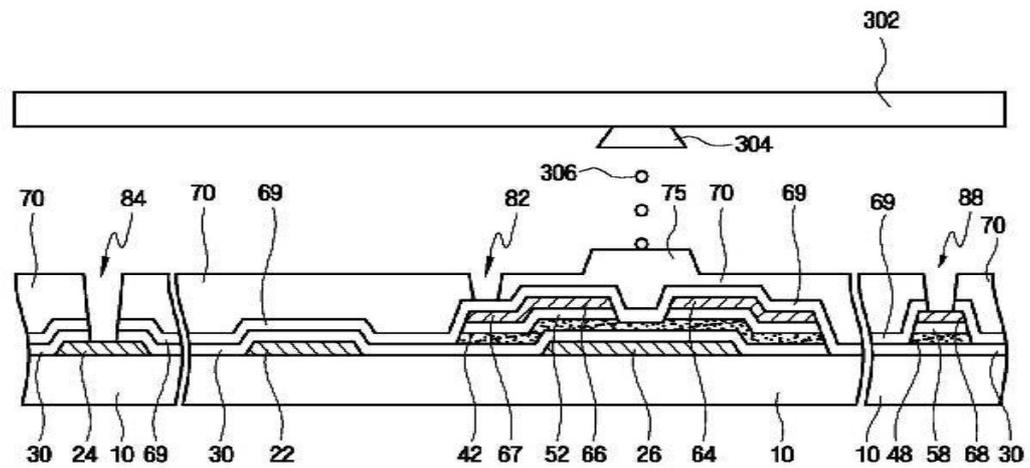
도면4c



도면4d



도면4e



专利名称(译)	薄膜晶体管显示面板及其制造方法		
公开(公告)号	KR1020080067480A	公开(公告)日	2008-07-21
申请号	KR1020070004846	申请日	2007-01-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SON KYOUNG KEUN 손경근 JO GUG RAE 조국래 KIM BYOUNG JOO 김병주		
发明人	손경근 조국래 김병주		
IPC分类号	G02F1/1335 G02F1/136		
CPC分类号	G02F1/136286 G02F2001/136222 H01L27/1214 H01L27/124 H01L29/458 H01L29/786		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供了简化工艺并且可以降低制造成本的薄膜晶体管基板及其制造方法。薄膜晶体管基板包括栅极布线，包括绝缘基板上的栅极，覆盖栅极布线的栅极绝缘层，以及栅极绝缘层上的栅极，形成为重叠的半导体层，以及在上述半导体层和与漏电极电连接的像素电极上，形成在滤色器层和滤色器层上的包含源的数据线和形成在保护膜上部的突出部分。包括源极的数据线重叠并且彼此分开并且与漏极电极分离。形成在保护膜上部的突出部分形成在覆盖数据线的保护膜上，并且保护膜与上述半导体层重叠。黑色矩阵，喷墨和液晶显示器。

