



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0077354

(43) 공개일자 2007년07월26일

(21) 출원번호 10-2006-0006894

(22) 출원일자 2006년01월23일

심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 한웅  
경기 용인시 기흥읍 신갈리 새천년그린빌6단지 산양마을 푸르지오605  
동 1104호

(74) 대리인 권혁수  
송윤호  
오세준

전체 청구항 수 : 총 9 항

(54) 액정 표시 장치

(57) 요약

액정 표시 장치의 타이밍 컨트롤러는 제 1 래치 신호를 발생하고, 신호 발생기는 상기 제 1 래치 신호보다 소정 시간 지연된 제 2 래치 신호를 발생한다. 데이터 드라이버는 상기 제 1 및 제 2 래치 신호들에 응답해서 복수의 데이터 라인들 중 일군의 데이터 라인들과 타군의 데이터 라인들을 순차적으로 구동함으로써 데이터 라인들로 제공될 픽셀 데이터 신호들이 동시에 하강/상승하는 것을 방지한다. 그 결과, 데이터 라인과 게이트 라인의 커플링에 의한 게이트 구동 신호의 변화가 최소화된다.

대표도

도 1

특허청구의 범위

청구항 1.

복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함하는 액정 패널과;

픽셀 데이터 신호, 수평 동기 시작 신호 그리고 제 1 래치 신호를 출력하는 타이밍 컨트롤러와;

수평 동기 시작 신호 및 상기 제 1 래치 신호를 입력받고, 상기 제 1 래치 신호보다 소정 시간 지연된 제 2 래치 신호를 발생하는 신호 발생기; 그리고

상기 픽셀 데이터 신호, 상기 수평 동기 시작 신호 그리고 제 1 및 제 2 래치 신호들에 응답해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들과 타군의 데이터 라인들을 순차적으로 구동하는 데이터 드라이버를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 2.

제 1 항에 있어서,

상기 신호 발생기는,

상기 수평 동기 시작 신호가 활성화되고, 상기 제 1 래치 신호가 입력된 후 상기 소정 시간이 경과했을 때 상기 제 2 래치 신호를 발생하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 3.

제 2 항에 있어서,

상기 복수의 게이트 라인들을 게이트 온 전압으로 순차적으로 구동하는 게이트 드라이버를 더 포함하되;

상기 제 1 및 제 2 래치 신호들의 활성화 시간들의 합은 하나의 게이트 라인을 상기 게이트 온 전압으로 구동하는 구동 시간보다 짧은 것을 특징으로 하는 액정 표시 장치.

## 청구항 4.

제 1 항에 있어서,

상기 데이터 드라이버는,

상기 수평 동기 시작 신호에 동기해서 클럭 신호를 쉬프트하는 쉬프트 레지스터와;

상기 쉬프트 레지스터로부터 출력되는 클럭 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 픽셀 데이터 신호를 저장하는 데이터 레지스터와;

상기 타이밍 컨트롤러로부터의 상기 제 1 래치 신호에 응답해서 상기 데이터 레지스터로부터의 상기 일군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 래치하고, 상기 신호 발생기로부터의 상기 제 2 래치 신호에 응답해서 상기 데이터 레지스터로부터의 상기 타군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 래치하는 래치와;

상기 래치로부터 출력되는 상기 일군/타군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 아날로그 픽셀 신호로 변환하는 디지털-아날로그 컨버터; 그리고

상기 디지털-아날로그 컨버터로부터의 상기 아날로그 픽셀 신호를 상기 일군/타군의 데이터 라인들로 출력하는 출력 버퍼를 포함하는 디스플레이 장치.

## 청구항 5.

복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함하는 액정 패널과;

픽셀 데이터 신호, 제어 신호들, 제 1 래치 신호 그리고 상기 제 1 래치 신호보다 소정 시간 지연된 제 2 래치 신호를 출력하는 타이밍 컨트롤러; 그리고

상기 픽셀 데이터 신호, 제어 신호들 그리고 제 1 및 제 2 래치 신호들에 응답해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들과 타군의 데이터 라인들을 순차적으로 구동하는 데이터 드라이버를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 6.

제 5 항에 있어서,

상기 제 1 및 제 2 래치 신호들은 소정의 간격을 두고 순차적으로 활성화되는 것을 특징으로 하는 액정 표시 장치.

## 청구항 7.

제 6 항에 있어서,

상기 복수의 게이트 라인들을 게이트 온 전압으로 순차적으로 구동하는 게이트 드라이버를 더 포함하되;

상기 제 1 및 제 2 래치 신호들의 활성화 시간들의 합은 하나의 게이트 라인을 상기 게이트 온 전압으로 구동하는 구동 시간보다 짧은 것을 특징으로 하는 액정 표시 장치.

## 청구항 8.

복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함하는 액정 표시 장치의 동작 방법에 있어서:

픽셀 데이터 신호를 입력하는 단계와;

제 1 래치 신호를 활성화 하는 단계와;

상기 제 1 래치 신호에 동기해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들을 대응하는 픽셀 데이터 신호로 구동하는 단계와;

제 2 래치 신호를 활성화 하는 단계; 그리고

상기 제 2 래치 신호에 동기해서 상기 복수의 데이터 라인들 중 타군의 데이터 라인들을 대응하는 픽셀 데이터 신호로 구동하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 동작 방법.

## 청구항 9.

제 8 항에 있어서,

상기 복수의 게이트 라인들을 게이트 온 전압으로 순차적으로 구동하는 단계를 더 포함하되;

상기 제 1 및 제 2 래치 신호들의 활성 시간들의 합은 하나의 게이트 라인을 상기 게이트 온 전압으로 구동하는 구동 시간보다 짧은 것을 특징으로 하는 액정 표시 장치의 동작 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 좀 더 구체적으로는 화질을 향상시키기 위한 액정 표시 장치에 관한 것이다.

액정 디스플레이(liquid crystal display) 장치의 디스플레이 패널은 행렬 형태로 배열되며, 스위칭 소자인 박막 트랜지스터를 포함하는 복수의 픽셀 어레이를 포함한다. 각 픽셀은 박막 트랜지스터를 통하여 픽셀 데이터 신호에 해당하는 데이터 전압을 선택적으로 받아들인다. 액정 디스플레이 장치는 또한 게이트 라인에 게이트 온 전압을 인가하는 게이트 드라이버와 데이터 라인에 영상 신호를 인가하는 데이터 드라이버 및 이들을 제어하는 신호 제어 회로를 포함한다.

액정 디스플레이 장치가 대형화됨에 따라서 게이트 라인의 길이가 길어져서 배선 저항값이 커지고, 하나의 게이트 라인과 교차하는 데이터 라인의 수의 증가에 따른 커플링 커패시턴스의 증가는 게이트 라인을 통해 전달되는 신호의 왜곡을 초래한다.

특히, 인접한 데이터 라인들을 통해 전달되는 픽셀 데이터 신호들의 전압들이 동시에 높은 전압으로 천이하거나 또는 동시에 낮은 전압으로 천이할 때 게이트 라인을 통해 전달되는 신호의 왜곡은 더욱 심해진다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 데이터 라인의 구동에 의해서 게이트 라인을 통해 전달되는 신호의 왜곡을 최소화할 수 있는 액정 표시 장치를 제공하는데 있다.

본 발명의 다른 목적은 데이터 라인의 구동에 의해서 게이트 라인을 통해 전달되는 신호의 왜곡을 최소화할 수 있는 액정 표시 장치의 동작 방법을 제공하는데 있다.

### 발명의 구성

상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 액정 표시 장치는 액정 패널, 타이밍 컨트롤러, 신호 발생기 그리고 데이터 드라이버를 포함한다. 액정 패널은, 복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함한다. 타이밍 컨트롤러는 픽셀 데이터 신호, 수평 동기 시작 신호 그리고 제 1 래치 신호를 출력하고, 신호 발생기는 상기 제 1 래치 신호보다 소정 시간 지연된 제 2 래치 신호를 발생한다. 데이터 드라이버는 상기 픽셀 데이터 신호, 상기 수평 동기 시작 신호 그리고 제 1 및 제 2 래치 신호들에 응답해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들과 타군의 데이터 라인들을 순차적으로 구동한다.

상기 신호 발생기는, 상기 수평 동기 시작 신호가 활성화된 후 상기 소정 시간이 경과했을 때 상기 제 2 래치 신호를 발생한다.

상기 데이터 드라이버는, 상기 수평 동기 시작 신호에 동기해서 클럭 신호를 쉬프트하는 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터 출력되는 클럭 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 픽셀 데이터 신호를 저장하는 데이터 레지스터와, 상기 타이밍 컨트롤러로부터의 상기 제 1 래치 신호에 응답해서 상기 데이터 레지스터로부터의 상기 일군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 래치하고, 상기 신호 발생기로부터의 상기 제 2 래치 신호에 응답해서 상기 데이터 레지스터로부터의 상기 타군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 래치하는 래치와, 상기 래

치로부터 출력되는 상기 일군/타군의 데이터 라인들에 대응하는 상기 픽셀 데이터 신호를 아날로그 픽셀 신호로 변환하는 디지털-아날로그 컨버터, 그리고 상기 디지털-아날로그 컨버터로부터의 상기 아날로그 픽셀 신호를 상기 일군/타군의 데이터 라인들로 출력하는 출력 버퍼를 포함한다.

본 발명의 다른 특징에 따른 액정 표시 장치는 액정 패널, 타이밍 컨트롤러 그리고 데이터 드라이버를 포함한다. 액정 패널은, 복수의 게이트 라인들과 상기 복수의 게이트 라인들에 교차하여 배열된 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 의해 정의된 영역들에 배열된 복수의 픽셀들을 포함한다. 타이밍 컨트롤러는, 픽셀 데이터 신호, 제어 신호들, 제 1 래치 신호 그리고 상기 제 1 래치 신호보다 소정 시간 지연된 제 2 래치 신호를 출력한다. 데이터 드라이버는 상기 픽셀 데이터 신호, 제어 신호들 그리고 제 1 및 제 2 래치 신호들에 응답해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들과 타군의 데이터 라인들을 순차적으로 구동한다. 상기 제 1 및 제 2 래치 신호들은 소정의 간격을 두고 순차적으로 활성화된다.

본 발명의 다른 특징에 따른 액정 표시 장치의 동작 방법은: 픽셀 데이터 신호를 입력하는 단계와, 제 1 래치 신호를 활성화하는 단계와, 상기 제 1 래치 신호에 동기해서 상기 복수의 데이터 라인들 중 일군의 데이터 라인들을 대응하는 픽셀 데이터 신호로 구동하는 단계와, 제 2 래치 신호를 활성화하는 단계, 그리고 상기 제 2 래치 신호에 동기해서 상기 복수의 데이터 라인들 중 타군의 데이터 라인들을 대응하는 픽셀 데이터 신호로 구동하는 단계를 포함한다.

이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치를 보여주는 도면이다.

도 1을 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 래치 신호 발생기(120), 소스 드라이버(130), 계조 전압 발생기(140), 전압 변환기(150), 게이트 드라이버(160), 그리고 액정 패널(170)을 포함한다.

타이밍 컨트롤러(110)는 외부 장치로부터 입력되는 픽셀 데이터 신호(RGB), 수평 동기 신호(H\_SYNC), 수직 동기 신호(V\_SYNC), 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE)를 입력받는다. 타이밍 컨트롤러(110)는 소스 드라이버(130)와의 인터페이스 사양에 맞추어 데이터 포맷(format)을 변환한 픽셀 데이터 신호(RGB') 및 제어 신호들을 소스 드라이버(140)로 출력한다. 타이밍 컨트롤러(110)로부터 소스 드라이버(130)로 제공되는 제어 신호들은, 제 1 래치 신호(TP1), 수평 동기 시작 신호(STH, start horizontal), 반전 신호(POL) 및 클럭 신호(HCLK)를 포함한다.

또한, 타이밍 컨트롤러(110)는 수직 동기 시작 신호(start vertical, STV), 게이트 클럭 신호(CPV), 및 출력 인에이블 신호(OE)를 게이트 드라이버(160)로 출력한다.

전압 변환기(150)는 외부로부터 전원 전압(VDD)을 입력받고, 액정 표시 장치(100)의 동작에 필요한 다양한 전압들 예를 들면, 게이트 온 전압(VON), 게이트 오프 전압(VOFF), 공통 전압(VCOM)을 발생한다.

게이트 드라이버(160)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들(STV, CPV, OE)에 응답해서 액정 패널(140)의 게이트 라인들(G1-Gn)을 순차적으로 스캐닝한다. 여기서, 스캐닝이란 게이트 라인들에 게이트 온 전압(VON)을 순차적으로 인가하여 게이트 온 전압(VON)이 인가된 게이트 라인의 픽셀을 데이터 기록이 가능한 상태로 만드는 것을 말한다.

래치 신호 발생기(120)는 타이밍 컨트롤러(110)로부터의 제 1 래치 신호(TP1)와 수평 동기 시작 신호(STH)를 입력받아서 제 2 래치 신호(TP2)를 발생한다. 구체적으로, 수평 동기 시작 신호(STH)가 활성화되고, 제 1 래치 신호(TP1)가 입력된 후 소정 시간이 경과하면 제 2 래치 신호(TP2)를 발생한다.

계조 전압 발생기(140)는 출력 픽셀 데이터 신호에 대응하는 계조 전압들(VO-V14)을 소스 드라이버(130)로 제공한다.

소스 드라이버(130)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들(TP1, STH, POL, HCLK) 및 래치 신호 발생기(120)로부터의 제 2 래치 신호(TP2)에 응답해서 계조 전압 발생기(140)로부터의 계조 전압들 중 픽셀 데이터 신호(RGB')에 대응하는 계조 전압들을 가지고 액정 패널(170)의 데이터 라인들(D1-Dm)을 구동한다. 일반적으로 소스 드라이버(130)는 복수의 집적 회로들로 구성된다.

액정 패널(170)은 복수의 게이트 라인들(G1-Gn)과, 게이트 라인들에 교차하는 복수의 데이터 라인들(D1-Dm)과, 게이트 라인 및 데이터 라인에 의해 정의된 영역에 각각 배열된 픽셀들을 포함한다. 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(T1)와, 박막 트랜지스터(T1)의 드레인 전극에 연결되는 액정 커

패시터( $C_{LC}$ ) 및 스토리지 커패시터( $C_{ST}$ )를 포함한다. 이러한 픽셀 구조에서는, 게이트 드라이버(160)에 의해서 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터(T1)가 턴 온되고, 이어서 소스 드라이버(130)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터( $C_{LC}$ )와 스토리지 커패시터( $C_{ST}$ )에 인가되며, 액정 및 스토리지 커패시터들( $C_{LC}$ ,  $C_{ST}$ )이 구동됨으로써 소정의 표시 동작이 이루어진다.

도 1에 도시된 소스 드라이버(130)의 구체적인 구성이 도 2에 도시되어 있다. 소스 드라이버(130)는 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터(210), 샘플링 신호에 응답하여 입력 픽셀 데이터를 저장하는 데이터 레지스터(220), 데이터 레지스터(220)로부터 출력되는 데이터를 래치하는 래치(230), 래치로부터의 픽셀 데이터의 진폭을 확대하는 레벨 쉬프터(240), 레벨 쉬프터(240)로부터 출력되는 디지털 픽셀 데이터를 아날로그 신호로 변환하는 디지털-아날로그 컨버터(250) 그리고 출력 버퍼(260)를 포함한다.

쉬프트 레지스터(210)는 타이밍 컨트롤러(110)로부터의 수평 동기 시작 신호(STH)를 클럭 신호(HCLK)에 따라 순차적으로 쉬프트시켜 샘플링 신호로서 출력한다.

데이터 레지스터(220)는 쉬프트 레지스터(210)로부터의 샘플링 신호에 응답해서 타이밍 컨트롤러(110)로부터의 픽셀 데이터 신호(RGB')를 일정 단위씩 순차적으로 샘플링하여 저장한다. 이 때, 데이터 레지스터(220)의 크기는 (수평 방향 픽셀의 수 \* 픽셀 데이터 각각의 비트 수)이다.

래치(230)는 타이밍 컨트롤러(110)로부터의 제 1 래치 신호(TP1)와 래치 신호 발생기(120)로부터의 제 2 래치 신호(TP2)에 응답해서 데이터 레지스터(220)로부터의 픽셀 데이터 신호들을 래치한다. 본 발명의 실시예에서, 래치(230)는 제 1 래치 신호(TP1)가 활성화될 때 데이터 레지스터(220)로부터의 픽셀 데이터 신호들 중 홀수 번째 데이터 라인들(D1, D3, D5, ..., Dm-1)에 대응하는 픽셀 데이터 신호들을 래치한다. 또한, 래치(230)는 제 2 래치 신호(TP2)가 활성화될 때 데이터 레지스터(220)로부터의 픽셀 데이터 신호들 중 짝수 번째 데이터 라인들(D2, D4, D6, ..., Dm)에 대응하는 픽셀 데이터 신호들을 래치한다.

레벨 쉬프터(240)는 래치(230)로부터 출력되는 픽셀 데이터 신호의 전압 스윙 폭을 넓히기 위한 레벨 쉬프팅을 수행한다. 디지털-아날로그 컨버터(250)는 레벨 쉬프터(240)로부터의 픽셀 데이터를 계조 전압들(V0-V14)을 이용하여 아날로그 픽셀 신호로 변환하되, 반전 신호(POL)에 응답해서 아날로그 픽셀 신호를 계조 전압들(V0-V14) 중 대응하는 어느 하나로 변환한다.

출력 버퍼(260)는 디지털-아날로그 컨버터(250)로부터 출력되는 아날로그 픽셀 신호를 저장한 후 액정 패널(170)의 데이터 라인들(D1-Dm)로 공급한다.

계속해서 도 3 내지 도 5에 도시된 타이밍도들을 참조하여, 도 1 및 도 2에 도시된 본 발명의 바람직한 실시예에 따른 액정 표시 장치(100)의 동작이 설명된다.

도 3은 도 2에 도시된 래치(230)가 제 2 래치 신호(TP2)를 입력받지 않고 제 1 래치 신호(T1)에만 응답해서 동작할 때 도 1에 도시된 타이밍 컨트롤러(110)로부터 출력되는 출력 인에이블 신호(OE), 제 1 래치 신호(TP1) 그리고 인접한 두 개의 데이터 라인들에 대응하는 픽셀 데이터 신호들(RGBi, RGBi+1)의 변화를 보여주는 타이밍도이다.

도 3을 참조하면, 출력 인에이블 신호(OE)가 활성화될 때 게이트 라인들(G1-Gn)이 번갈아 하나씩 활성화된다. 특정 게이트 라인이 활성화된 상태에서 제 1 래치 신호(TP1)가 활성화되면 픽셀 데이터 신호(RGB')에 대응하는 전압이 데이터 라인들(D1-Dm)로 제공된다. 이는 도 2에 도시된 래치(230)가 제 1 래치 신호(TP1)만 응답해서 동작하는 경우에 한한다.

액정의 열화를 방지하기 위한 반전 구동 방식 중의 하나인 2×1 반전 구동시 i번째 데이터 라인에 대응하는 픽셀 데이터 신호(RGBi)의 전압 레벨과 i+1번째 데이터 라인에 대응하는 픽셀 데이터 신호(RGBi+1)의 전압 레벨이 동시에 상승하거나 동시에 하강하는 경우 출력 인에이블 신호(OE)의 왜곡을 초래한다.

도 4는 도 3에 도시된 타이밍도에서 i번째 데이터 라인에 대응하는 픽셀 데이터 신호(RGBi)와 i+1번째 데이터 라인에 대응하는 픽셀 데이터 신호(RGBi+1)가 동시에 하강하는 구간 즉, 점선 부분을 확대해서 보여주고 있다.

앞서 설명한 도 1에 도시된 바와 같이, 액정 패널(170) 내 박막 트랜지스터(T1)의 게이트 및 소스 사이의 커플링에 의해서 데이터 라인의 전압은 게이트 라인에 영향을 준다. 그러므로 도 4에 도시된 바와 같이, 인접한 두 개의 데이터 라인들(Di, Di+ 1)에 대응하는 픽셀 데이터 신호들(RGBi, RGBi+ 1)의 전압 레벨이 동시에 하강하는 경우 게이트 라인을 통해 전달되는 출력 인에이블 신호(OE)의 전압 레벨도 일시적으로 낮아진다. 출력 인에이블 신호(OE)의 전압 레벨이 약간 낮아지는 것은 액정 표시 장치(100)의 동작에 큰 영향을 끼치지 않는다. 그러나 도 4에 도시된 바와 같이, 출력 인에이블 신호(OE)가 박막 트랜지스터(T1)의 드레슬드 전압 이하로 낮아지는 경우 게이트 라인이 구동되지 않을 수 있다.

인접한 두 개의 데이터 라인들(Di, Di+ 1)에 대응하는 픽셀 데이터 신호들(RGBi, RGBi+ 1)이 동시에 하강하는 경우뿐만 아니라 동시에 상승하는 경우에도 출력 인에이블 신호(OE)의 전압 레벨이 변화된다.

도 5는 도 2에 도시된 래치(230)가 제 1 및 제 2 래치 신호들(TP1, TP2)에 응답해서 동작할 때 출력 인에이블 신호(OE)의 변화를 보여주는 타이밍도이다.

래치(230)가 제 1 래치 신호(TP1)의 폴링(falling) 시점에서 데이터 레지스터(220)로부터의 픽셀 데이터 신호들 중 홀수 번째 데이터 라인들(D1, D3, D5, ..., Dm-1)에 대응하는 픽셀 데이터 신호들(RGBi)을 래치하고, 제 2 래치 신호(TP2)의 폴링(falling) 시점에서 데이터 레지스터(220)로부터의 픽셀 데이터 신호들 중 짝수 번째 데이터 라인들(D2, D4, D6, ..., Dm)에 대응하는 픽셀 데이터 신호들(RGBi+ 1)을 래치한다.

인접한 두 개의 데이터 라인들(Di, Di+ 1)에 대응하는 픽셀 데이터 신호들(RGBi, RGBi+ 1)의 전압 레벨이 하강하는 시점이 분산되므로, 출력 인에이블 신호(OE)가 박막 트랜지스터(T1)의 드레슬드 전압 이하로 낮아지는 것이 방지된다. 특히, 17인치 이상의 대형 액정 표시 장치에서, 하나의 게이트 라인과 연결된 많은 수의 박막 트랜지스터들의 소스 라인들으로 인가되는 픽셀 데이터 신호들이 동시에 상승하거나 동시에 하강할 때 게이트 구동 신호의 변화를 최소화할 수 있다.

도 5에 도시된 본 발명의 실시예에서 출력 인에이블 신호(OE)의 활성화 구간(Tb)는 4이고, 제 1 및 제 2 래치 신호들(TP1, TP2) 각각의 활성화 구간은 300ns이다. 제 1 및 제 2 래치 신호들(TP1, TP2)의 활성화 구간들의 합이 출력 인에이블 신호(OE)의 활성화 구간(Tb)보다 짧으므로 액정 표시 장치(100)의 동작에는 문제가 발생하지 않는다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면이다. 도 6에 도시된 액정 표시 장치(600)는 도 1에 도시된 액정 표시 장치(100)와 유사한 구성을 가지나, 도 1에 도시된 래치 신호 발생기(120)를 포함하지 않고, 타이밍 컨트롤러(610)가 제 1 래치 신호(TP1)뿐만 아니라 제 2 래치 신호(TP2)도 발생한다. 타이밍 컨트롤러(610)로부터 출력되는 제 1 및 제 2 래치 신호들(TP1, TP2)의 파형은 도 1에 도시된 타이밍 컨트롤러(110)로부터 출력되는 제 1 래치 신호(TP1) 및 래치 신호 발생기(120)로부터 출력되는 제 2 래치 신호(TP2)와 동일하다.

다른 실시예에서, 도 1에 도시된 래치 신호 발생기(120)는 소스 드라이버(130) 내에 구성될 수도 있다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경할 수 있는 것은 물론이다.

### 발명의 효과

이와 같은 본 발명에 의하면, 박막 트랜지스터의 게이트와 소스 간의 커플링 커패시턴스에 의한 게이트 구동 신호의 변화를 최소화할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 액정 표시 장치를 보여주는 도면;

도 2는 도 1에 도시된 소스 드라이버의 구체적인 구성을 보여주는 도면;

도 3은 도 2에 도시된 래치가 제 2 래치 신호를 입력받지 않고 제 1 래치 신호에만 응답해서 동작할 때 도 1에 도시된 타이밍 컨트롤러로부터 출력되는 출력 인에이블 신호, 제 1 래치 신호 그리고 인접한 두 개의 데이터 라인들에 대응하는 픽셀 데이터 신호들의 변화를 보여주는 타이밍도;

도 4는 도 3에 도시된 타이밍 도에서  $i$ 번째 데이터 라인에 대응하는 픽셀 데이터 신호와  $i+1$ 번째 데이터 라인에 대응하는 픽셀 데이터 신호가 동시에 하강하는 구간을 확대해서 보여주는 타이밍도;

도 5는 도 2에 도시된 래치가 제 1 및 제 2 래치 신호들에 응답해서 동작할 때 출력 인에이블 신호의 변화를 보여주는 타이밍도; 그리고

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면이다.

\*도면의 주요 부분에 대한 설명

100 : 액정 표시 장치 110 : 타이밍 컨트롤러

120 : 래치 신호 발생기 130 : 소스 드라이버

140 : 계조 전압 발생기 150 : 전압 변환기

160 : 게이트 드라이버 170 : 액정 패널

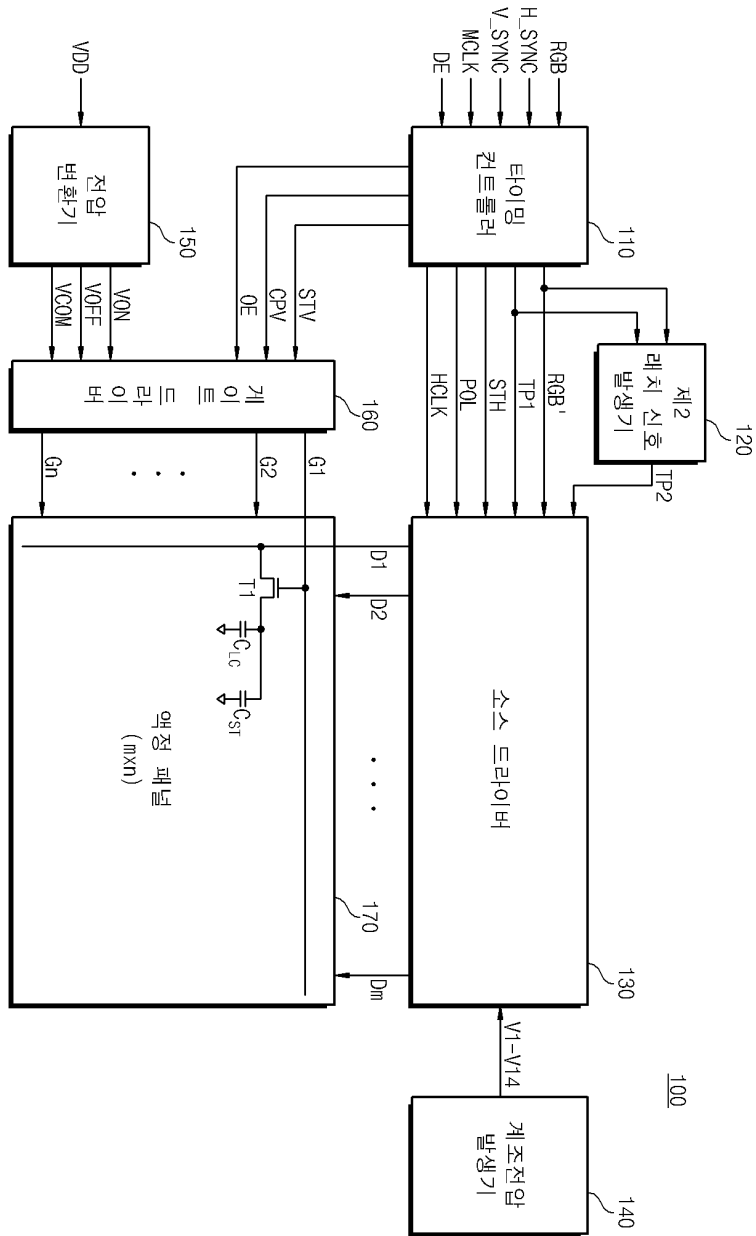
210 : 쉬프트 레지스터 220 : 데이터 레지스터

230 : 래치 240 : 레벨 쉬프터

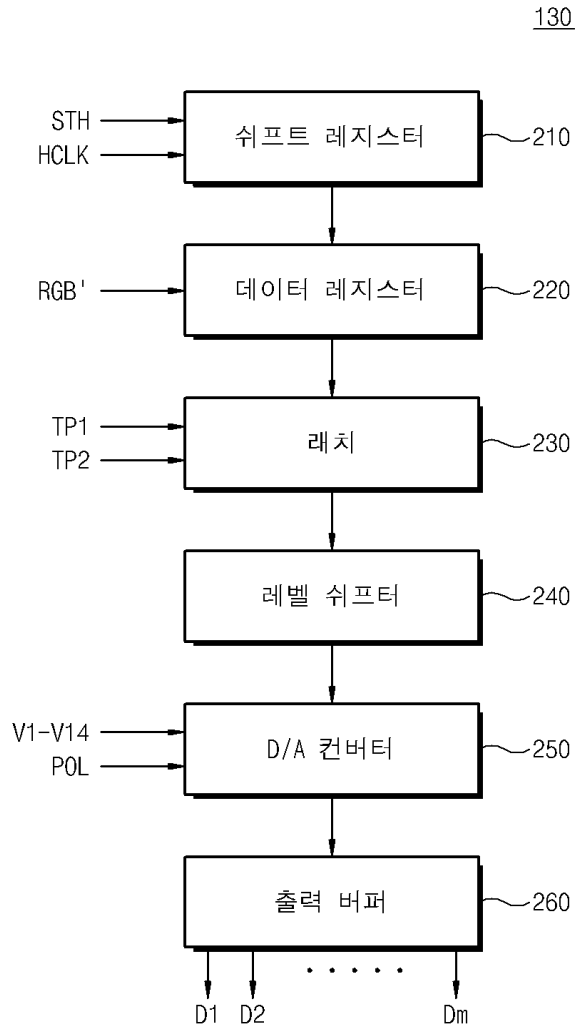
250 : 디지털-아날로그 컨버터 260 : 출력 버퍼

도면

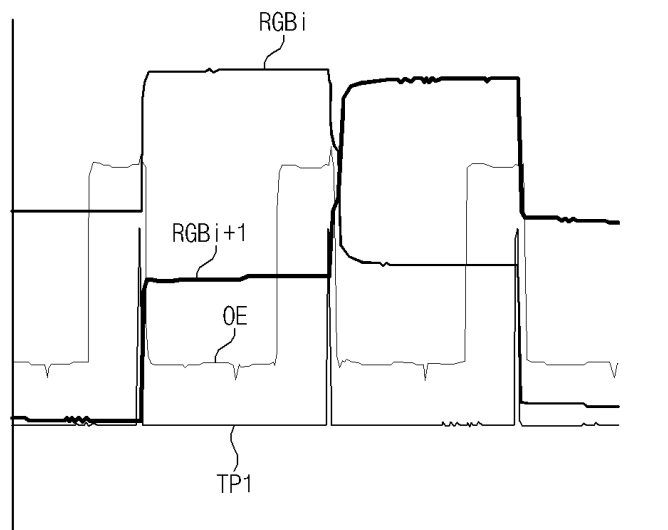
도면1



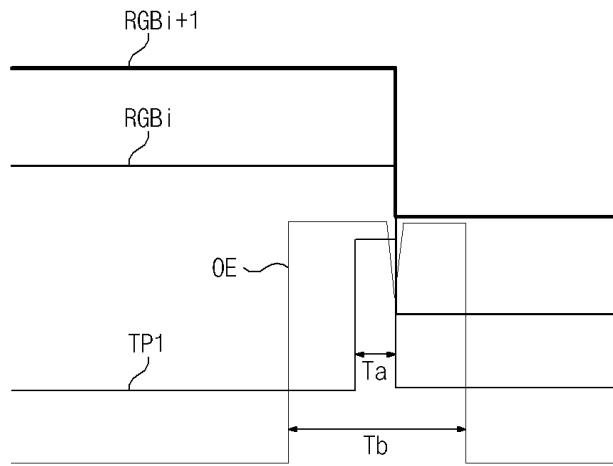
도면2



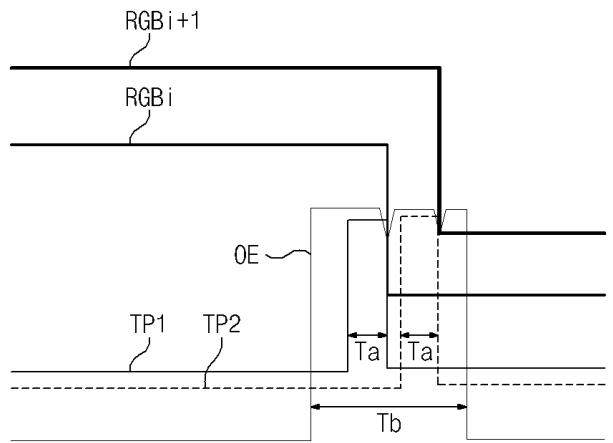
도면3



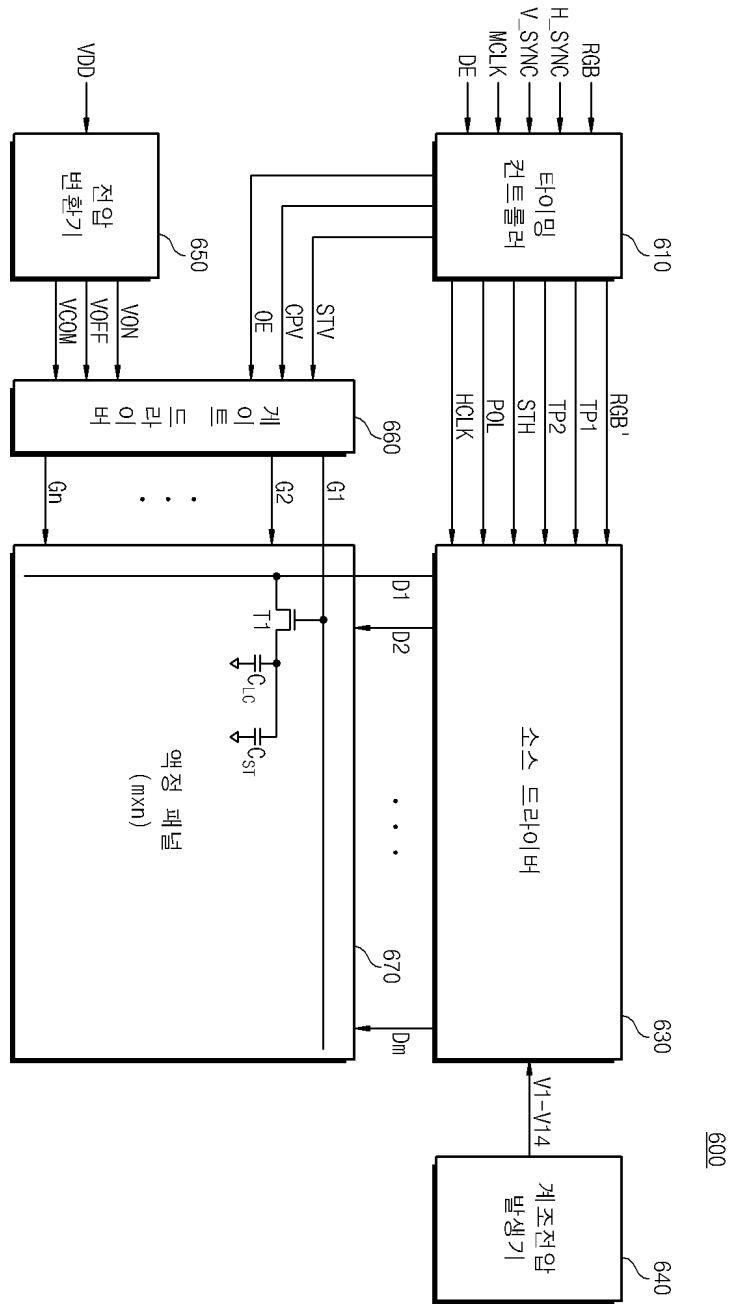
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020070077354A</a>	公开(公告)日	2007-07-26
申请号	KR1020060006894	申请日	2006-01-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HAN WOONG		
发明人	HAN,WOONG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3655 G09G2300/0828 G09G2310/0286 G09G2310/0289 G09G2310/0291		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示器的定时控制器产生第一锁存信号。信号发生器产生第二锁存信号，该第二锁存信号以比第一锁存信号高一定的高度延时。同时，由于连续数据驱动器响应于多条数据线中的第一和第二锁存信号驱动另一组的组和数据线的数据线，所以同时防止提供给数据线的像素数据信号上升/下降。因此，通过数据线和栅极线的耦合来改变栅极驱动信号被最小化。

