

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2004-0043833
(43) 공개일자 2004년05월27일

(21) 출원번호 10-2002-0072243
(22) 출원일자 2002년11월20일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 장세진
충청북도청주시흥덕구신봉동삼성APT4-1203

(74) 대리인 허용록

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치 및 그 제조방법에 대해 개시된다. 개시된 본 발명에 따른 본 발명에 따른 액정표시장치의 제조방법은, 투명성 절연기판상에 게이트 금속막을 도포한 후, 게이트 버스라인 및 게이트 전극을 형성하는 단계와; 상기 게이트 버스라인과 게이트 전극이 형성된 기판상에 순차적으로 게이트 절연막, 제 1 액티브층, 오믹콘택층을 형성하는 단계와; 상기 오믹 콘택층상에 금속막을 증착한 후, 상기 오믹 콘택층이 노출되도록 소스-드레인 전극 및 데이터 라인을 형성하는 단계와; 상기 노출된 오믹 콘택층에 이온을 주입하여 제 2 액티브층을 형성하는 단계와; 상기 결과 물상에 소자보호를 위해 보호막을 도포하는 단계와; 상기 보호막상에 ITO 화소 전극을 형성하는 단계를 포함하여 구성된다.

본 발명에 따른 액정표시장치 및 그 제조방법은 오믹 콘택층을 에칭하지 않고, 이온을 주입하여 공핍층이 형성하여 캐리어의 자유도를 높일 수 있다.

대표도

도 2

색인어

오믹 콘택층, 액티브층

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래에 따른 박막 트랜지스터 기판의 공정과정을 도시한 도면.

도 2는 본 발명에 따른 액정표시장치의 박막트랜지스터 구조를 도시한 도면.

도 3a 내지 3f는 본 발명에 따른 액정표시장치의 박막트랜지스터의 제조방법에 대한 순서를 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

201 --- 투명성 절연기판 202 --- 게이트 전극
 203 --- 제 1 게이트 절연막 204 --- 제 2 게이트 절연막
 205 --- 제 1 액티브층 206 --- 오믹 콘택층
 207, 208 --- 소스-드레인 전극 210 --- 제 2 액티브층
 211 --- 보호막 212 --- 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로서, 특히 오믹 콘택층을 에칭하지 않고, 이온을 주입하여 공핍층이 형성되어 캐리어의 자유도를 높일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

21세기 고도 정보화 사회에서는 소비 패턴의 다양화가 추구되면서 저소비전력, 경량박형화, 고화질 구현이 가능하여 공간활용을 극대화하고 휴대가 용이한 디스플레이가 필요하게 되었다.

TFT-LCD는 이러한 조건을 대부분 만족시킬 수 있는 디스플레이로서 대형 분야의 PDP(Plasma Display Panel)를 포함한 평판 디스플레이의 선두주자로 기존의 음극선관(CRT)을 대체할 핵심 소자가 될 것으로 예상된다.

TFT-LCD는 CRT 대비하여 경량박형, 저소비전력, 고정세 구현 등 휴대성이 용이하여 휴대용 디스플레이 및 인체에 유해한 전자파 발생이 없고 24시간 사용 가능한 21세기형 첨단 디스플레이지만, 높은 제조원가 좁은 시야각, 낮은 휘도 및 대형화에 상대적인 불리 등 아직까지 보완해야 할 기술분야가 남아 있지만 이에 대한 기술개발도 상당한 수준으로 진척되고 있다.

일반적으로 액정표시장치는 제 1 기판(박막트랜지스터 기판)과 제 2 기판(칼라필터 기판)이 소정의 간격을 두고 서로 대향하여 설치되어 있다. 액정표시장치에 대하여 더 구체적으로 설명하면 제 1 기판(박막트랜지스터 기판)은 한쪽의 투명기판의 내면에 매트릭스상으로 게이트버스선과 데이터버스선이 형성된다.

그리고, 상기 게이트버스선과 데이터버스선의 교차점에 스위칭 소자로 기능하는 TFT(Thin Film Transistor: TFT)가 각각 형성되고, 상기 TFT의 드레인 전극에 접촉되는 정방형의 화소전극이 게이트버스선과 데이터버스선에 포워된 형태로 각각 형성된다.

상기 복수개의 화소전극이 형성된 투명기판과 대향하는 다른 한쪽의 제 2 기판(칼라필터 기판)은 투명기판의 내면에 BM(Black Matrix: BM)과 칼라필터층과 공통전극이 형성되어 있다.

상기와 같이 구성된 액정표시장치의 게이트버스선과 데이터버스선을 각 1개씩 선택하여 전압을 인가하면 상기 전압이 인가된 TFT(Thin Film Transistor: TFT)만이 온(on)되고, 상기 온(on)된 TFT의 드레인전극에 접속된 화소전극에 전하가 축적되어 공통 전극과의 사이의 액정분자의 각도를 변화시킨다.

현재 대부분의 LCD 제조업체에서는 제조공정이 상대적으로 쉽고 별도의 TFT 광차단막 형성이 필요없는 바텀 게이트(Bottom Gate)의 인버티드 스테거드 (Inverted Staggered) 구조의 TFT를 채용하고 있다. 이러한 인버티드 스테거드(Inverted staggered) 구조의 TFT는 채널(Channel) 형성 공정에 따라 백 채널 에치(Back Channel Etch) 구조와 에치 스탱(Etch Stopper) 구조로 나눌 수 있다. 백 채널 에치(Back Channel Etch) 구조의 채널(Channel)을 가지는 일반적인 TFT 어레이(Array)의 주요공정을 설명하면 다음과 같다.

한편, 도 1a 내지 도 1d는 종래에 따른 박막 트랜지스터 기판의 공정과정을 도시한 도면이다. 이에 도시된 바와 같이, 먼저 도 1a에 도시된 바와 같이, 투명 기판(101)위에 게이트(gate) 전극(102)을 형성하고, 게이트 전극(102)위에 PE

CVD(Plasma Enhanced Chemical Vapor Deposition)에 의해 제 1 게이트 절연막(103) 및 제 2 게이트 절연막(104)을 증착시킨다.

다음에, 비정질 실리콘(a-Si:H)과 불순물, 예컨대 인(phosphorus)이 도핑(doping)된 불순물 실리콘층(n+)을 증착 후 포토 식각 과정에 의해 패터닝하여 액티브층(105), 오믹 콘택층(106)을 형성한다.

그리고, 상기 액티브층(105), 오믹 콘택층(106) 위에 금속막을 증착한 후, 소스(source), 드레인(drain) 선의 패턴을 형성 후 상기 소스/드레인을 식각함으로써 소스/드레인 전극(107,108) 및 데이터 버스라인(미도시)을 형성한다.

이후, 상기 결과물상에 소자보호를 위해 무기막을 사용하여 보호막(110)을 도포하고, 보호막(110)위에 ITO(Indium Tin Oxide)로 화소 전극(pixel)(111)을 형성한다.

상기와 같이 제조된 액정표시장치에 있어서, 오믹 콘택층의 캐리어 자유도를 높일 수 있는 방법들에 대한 연구가 계속되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 오믹 콘택층을 에칭하지 않고, 이온을 주입하여 공핍층을 형성하여 캐리어의 자유도를 높일 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위하여 본 발명에 따른 액정표시장치는,

투명성 절연기판상에 게이트 금속막으로 형성된 게이트 버스라인 및 게이트 전극과;

상기 게이트 버스라인과 게이트 전극의 기판상에 순차적으로 형성된 제 1, 제 2 게이트 절연막, 제 1 액티브층 및 오믹콘택층과;

상기 오믹 콘택층상에 증착된 금속막을 상기 오믹 콘택층이 노출되도록 식각된 소스-드레인 전극 및 데이터 라인과;

상기 노출된 오믹 콘택층에 이온을 주입된 제 2 액티브층과;

상기 결과물상에 소자보호를 위해 도포된 보호막과;

상기 보호막상에 형성된 ITO 화소 전극을 포함하는 점에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 제조방법은,

투명성 절연기판상에 게이트 금속막을 도포한 후, 게이트 버스라인 및 게이트 전극을 형성하는 단계와;

상기 게이트 버스라인과 게이트 전극이 형성된 기판상에 순차적으로 게이트 절연막, 제 1 액티브층, 오믹콘택층을 형성하는 단계와;

상기 오믹 콘택층상에 금속막을 증착한 후, 상기 오믹 콘택층이 노출되도록 소스-드레인 전극 및 데이터 라인을 형성하는 단계와;

상기 노출된 오믹 콘택층에 이온을 주입하여 제 2 액티브층을 형성하는 단계와;

상기 결과물상에 소자보호를 위해 보호막을 도포하는 단계와;

상기 보호막상에 ITO 화소 전극을 형성하는 단계를 포함하는 점에 그 특징이 있다.

여기서, 특히 상기 노출된 오믹 콘택층에 주입되는 이온은 P, As, B 또는 BF_2 를 주입하는 점에 그 특징이 있다.

여기서, 특히 상기 주입되는 이온의 에너지는 10KeV ~ 1 MeV로 주입하는 점에 그 특징이 있다.

여기서, 특히 상기 주입되는 이온의 양은 $1.0E9 \sim 1.0E17$ 으로 주입하는 점에 그 특징이 있다.

이와 같은 본 발명에 의하면, 오믹 콘택층을 에칭하지 않고, 이온을 주입하여 공핍층이 형성되므로써 캐리어의 자유도를 높일 수 있다.

이하 첨부된 도면을 참조하면서 본 발명의 실시 예를 상세히 설명한다.

도 2는 본 발명에 따른 액정표시장치의 박막트랜지스터 구조를 도시한 도면이다. 이에 도시된 바와 같이, 투명성 절연기판(201)상에 게이트 금속막으로 형성된 게이트 버스라인(미도시) 및 게이트 전극(202)과; 상기 게이트 버스라인(미도시)과 게이트 전극(202)의 기판상에 순차적으로 형성된 제 1, 제 2 게이트 절연막(203, 204), 제 1 액티브층(205) 및 오믹콘택층(206)과; 상기 오믹 콘택층(206)상에 증착된 금속막을 상기 오믹 콘택층(206)이 노출되도록 식각된 소스-드레인 전극(207, 208) 및 데이터 라인(미도시)과; 상기 노출된 오믹 콘택층(206)에 이온이 주입된 제 2 액티브층(210)과; 상기 결과물상에 소자보호를 위해 도포된 보호막(211)과; 상기 보호막(211)상에 형성된 ITO 화소 전극(212)을 포함하여 구성된다.

도 3a 내지 3f는 본 발명에 따른 액정표시장치의 박막트랜지스터의 제조방법에 대한 순서를 도시한 도면이다. 도 3a에 도시된 바와 같이, 투명성 절연기판(201)상에 게이트 금속막을 도포한 후, 게이트 버스라인(미도시) 및 게이트 전극(202)을 형성하는 단계가 수행된다.

보다 상세하게는, 투명성 절연기판(201)의 파티클(Particle) 및 유기성 물질의 제거와 증착될 게이트(Gate) 배선 금속박막과 기판의 접착력(Adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링(Sputtering) 등의 증착방법에 의하여 게이트 금속막을 증착한다.

한편, 상기 증착된 게이트 금속막은 TFT-LCD의 동작에서 중요한 게이트(Gate) 배선의 RC 지연(Delay)을 작게 하기 위하여 저항이 작은 알루미늄(Al)이 주류를 이루고 있으나, 순수 알루미늄(Pure Al Chemical)은 내성이 약하고 후속의 고온 공정에서 힐록(Hillock)의 형성에 의해 배선 결함 문제를 야기시키므로 상기 알루미늄(Al) 배선의 경우에는 합금의 형태로 쓰이거나 다층막(Multi-Layer)의 적층 구조 및 클래드(Clad) 구조가 적용되기도 한다.

그리고, 포토(Photo) 공정에 의하여 게이트 전극(202), 게이트 라인(Gate Line) 및 스토리지 캐패시턴스 전극(Storage Capacitance Electrode)(미도시)을 동시에 형성하게 된다.

이어서, 도 3b에 도시된 바와 같이, 상기 게이트 버스라인(미도시)과 게이트 전극(202)이 형성된 기판상에 순차적으로 제 1, 제 2 게이트 절연막(203, 204), 제 1 액티브층(205) 및 오믹콘택층(206)을 형성하는 단계가 수행된다.

보다 자세히 설명하면, 게이트 라인(Gate Line)의 형성 후, E/B 구조에서는 게이트 절연막(203,204)(여기서, 제 1, 제 2 게이트 절연막을 통칭함)과 TFT 채널(Channel)로 쓰이는 제 1 액티브층(205)(a-Si:H막), S/D와의 오믹 콘택층(206)(Ohmic Contact layer)(n+a-Si:H막)인 사층막(n+a-Si:H/a-Si:H/SiNx)을 순차적으로 공기중에 노출없이 연속 증착한다.

여기서, 상기 게이트 절연막을 제 1, 제 2 게이트 절연막(203,204)인 멀티 게이트막(Multi-Gate Layer)으로 형성하게 되는데 이는 게이트 라인 오픈(Gate Line Open)을 방지하기 위함이다.

이 때, 증착되는 게이트 절연막은 주로 실리콘 질화막이며, PECVD 를 이용하여 연속적으로 상기 제 1 액티브층(205) 및 오믹 콘택층(206)을 증착하게 된다.

도 3c에 도시된 바와 같이, 상기 사층막의 증착 후 TFT 부에 해당하는 부위를 제외한 제 1 액티브층(205) 및 오믹 콘택층(206)을 포토(Photo) 공정과 드라이 에칭(Dry Etching)법에 의하여 상기 제 2 게이트 절연막(204)이 노출되도록 제거한다.

그리고, 도 3d에 도시된 바와 같이, 상기 결과물상에 금속막(예 알루미늄)을 증착한 후, 포토 공정을 통해 상기 오믹 콘택층(206)이 노출되도록 소스-드레인 전극(207,208) 및 데이터 라인(209)을 형성하는 단계가 수행된다.

보다 상세하게는, 데이터(Data) 라인과 TFT의 소스(Source)와 드레인(Drain) 전극(207,208)의 형성은 금속 박막의 증착과 포토(Photo) 공정 및 에칭(Etching) 공정에 의해 형성된다.

또한, 인버티드 스테거드(Inverted Staggered) TFT 구조상 금속 배선은 여러 단차 부위를 넘어야 하므로 스탑 커버리지(Stop Coverage)가 좋아야 하며, 금속막의 단차 부위에서의 라인 오픈(Line Open)은 증착전의 세정, 증착시의 접착력(Adhesion) 및 금속막의 스트레스 등에 의한 복합적인 요인에 의하여 좌우되므로 이들은 주요 공정관리 항목이다.

TFT 채널을 형성하는 공정은 별도의 포토 공정없이 TFT의 소스와 드레인 전극을 마스크로 사용하여 채널부위의 막을 드라이 에칭(Dry Etching) 하는 방법을 사용한다.

이어서, 도 3e에 도시된 바와 같이, 상기 노출된 오믹 콘택층(206)에 이온을 주입하여 제 2 액티브층(210)을 형성하는 단계가 수행된다.

보다 상세하게 설명하면, 상기 노출된 오믹 콘택층(206)에 주입되는 이온은 P, As, B 또는 BF_2 를 주입하게 되며, 주입되는 이온의 에너지는 10KeV ~ 1 MeV로 주입하게 된다.

또한, 상기 주입되는 이온의 양은 $1.0E9 \sim 1.0E17$ 으로 주입하게 된다.

상기와 같은 조건으로 상기 오믹 콘택층(206)에 이온을 주입하게 되면, 상기 오믹 콘택층(206)과 주입된 이온에 의해 공핍층이 형성되어 자유전자와 정공의 수가 같고, 저항률이 비교적 높은 진성(Intrinsic) 영역인 제 2 액티브층(210)이 형성된다.

이는, 상기 제 2 액티브층(210)에 의해 캐리어의 자유도가 높아져 전기적 전도성이 좋아지게 된다.

그리고, 도 3f에 도시된 바와 같이, 상기 결과물상에 소자보호를 위해 보호막(211)을 도포하고, 상기 보호막상(211)에 ITO 화소 전극(212)을 형성하는 단계가 수행된다.

이는 TFT 채널부의 백 채널(Back Channel)은 불안정한 에너지 상태 및 에치 레시듀(Etching Residue)에 의하여 TFT 특성에 나쁜 영향을 미칠 수 있으므로 질화막 등으로 보호막(Passivation)을 형성하게 된다.

상기 보호막(211)은 TFT 채널부와 화소(Pixel)의 주요 부분을 후속 공정시 발생 가능한 습기나 스크래치(Scratch)성 불량으로 부터 보호하기 위하여 고투과율과 내습, 내구성이 있는 $SiNx$ 를 PECVD에 의하여 증착하며, 채널(Channel) 부위의 막에 영향을 주지 않도록 증착온도, Rf Power, 가스(Gas) 유입량 등의 공정 조건을 적절히 조절해야 한다.

한편, 액정 셀의 동작을 위한 화소 전극(pixel Electrode)의 형성은 투명 전극 재료인 ITO(Indium Tin Oxide)를 이용한다. ITO 박막의 증착은 스퍼터링(Sputtering) 기술을 사용하며, 증착 후에는 분위기에서 어닐링 (Annealing)하여 비저항을 낮추고 투과율도 향상시킨다. ITO 패턴(Pattern) 형성은 주로 젯 에칭(Wet Etching) 방식을 사용한다.

또한, 액정 셀(Cell)에 인가된 신호 전압을 유지시키기 위한 축적용량은 게이트(Gate) 절연막을 사이에 두고 화소 전극(ITO)을 게이트 전극의 일부인 스토리지 캐패시터 전극(Storage Capacitor Electrode)과 중첩 시킴으로써 형성된다.

이때, 형성된 화소 전극(pixel Electrode)(ITO)과 컬러 필터(Color Filter) 기판에 설치된 공통 전극(ITO)사이에 신호 전압을 인가하여 두 전극 사이의 액정 분자 배열 방향을 제어함으로써 액정 셀의 동작이 이루어진다.

본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

이상의 설명에서와 같이 본 발명에 따른 액정표시장치 및 그 제조방법은 오믹 콘택층을 에칭하지 않고, 이온을 주입하여 공핍층이 형성하여 캐리어의 자유도를 높일 수 있다.

(57) 청구의 범위

청구항 1.

투명성 절연기판상에 게이트 금속막으로 형성된 게이트 버스라인 및 게이트 전극과;

상기 게이트 버스라인과 게이트 전극의 기판상에 순차적으로 형성된 제 1, 제 2 게이트 절연막, 제 1 액티브층 및 오믹 콘택층과;

상기 오믹 콘택층상에 증착된 금속막을 상기 오믹 콘택층이 노출되도록 식각된 소스-드레인 전극 및 데이터 라인과;

상기 노출된 오믹 콘택층에 이온이 주입된 제 2 액티브층과;

상기 결과물상에 소자보호를 위해 도포된 보호막과;

상기 보호막상에 형성된 ITO 화소 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

투명성 절연기판상에 게이트 금속막을 도포한 후, 게이트 버스라인 및 게이트 전극을 형성하는 단계와;

상기 게이트 버스라인과 게이트 전극이 형성된 기판상에 순차적으로 게이트 절연막, 제 1 액티브층, 오믹 콘택층을 형성하는 단계와;

상기 오믹 콘택층상에 금속층을 증착한 후, 상기 오믹 콘택층이 노출되도록 소스-드레인 전극 및 데이터 라인을 형성하는 단계와;

상기 노출된 오믹 콘택층에 이온을 주입하여 제 2 액티브층을 형성하는 단계 와;

상기 결과물상에 소자보호를 위해 보호막을 도포하는 단계와;

상기 보호막상에 ITO 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3.

제 2항에 있어서,

상기 노출된 오믹 콘택층에 주입되는 이온은 P, As, B 또는 BF_2 를 주입하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4.

제 2항에 있어서,

상기 주입되는 이온의 에너지는 10KeV ~ 1 MeV로 주입하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5.

제 2항에 있어서,

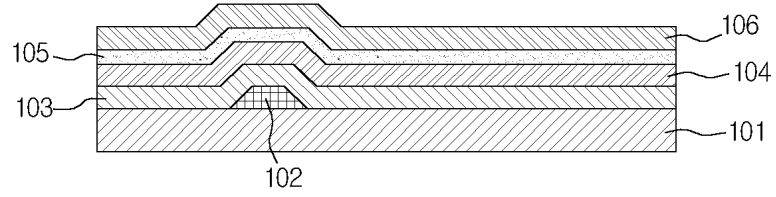
상기 주입되는 이온의 양은 $1.0\text{E}9 \sim 1.0\text{E}17$ 으로 주입하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

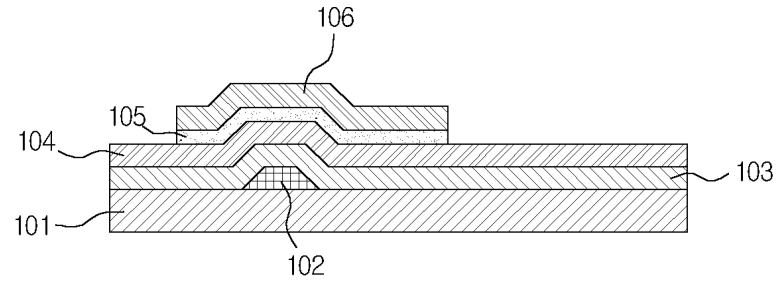
도면1a



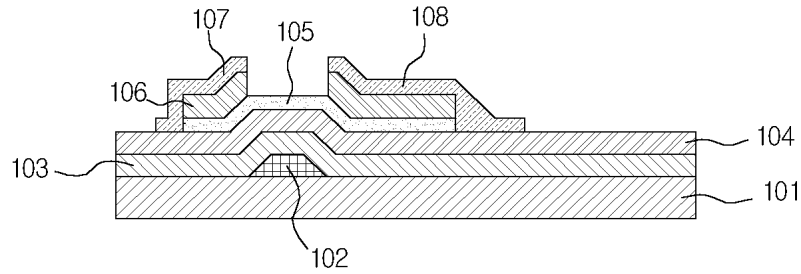
도면1b



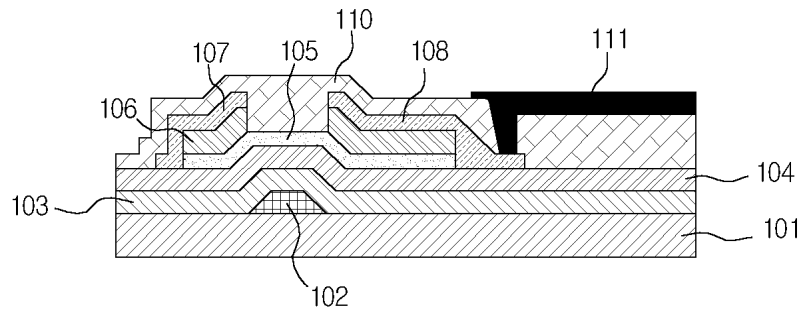
도면1c



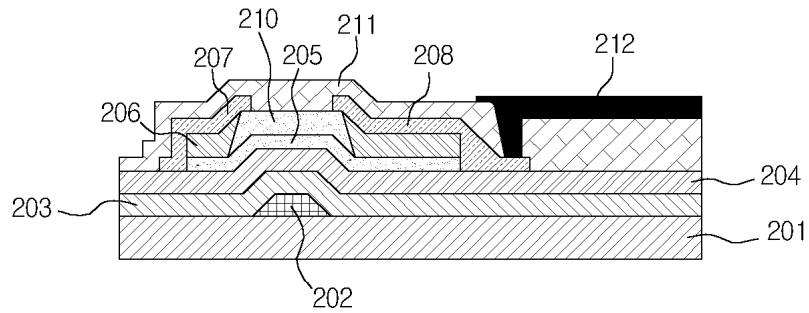
도면1d



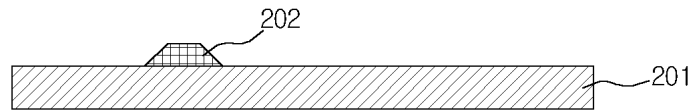
도면1e



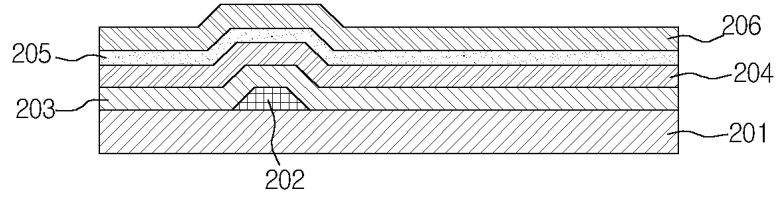
도면2



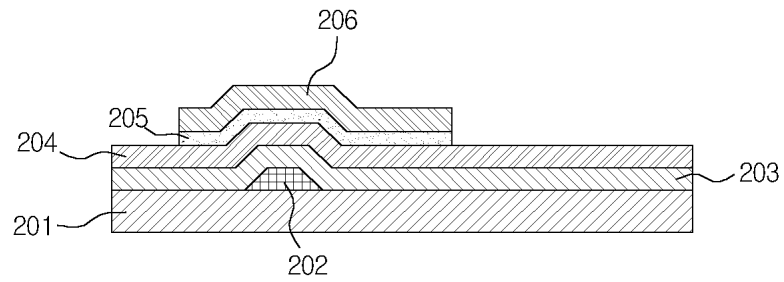
도면3a



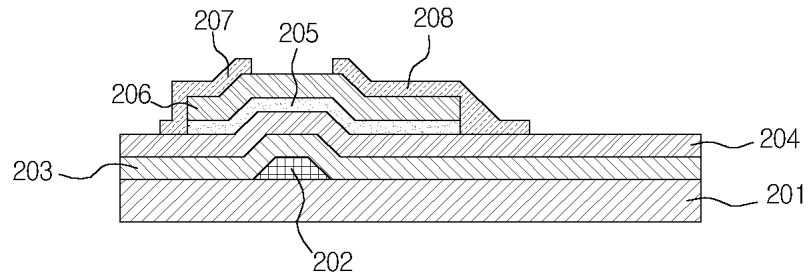
도면3b



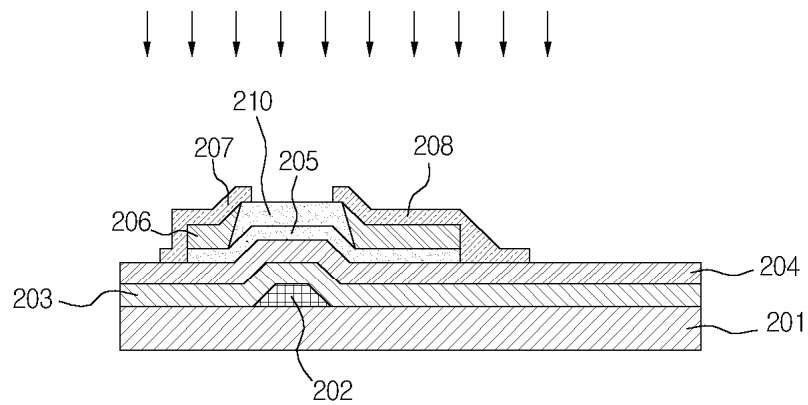
도면3c



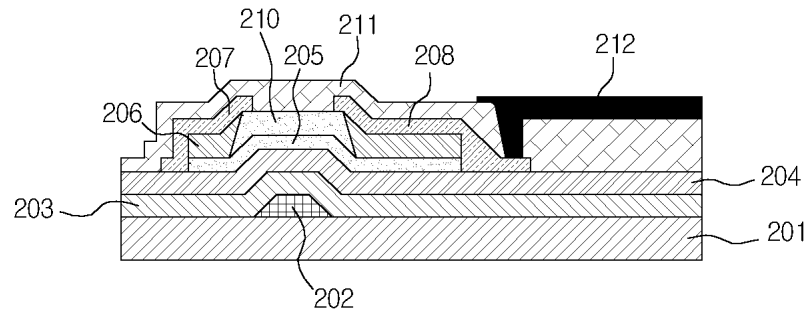
도면3d



도면3e



도면3f



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020040043833A	公开(公告)日	2004-05-27
申请号	KR1020020072243	申请日	2002-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SEIJIN 장세진		
发明人	장세진		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/1368 G02F2001/13625 G02F2201/123		
外部链接	Espacenet		

摘要(译)

本发明公开了液晶显示装置及其制造方法。由根据本发明的制造液晶显示器件的方法构成的根据本发明的步骤是形成栅极总线和栅极电极，栅极金属膜涂覆在透明型绝缘板上，该步骤在形成衬底的步骤中，形成源-漏电极的步骤和数据线欧姆接触在沉积金属层之后暴露在欧姆接触上，形成第二有源层离子的步骤被注入暴露的欧姆接触中，如所描述的以上，在结果上涂覆用于器件钝化的保护膜，以及在保护膜上形成ITO像素电极的步骤。关于步骤，依次形成栅极总线和栅极，栅极绝缘层，第一有源层和欧姆接触。根据本发明的液晶显示装置及其制造方法不会蚀刻欧姆接触。注入离子并形成耗尽层，并且可以增强载流子的自由度。欧姆接触和有源层。

